

PHYTIUM 飞腾

# 腾云 S2500 高性能通用 微处理器数据手册

(V1.4)

2021 年 1 月

天津飞腾信息技术有限公司

[www.phytium.com.cn](http://www.phytium.com.cn)

版权所有© 天津飞腾信息技术有限公司 2021

此文档用于指导用户的相关应用和开发工作。天津飞腾信息技术有限公司对此文档内容拥有版权，并受法律保护

免责声明©天津飞腾信息技术有限公司对本文档内容有解释权，且保留持续修改的权利



## 当前版本

文件标识	
当前版本	<b>1.4</b>
完成日期	2021.1.19

## 版本历史

版本	修订时间	修订人	修订内容
V1.0	2020.7.22		初稿
V1.1	2020.8.13		更新 S2500 功耗数据
V1.2	2020.9.3		电气特性增加电流值信息，增加频差抖动信息 删除上电时序一节（放到硬件开发手册中）； 暂时去掉 48/56 核产品形态描述，等测试完善之后再加入。
V1.3	2020.10.17		修订表 6-1 电源电压范围和表 8-1 产品标识。
V1.4	2021.1.19		修改保留引脚和低速接口描述。

# 目录

1	简介.....	1
1.1	技术指标.....	3
1.2	功耗管理.....	3
1.3	功能框图.....	3
1.4	温度管理.....	7
1.5	封装.....	7
1.6	术语.....	7
1.7	相关文档.....	8
2	接口和中断说明.....	9
2.1	接口信号说明.....	9
2.1.1	引脚列表.....	9
2.2	直连接口.....	65
2.3	DDR4 SDRAM 接口.....	65
2.4	PCIe 接口.....	70
2.4.1	拆分方式.....	73
2.4.2	AC 电容、校准电阻要求.....	73
2.4.3	链路翻转说明.....	73
2.5	I2C 接口.....	74
2.6	SPI 接口.....	74
2.7	LPC 接口.....	75
2.8	UART 接口.....	76
2.9	GPIO 接口.....	77
2.9.1	GPIO 复用说明.....	77
2.10	WDT.....	88
2.11	保留引脚.....	88
2.12	中断分配说明.....	89

2.12.1	PPI 中断.....	89
2.12.2	SPI 中断.....	90
3	技术.....	92
3.1	RAS 设计.....	92
3.1.1	错误检测.....	92
3.1.2	错误分类.....	92
3.1.3	报错机制.....	92
3.2	直连接口.....	92
3.3	存储镜像.....	92
3.4	多路 CACHE 一致性协议.....	92
4	时钟管理.....	93
4.1	时钟需求.....	93
5	热设计.....	95
5.1	散热设计功耗.....	95
5.2	温度控制.....	95
6	电气特性.....	96
6.1	极限工作条件.....	96
6.2	电源特性.....	96
6.3	通用引脚 DC 电气特性.....	97
6.4	DDR4 引脚电气特性.....	98
6.5	PCIE 引脚电气特性.....	99
6.5.1	发送模块电气特性.....	100
6.5.2	接收模块电气特性.....	100
6.5.3	公共模块电气特性.....	101
6.5.4	校准外接电阻参考说明.....	101
7	封装特性说明.....	102
7.1	封装尺寸.....	102
7.2	扣合力.....	103
7.3	信号位置分布.....	103

7.4	无铅焊接温度曲线中各温区的作用.....	104
8	产品标识.....	107

## 图目录

图 1.1 腾云 S2500 数据亲和多核处理器体系结构.....	4
图 1.2 双路直连示意图.....	6
图 1.3 4 路直连示意图.....	6
图 1.4 8 路直连示意图.....	6
图 2.1 腾云 S2500 处理器接口信号框图.....	9
图 2.2 中断源输入要求图.....	54
图 2.3 外部校准电阻.....	73
图 7.1 封装尺寸.....	102
图 7.2 BGA MAP 分布图.....	103
图 7.3 BGA MAP 结构图.....	104
图 7.4 无铅回流焊接曲线.....	105
图 8.1 Marking 说明.....	107

## 表目录

表 1-1 腾云 S2500 系列处理器产品列表.....	2
表 1-2 术语和缩略语表.....	7
表 2-1 腾云 S2500 DDR4 SDRAM 引脚信息.....	9
表 2-2 腾云 S2500 PCIe 引脚信息.....	42
表 2-3 腾云 S2500 FIT 引脚信息.....	45
表 2-4 腾云 S2500 通用 IO 类引脚信息.....	47
表 2-5 中断源输入要求表.....	54
表 2-6 腾云 S2500 电源引脚信息.....	54
表 2-7 DDR 接口支持的内存形式.....	66
表 2-8 内存接口信号说明.....	66
表 2-9 PCIe 接口描述.....	70
表 2-10 PCIe 拆分模式表.....	73
表 2-11 I2C 接口描述.....	74
表 2-12 SPI 接口描述.....	74
表 2-13 LPC 接口描述.....	75
表 2-14 UART 接口描述.....	76
表 2-15 GPIO 复用寄存器地址.....	77
表 2-16 GPIO 复用寄存器描述.....	77
表 2-17 GPIO 复用说明.....	80
表 2-18 GPIO 接口描述.....	86



表 2-19 保留引脚列表.....	88
表 2-20 PPI 中断.....	89
表 2-21 SPI 中断 ID 分配表.....	90
表 4-1 CPU 参考时钟 CLK_REF 参数.....	93
表 4-2 直连接口 Serdes 差分输入时钟 REF_CLK_M/P.....	93
表 4-3 LPC 参考时钟参数.....	93
表 5-1 腾云 S2500 系列产品 TDP 数据.....	95
表 6-1 工作电压范围.....	96
表 6-2 电源参数.....	97
表 6-3 通用 pad 引脚电气特性.....	97
表 6-4 DDR4 DC 输入电压.....	98
表 6-5 DDR4 AC 输入电压.....	98
表 6-6 DDR4 输出电压.....	98
表 6-7 参考电阻说明.....	98
表 6-8 PCIE 引脚电气特性.....	99
表 6-9 发送模块电气特性.....	100
表 6-10 接收模块电气特性.....	100
表 6-11 公共模块电气特性.....	101
表 6-12 校准外接电阻参考说明.....	101
表 7-1 CPU 封装尺寸表.....	102
表 8-1 丝印说明.....	107

## 1 简介

腾云 S2500 处理器芯片集成 64 个自主研发的 ARMv8 指令集兼容处理器内核 FTC663，采用片上并行系统（PSoC）体系结构。通过集成高效处理器核心、基于数据亲和的大规模一致性存储架构、层次式二维 Mesh 互连网络、多端口高速直连通路，优化存储访问延时，提供业界领先的计算性能、访存带宽和 IO 扩展能力。在 ARMv8 指令集兼容的现有产品中，腾云 S2500 在单核计算能力、单芯片并行性能、单芯片 cache 一致性规模、访存带宽等指标上都处于国际先进水平。

腾云 S2500 主要应用于高性能、高吞吐率服务器领域，如对处理能力和吞吐能力要求很高的行业大型业务主机、高性能服务器系统和大型互联网数据中心等。

表 1-1 腾云 S2500 系列处理器产品列表

产品型号	腾云 S2500 64 核商业版	腾云 S2500 64 核工业版
Marking	腾云 S2500 B3576-C6400	腾云 S2500 B3576-I6400
订货号	S2500-C6400	S2500-I6400
软件字符串	S2500-C6400	S2500-I6400
主频	2.1GHz	2.1GHz
核数	64	64
Cache	L2: 32MB L3: 64MB	L2: 32MB L3: 64MB
接口	17lane pcie3.0 8 个 ddr4/3200	17lane pcie3.0 8 个 ddr4/3200
典型功耗	136W	134W
TDP	200W	200W
内核电压	0.85V	0.85V
封装	61mm*61mm 有盖 FCLBGA 封装	61mm*61mm 有盖 FCLBGA 封装
质量等级	商业级	工业级
MSL	<=4	<=4
ESD	>=1000V	>=1000V
环规	ROHS2.0	ROHS2.0
芯片结温(Tj)	0~90°C	-40°C~90°C

## 1.1 技术指标

腾云 S2500 的主要技术指标如下：

### 1) 功能指标

- 兼容 ARM v8 体系结构，支持 ARM64 指令集；
- 兼容 ARM v8 虚拟化体系结构，支持业界主流的 KVM 虚拟机；
- 支持单精度、双精度浮点运算指令；
- 支持 ASIMD 处理指令。

### 2) 结构指标

- 集成 64 个自研 FTC663 处理器核；
- L2 Cache: 每个 Cluster 内有 2MB，总共 32MB；
- L3 Cache: 总共 64MB；
- 集成 8 个 DDR4 通道，最大支持 3200MT/s；
- 集成 17 Lane PCIe 3.0 接口：1 个 X16（可拆分成 2 个 X8），1 个 X1；
- 集成 4 个直连通路，每个通路包含 4 个 lane，单 lane 速率 25Gbps，支持 2、4、8 路 CPU 互连；
- 集成 4 个 UART（其中 1 个为 9 线全功能串口，3 个为 3 线调试接口），1 个 LPC Master（兼容 Intel Low Pin Count 协议），32 个 GPIO（分为 4 个 8 位 GPIO 接口，GPIOA[0:7]，GPIOB[0:7]，GPIOC[0:7]，GPIOD[0:7]），2 个 I2C master/slave 控制器，2 个 I2C slave 控制器，2 个看门狗 WDT，1 个通用 SPI（作为全芯片的启动 flash 接口，支持 4 个片选，单片最大支持容量为 512MB）；
- 集成 8 个温度传感器。

## 1.2 功耗管理

- 支持动态频率调整。

## 1.3 功能框图

芯片基于数据亲和的多核处理器体系架构，集成了 64 个处理器核，如下图所示。

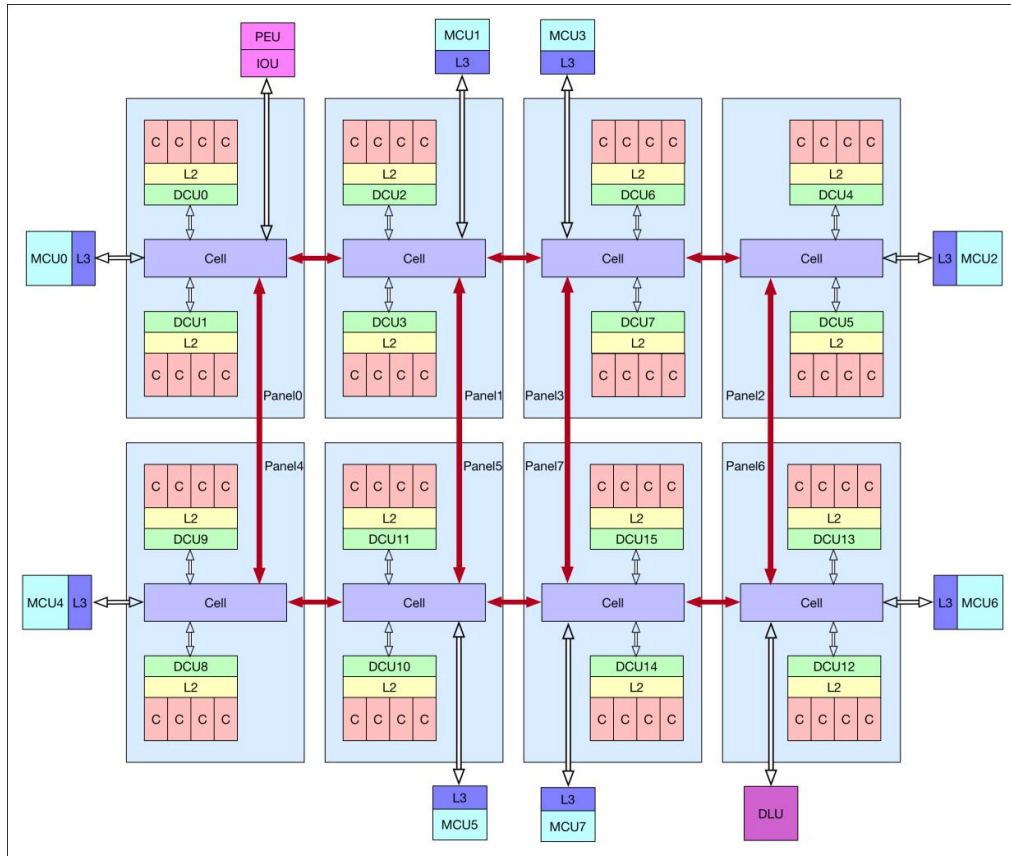


图 1.1 腾云 S2500 数据亲和多核处理器体系结构

芯片集成的 64 个处理器核心，划分为 8 个 Panel，每个 Panel 中有两个 Cluster（每个 Cluster 包含 4 个处理器核心及共享的 2M 二级 cache）、两个本地目录控制部件（DCU）、一个片上网络路由器节点（Cell）和一个紧密耦合的访存控制器（MCU）。Panel 之间通过片上网络接口连接，一致性维护报文、数据报文、调测试报文、中断报文等统一从同一套网络接口进行路由和通信。

处理器核为飞腾 FTC663 版本，采用四发射乱序超标量流水线结构，兼容 ARMv8 指令集，支持 EL0~EL3 多个特权级。流水线分为取指、译码、分派、执行和写回五个阶段，采用顺序取指、乱序执行、顺序提交的多发射执行机制，取值宽度、译码宽度、分派宽度均是 4 条指令，共有 9 个执行部件（或者称为 9 条功能流水线），分别是 4 个整数部件、2 个浮点部件、1 个 load 部件、1 个 load/store 部件和 1 个系统管理指令执行部件。浮点流水线能够合并执行双路浮点 SIMD 指令，实现每拍可以执行 4 条双精度浮点操作的峰值性能。

相比 FTC662, FTC663 在安全方面增加了对 Meltdown 和 Spectre 漏洞的防范。FTC663 中增加了寄存器，可以让用户控制处理器的前瞻执行和预取等行为，极端情况下可以完全关闭前瞻和预取，从而对利用 Meltdown 和 Spectre 漏洞的恶意

软件进行防范。此外，FTC663 在指令流水线中增加了加解密执行单元，可以处理 AES128、SHA1、SHA2-256 以及 PMULL 等指令。

基于数据亲和的多核处理器在体系结构级提供对数据局部性优化机制的支持。根据不同 Panel 和 Cluster 对存储空间的亲和度不同，将整个存储空间分成 8 个大空间，每个大空间对应一个距离最近的 Panel；每个大空间又分成 2 个子空间，每个 Cluster 对应一个子空间。任务部署和调度可以充分利用这些特性进行优化，与目前应用于 Petascale 系统的高性能多核微处理器相比，该结构支持将亲和度较高的多个线程映射到同一个 Panel 中，能够减少线程之间的全局通信，结合片上数据移动和迁移机制能够进一步优化全局通信延迟和能效。

基于数据亲和的多核处理器体系结构设计基于层次化实现局部与全局的协调和平衡。为了满足多核处理器对访存带宽和延迟的要求，芯片实现了层次式片上存储架构和层次式网络结构，支持高速片内 Cache 和大容量存储，亲和度高的任务通信频度高、数据同步量大，采用延迟短、带宽高的互连网络、和本地私有 Cache，亲和度弱的任务通信频度低，采用扩展性好但延迟较长的互连网络和分布共享的 Cache，对于需要跨 Panel 访存的应用尽量放置在较近的 Panel 中。采用分布式目录控制和存储，目录控制器和存储分布于各个 Panel，最大化并行处理一致性协议维护和访存。同时，通过灵活的地址映射模式，支持系统配置不同的访存能力。在亲和模式下，Panel 内部的目录控制器（DCU）只访问本地的访存模块（MCU），各个 Panel 之间的访存通道互不影响，具有最小的延迟和最大带宽；在部分模式下，DCU 根据配置可以访问任意的 MCU，支持系统配置不同规模的 DDR 通道数目。

直连模块(DLU) 提供 4 个直连接口，支持构成 2、4 和 8 路的单一 OS 镜像系统，如下图所示。

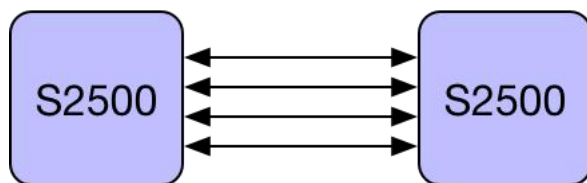


图 1.2 双路直连示意图

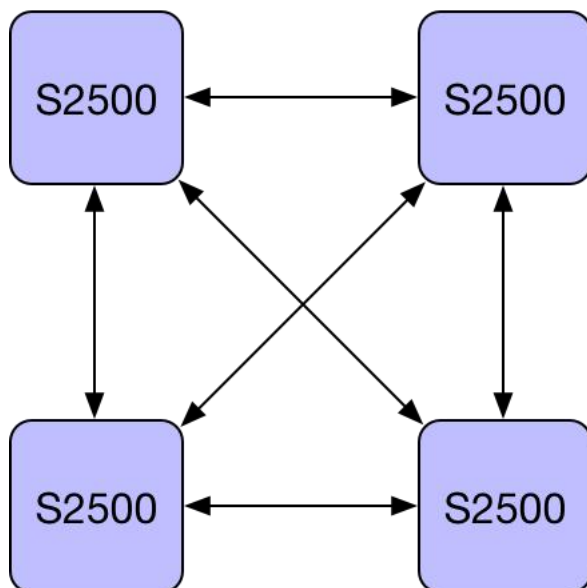


图 1.3 4路直连示意图

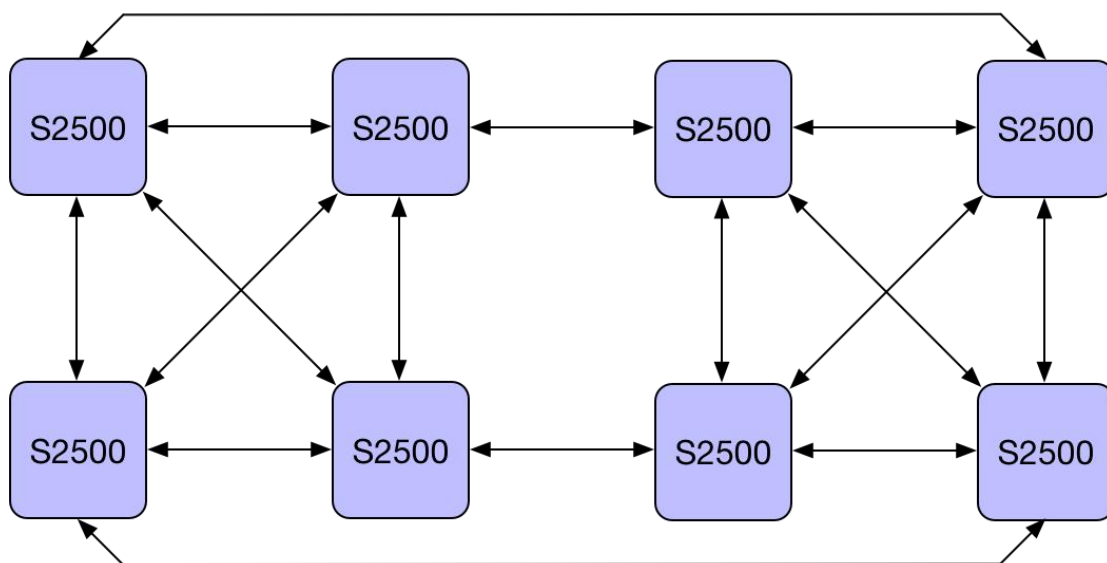


图 1.4 8路直连示意图

## 1.4 温度管理

腾云 S2500 内部集成 8 个温度传感器，支持单次采样、连续采样两种模式。

## 1.5 封装

腾云 S2500 采用 3576 引脚塑封 FCLBGA 封装，芯片尺寸为 61mm\*61mm，焊球节距 1.0mm，焊球采用无铅 SAC305 材料。

## 1.6 术语

表 1-2 术语和缩略语表

术语	全称	描述
<b>Panel</b>	Panel	面板，内部由多个计算单元组成
<b>Cluster</b>	Cluster	计算单元
<b>DLU</b>	Directly Link Unit	直接链路单元，每个 DLU 部件包含四个 FIT
<b>FIT</b>	Fast Interconnect Transport	快速互连传输，芯片间直连接口
<b>GPIO</b>	General-purpose input/output	通用输入/输出口
<b>LPC</b>	Low Pin Count	Intel 所定义的 PC 接口
<b>SPI</b>	Serial Peripheral Interface	串行外设接口
<b>I2C</b>	Inter Integrated Circuit	集成电路总线
<b>UART</b>	Universal Asynchronous Receiver/Transmitter	通用异步收发传输器
<b>WDT</b>	Watchdog Timer	看门狗
<b>ECC</b>	Error Correcting Code	纠错码
<b>DFS</b>	Dynamic Frequency Scaling	动态频率调节
<b>PCIe</b>	Peripheral Component Interconnect express	高速串行计算机扩展总线标准
<b>DIMM</b>	Dual Inline-Memory-Modules	双列直插式存储模块
<b>UDIMM</b>	Unbuffered Dual In-Line Memory Modules	无缓冲双列直插内存模块
<b>SODIMM</b>	Small Outline Dual In-line Memory Module	小型双列直插式内存模块
<b>RDIMM</b>	Registered Dual In-line Memory Module	带寄存器的双列直插内存模块
<b>LRDIMM</b>	Load Reduced Dual In-line Memory Module	低负载双列直插内存模块
<b>3DS</b>	3-Dimensional Stack	三维堆叠
<b>DBI</b>	Data Bus Inversion	数据总线倒置
<b>MCU</b>	Memory Control Unit	存储控制单元
<b>PPI</b>	Private Peripheral Interrupt	私有设备中断



<b>SIG</b>	Software Generate Interrupt	软件中断
<b>SPI</b>	Shared Peripheral Interrupt	共享设备中断
<b>MSI</b>	Message Signaled Interrupt	消息告知中断

## 1.7 相关文档

- 1、腾云 S2500 处理器软件编程手册
- 2、腾云 S2500 处理器硬件设计手册

## 2 接口和中断说明

### 2.1 接口信号说明

腾云 S2500 的接口信号简图如图 2.1 所示。

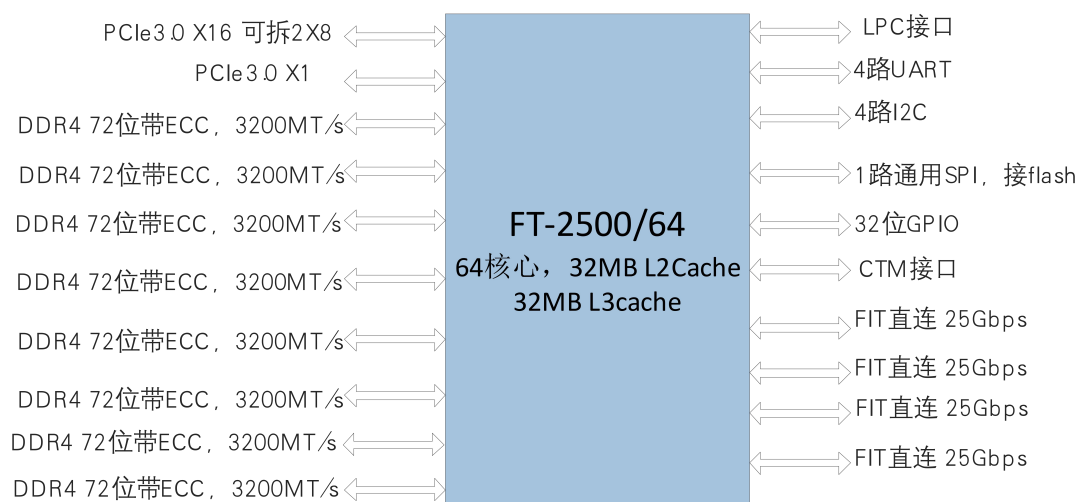


图 2.1 腾云 S2500 处理器接口信号框图

#### 2.1.1 引脚列表

##### 2.1.1.1 DDR4 SDRAM 引脚（1280PIN）信息

表 2-1 腾云 S2500 DDR4 SDRAM 引脚信息

信号名	引脚编号	信号类型	片内上下拉	功能说明
<b>MCU0</b>				
LMU0_A0	W57	B		通道 0 存储器地址(A)
LMU0_A1	AC56	B		
LMU0_A2	AE56	B		
LMU0_A3	AE58	B		
LMU0_A4	AE57	B		
LMU0_A5	AF56	B		
LMU0_A6	AF57	B		
LMU0_A7	AH57	B		
LMU0_A8	AG58	B		
LMU0_A9	AJ57	B		

LMU0_A10	V58	B		
LMU0_A11	AH56	B		
LMU0_A12	AJ56	B		
LMU0_A13	R55	B		
LMU0_A17	P56	B		
LMU0_WE_N	U56	B		通道 0 存储器写使能(WE_n)
LMU0_CAS_N	T57	B		通道 0 存储器列选通(CAS_n)
LMU0_RAS_N	U55	B		通道 0 存储器行选通(RAS_n)
LMU0_BA0	V55	B		通道 0 存储器体地址(bank)
LMU0_BA1	W56	B		
LMU0_BG0	AL57	B		通道 0 存储器体组地址(BG)
LMU0_BG1	AL56	B		
LMU0_C0	M58	B		通道 0 存储器芯片地址(C)
LMU0_C1	M55	B		
LMU0_C2	N55	B		
LMU0_CKE0	AN58	B		通道 0 存储器时钟使能(CKE)
LMU0_CKE1	AP56	B		
LMU0_CKE2	AM56	B		
LMU0_CKE3	AP57	B		
LMU0_CLK0_C	AB55	B		通道 0 存储器负时钟(CK_c), bit 0
LMU0_CLK0_T	AB56	B		通道 0 存储器正时钟(CK_t), bit 0
LMU0_CLK1_C	AB57	B		通道 0 存储器负时钟(CK_c), bit 1
LMU0_CLK1_T	AC57	B		通道 0 存储器正时钟(CK_t), bit 1
LMU0_CLK2_C	Y56	B		通道 0 存储器负时钟(CK_c), bit 2
LMU0_CLK2_T	Y57	B		通道 0 存储器正时钟(CK_t), bit 2
LMU0_CLK3_C	Y55	B		通道 0 存储器负时钟(CK_c), bit 3
LMU0_CLK3_T	AA55	B		通道 0 存储器正时钟(CK_t), bit 3
LMU0_CS_N0	U57	B		通道 0 存储器片选(CS_n)
LMU0_CS_N1	P55	B		
LMU0_CS_N2	T55	B		
LMU0_CS_N3	P57	B		
LMU0_ODT0	T56	B		通道 0 存储器内置终结电阻(ODT)
LMU0_ODT1	N57	B		
LMU0_ODT2	R58	B		
LMU0_ODT3	N56	B		
LMU0_BP_ZN_SEN SE	AG40	A		通道 0 存储器参考电阻(ZQ)
LMU0_ACT_N	AM57	B		通道 0 存储器激活(ACT_n)

LMU0_BP_ALERT_N	AK58	B		通道 0 存储器警告(ALERT_n)
LMU0_BP_MEMRESET_L	AR56	O		通道 0 存储器复位(RESET_n)
LMU0_D_OBV	AA49	B		通道 0 存储器锁相环(PLL)观测信号
LMU0_PAR	W55	B		通道 0 存储器奇偶校验(PAR)
LMU0_BP_VREF	AF41	P		通道 0 存储器参考电压(VREFCA)
LMU0_DQS_T_0	BK48	B		通道 0 存储器正数据选通(DQS_t)
LMU0_DQS_T_1	BP52	B		
LMU0_DQS_T_2	C54	B		
LMU0_DQS_T_3	A51	B		
LMU0_DQS_T_4	BF53	B		
LMU0_DQS_T_5	BK54	B		
LMU0_DQS_T_6	H60	B		
LMU0_DQS_T_7	E57	B		
LMU0_DQS_T_8	AW51	B		
LMU0_DQS_C_0	BK47	B		通道 0 存储器负数据选通(DQS_c)
LMU0_DQS_C_1	BR52	B		
LMU0_DQS_C_2	C55	B		
LMU0_DQS_C_3	B51	B		
LMU0_DQS_C_4	BF54	B		
LMU0_DQS_C_5	BK53	B		
LMU0_DQS_C_6	J60	B		
LMU0_DQS_C_7	F57	B		
LMU0_DQS_C_8	AW52	B		
LMU0_DQ_0_0	BJ45	B		通道 0 存储器数据(DQ)slice 0
LMU0_DQ_0_1	BH49	B		
LMU0_DQ_0_2	BL46	B		
LMU0_DQ_0_3	BJ49	B		
LMU0_DQ_0_4	BL45	B		
LMU0_DQ_0_5	BJ48	B		
LMU0_DQ_0_6	BK45	B		
LMU0_DQ_0_7	BL48	B		
LMU0_DQ_1_0	BU52	B		通道 0 存储器数据(DQ)slice 1
LMU0_DQ_1_1	BV52	B		
LMU0_DQ_1_2	BR54	B		
LMU0_DQ_1_3	BT54	B		
LMU0_DQ_1_4	BU51	B		
LMU0_DQ_1_5	BV51	B		
LMU0_DQ_1_6	BV55	B		
LMU0_DQ_1_7	BV54	B		

LMU0_DQ_2_0	D55	B		通道 0 存储器数据(DQ)slice 2
LMU0_DQ_2_1	D53	B		
LMU0_DQ_2_2	A53	B		
LMU0_DQ_2_3	B56	B		
LMU0_DQ_2_4	B57	B		
LMU0_DQ_2_5	B54	B		
LMU0_DQ_2_6	C57	B		
LMU0_DQ_2_7	A54	B		
LMU0_DQ_3_0	A52	B		通道 0 存储器数据(DQ)slice 3
LMU0_DQ_3_1	C51	B		
LMU0_DQ_3_2	C49	B		
LMU0_DQ_3_3	A49	B		
LMU0_DQ_3_4	B53	B		
LMU0_DQ_3_5	C52	B		
LMU0_DQ_3_6	A50	B		
LMU0_DQ_3_7	D49	B		
LMU0_DQ_4_0	BF52	B		通道 0 存储器数据(DQ)slice 4
LMU0_DQ_4_1	BB52	B		
LMU0_DQ_4_2	BE52	B		
LMU0_DQ_4_3	BC52	B		
LMU0_DQ_4_4	BG53	B		
LMU0_DQ_4_5	BG54	B		
LMU0_DQ_4_6	BC53	B		
LMU0_DQ_4_7	BC54	B		
LMU0_DQ_5_0	BM52	B		通道 0 存储器数据(DQ)slice 5
LMU0_DQ_5_1	BL52	B		
LMU0_DQ_5_2	BH52	B		
LMU0_DQ_5_3	BJ52	B		
LMU0_DQ_5_4	BN54	B		
LMU0_DQ_5_5	BN53	B		
LMU0_DQ_5_6	BJ53	B		
LMU0_DQ_5_7	BJ54	B		
LMU0_DQ_6_0	K59	B		通道 0 存储器数据(DQ)slice 6
LMU0_DQ_6_1	G59	B		
LMU0_DQ_6_2	G60	B		
LMU0_DQ_6_3	K60	B		
LMU0_DQ_6_4	L59	B		
LMU0_DQ_6_5	G58	B		
LMU0_DQ_6_6	L60	B		
LMU0_DQ_6_7	H59	B		
LMU0_DQ_7_0	E59	B		通道 0 存储器数据(DQ)slice 7

LMU0_DQ_7_1	C58	B		
LMU0_DQ_7_2	E60	B		
LMU0_DQ_7_3	D56	B		
LMU0_DQ_7_4	F58	B		
LMU0_DQ_7_5	D57	B		
LMU0_DQ_7_6	F60	B		
LMU0_DQ_7_7	E56	B		
LMU0_DQ_8_0	BA51	B		通道 0 存储器数据(DQ)slice 8
LMU0_DQ_8_1	AU53	B		
LMU0_DQ_8_2	AY51	B		
LMU0_DQ_8_3	AU52	B		
LMU0_DQ_8_4	BA53	B		
LMU0_DQ_8_5	AV53	B		
LMU0_DQ_8_6	AV51	B		
LMU0_DQ_8_7	BB51	B		
LMU0_DQS_T_0_9	BJ46	B		X4 模式：通道 0 存储器正数据选通(DQS_t) X8 模式：通道 0 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t) X16 模式：无效
LMU0_DQS_T_1_9	BT53	B		
LMU0_DQS_T_2_9	A56	B		
LMU0_DQS_T_3_9	C50	B		
LMU0_DQS_T_4_9	BD53	B		
LMU0_DQS_T_5_9	BM54	B		
LMU0_DQS_T_6_9	K58	B		
LMU0_DQS_T_7_9	D59	B		
LMU0_DQS_T_8_9	AY53	B		
LMU0_DQS_C_0_9	BJ47	B		X4 模式：通道 0 存储器负数据选通(DQS_c) X8 模式：通道 0 存储器负数据选通终端电阻(TDQS_c) X16 模式：无效
LMU0_DQS_C_1_9	BR53	B		
LMU0_DQS_C_2_9	A55	B		
LMU0_DQS_C_3_9	B50	B		
LMU0_DQS_C_4_9	BD54	B		
LMU0_DQS_C_5_9	BM53	B		
LMU0_DQS_C_6_9	J58	B		
LMU0_DQS_C_7_9	D58	B		
LMU0_DQS_C_8_9	AY52	B		
<b>MCU1</b>				
LMU1_A0	T6	B		通道 1 存储器地址(A)
LMU1_A1	L5	B		
LMU1_A2	L6	B		
LMU1_A3	J5	B		
LMU1_A4	J4	B		
LMU1_A5	H5	B		
LMU1_A6	J6	B		

LMU1_A7	G6	B		
LMU1_A8	H6	B		
LMU1_A9	F2	B		
LMU1_A10	U5	B		
LMU1_A11	F3	B		
LMU1_A12	F1	B		
LMU1_A13	AA6	B		
LMU1_WE_N	W6	B		
LMU1_CAS_N	Y5	B		通道 1 存储器写使能(WE_n)
LMU1_RAS_N	V4	B		通道 1 存储器列选通(CAS_n)
LMU1_A17	AC5	B		通道 1 存储器行选通(RAS_n)
LMU1_BA0	V6	B		通道 1 存储器体地址(bank)
LMU1_BA1	U6	B		
LMU1_BG0	F5	B		通道 1 存储器体组地址(BG)
LMU1_BG1	E1	B		
LMU1_C0	AD7	B		通道 1 存储器芯片地址(C)
LMU1_C1	AC7	B		
LMU1_C2	AC6	B		
LMU1_CKE0	D3	B		通道 1 存储器时钟使能(CKE)
LMU1_CKE1	F6	B		
LMU1_CKE2	E3	B		
LMU1_CKE3	E5	B		
LMU1_CLK0_C	N6	B		通道 1 存储器负时钟(CK_c), bit 0
LMU1_CLK0_T	M6	B		通道 1 存储器正时钟(CK_t), bit 0
LMU1_CLK1_C	M4	B		通道 1 存储器负时钟(CK_c), bit 1
LMU1_CLK1_T	M5	B		通道 1 存储器正时钟(CK_t), bit 1
LMU1_CLK2_C	R4	B		通道 1 存储器负时钟(CK_c), bit 2
LMU1_CLK2_T	R5	B		通道 1 存储器正时钟(CK_t), bit 2
LMU1_CLK3_C	P5	B		通道 1 存储器负时钟(CK_c), bit 3
LMU1_CLK3_T	P6	B		通道 1 存储器正时钟(CK_t), bit 3
LMU1_CS_N0	V5	B		通道 1 存储器片选(CS_n)
LMU1_CS_N1	AB6	B		
LMU1_CS_N2	Y7	B		
LMU1_CS_N3	AA7	B		
LMU1_ODT0	Y6	B		通道 1 存储器内置终结电阻(ODT)
LMU1_ODT1	AD5	B		
LMU1_ODT2	AA5	B		
LMU1_ODT3	AD6	B		
LMU1_BP_ZN_SEN	Y31	A		通道 1 存储器参考电阻(ZQ)

SE				
LMU1_ACT_N	E2	B		通道 1 存储器激活(ACT_n)
LMU1_BP_ALERT_N	F4	B		通道 1 存储器警告(ALERT_n)
LMU1_BP_MEMRESET_L	D6	O		通道 1 存储器复位(RESET_n)
LMU1_D_OBV	P10	B		通道 1 存储器锁相环(PLL)观测信号
LMU1_PAR	R6	B		通道 1 存储器奇偶校验(PAR)
LMU1_BP_VREF	AA30	P		通道 1 存储器参考电压(VREFCA)
LMU1_DQS_T_0	B28	B		通道 1 存储器正数据选通(DQS_t)
LMU1_DQS_T_1	B23	B		
LMU1_DQS_T_2	C17	B		
LMU1_DQS_T_3	C13	B		
LMU1_DQS_T_4	AH10	B		
LMU1_DQS_T_5	AN9	B		
LMU1_DQS_T_6	BA10	B		
LMU1_DQS_T_7	BG10	B		
LMU1_DQS_T_8	A5	B		
LMU1_DQS_C_0	A28	B		通道 1 存储器负数据选通(DQS_c)
LMU1_DQS_C_1	A23	B		
LMU1_DQS_C_2	B17	B		
LMU1_DQS_C_3	B13	B		
LMU1_DQS_C_4	AH9	B		
LMU1_DQS_C_5	AN8	B		
LMU1_DQS_C_6	AY10	B		
LMU1_DQS_C_7	BF10	B		
LMU1_DQS_C_8	A6	B		
LMU1_DQ_0_0	D30	B		通道 1 存储器数据(DQ)slice 0
LMU1_DQ_0_1	C26	B		
LMU1_DQ_0_2	A29	B		
LMU1_DQ_0_3	B26	B		
LMU1_DQ_0_4	C30	B		
LMU1_DQ_0_5	A30	B		
LMU1_DQ_0_6	A26	B		
LMU1_DQ_0_7	A27	B		
LMU1_DQ_1_0	C25	B		通道 1 存储器数据(DQ)slice 1
LMU1_DQ_1_1	A20	B		
LMU1_DQ_1_2	A24	B		
LMU1_DQ_1_3	A21	B		
LMU1_DQ_1_4	A25	B		
LMU1_DQ_1_5	B25	B		



LMU1_DQ_1_6	C22	B		通道 1 存储器数据(DQ)slice 2
LMU1_DQ_1_7	C23	B		
LMU1_DQ_2_0	A19	B		
LMU1_DQ_2_1	B19	B		
LMU1_DQ_2_2	A15	B		
LMU1_DQ_2_3	C16	B		
LMU1_DQ_2_4	C20	B		
LMU1_DQ_2_5	B16	B		
LMU1_DQ_2_6	B20	B		
LMU1_DQ_2_7	A16	B		
LMU1_DQ_3_0	C14	B		通道 1 存储器数据(DQ)slice 3
LMU1_DQ_3_1	A13	B		
LMU1_DQ_3_2	A10	B		
LMU1_DQ_3_3	B10	B		
LMU1_DQ_3_4	A14	B		
LMU1_DQ_3_5	B11	B		
LMU1_DQ_3_6	B14	B		
LMU1_DQ_3_7	C11	B		
LMU1_DQ_4_0	AF10	B		通道 1 存储器数据(DQ)slice 4
LMU1_DQ_4_1	AK8	B		
LMU1_DQ_4_2	AG8	B		
LMU1_DQ_4_3	AK9	B		
LMU1_DQ_4_4	AE10	B		
LMU1_DQ_4_5	AE9	B		
LMU1_DQ_4_6	AJ10	B		
LMU1_DQ_4_7	AJ8	B		
LMU1_DQ_5_0	AM8	B		通道 1 存储器数据(DQ)slice 5
LMU1_DQ_5_1	AT9	B		
LMU1_DQ_5_2	AM10	B		
LMU1_DQ_5_3	AT8	B		
LMU1_DQ_5_4	AL9	B		
LMU1_DQ_5_5	AL10	B		
LMU1_DQ_5_6	AR10	B		
LMU1_DQ_5_7	AR8	B		
LMU1_DQ_6_0	AV8	B		通道 1 存储器数据(DQ)slice 6
LMU1_DQ_6_1	BB9	B		
LMU1_DQ_6_2	AV10	B		
LMU1_DQ_6_3	BB10	B		
LMU1_DQ_6_4	AU10	B		
LMU1_DQ_6_5	AU9	B		
LMU1_DQ_6_6	BB11	B		

LMU1_DQ_6_7	BA11	B		
LMU1_DQ_7_0	BE10	B		通道 1 存储器数据(DQ)slice 7
LMU1_DQ_7_1	BJ10	B		
LMU1_DQ_7_2	BJ9	B		
LMU1_DQ_7_3	BE11	B		
LMU1_DQ_7_4	BD10	B		
LMU1_DQ_7_5	BH10	B		
LMU1_DQ_7_6	BH9	B		
LMU1_DQ_7_7	BD11	B		
LMU1_DQ_8_0	B8	B		
LMU1_DQ_8_1	C8	B		
LMU1_DQ_8_2	B4	B		
LMU1_DQ_8_3	C4	B		
LMU1_DQ_8_4	A8	B		
LMU1_DQ_8_5	A9	B		
LMU1_DQ_8_6	B5	B		
LMU1_DQ_8_7	C5	B		
LMU1_DQS_T_0_9	B29	B		X4 模式: 通道 1 存储器正数据选通 (DQS_t) X8 模式: 通道 1 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻 (TDQS_t) X16 模式: 无效
LMU1_DQS_T_1_9	B22	B		
LMU1_DQS_T_2_9	A18	B		
LMU1_DQS_T_3_9	A12	B		
LMU1_DQS_T_4_9	AG9	B		
LMU1_DQS_T_5_9	AP9	B		
LMU1_DQS_T_6_9	AW10	B		
LMU1_DQS_T_7_9	BG11	B		
LMU1_DQS_C_0_9	C29	B		X4 模式: 通道 1 存储器负数据选通 (DQS_c) X8 模式: 通道 1 存储器负数据选通终端电阻(TDQS_c) X16 模式: 无效
LMU1_DQS_C_1_9	A22	B		
LMU1_DQS_C_2_9	A17	B		
LMU1_DQS_C_3_9	A11	B		
LMU1_DQS_C_4_9	AG10	B		
LMU1_DQS_C_5_9	AP10	B		
LMU1_DQS_C_6_9	AW11	B		
LMU1_DQS_C_7_9	BH11	B		
LMU1_DQS_C_8_9	B7	B		
<b>MCU2</b>				
LMU2_A0	AW2	B		通道 2 存储器地址(A)
LMU2_A1	AR1	B		
LMU2_A2	AN3	B		
LMU2_A3	AN2	B		
LMU2_A4	AN1	B		

LMU2_A5	AM2	B		
LMU2_A6	AM3	B		
LMU2_A7	AK3	B		
LMU2_A8	AM1	B		
LMU2_A9	AK1	B		
LMU2_A10	BA1	B		
LMU2_A11	AK2	B		
LMU2_A12	AJ3	B		
LMU2_A13	BE1	B		
LMU2_WE_N	BB2	B		
LMU2_CAS_N	BD1	B		通道 2 存储器写使能(WE_n)
LMU2_RAS_N	BA3	B		通道 2 存储器列选通(CAS_n)
LMU2_A17	BG1	B		通道 2 存储器行选通(RAS_n)
LMU2_BA0	BA2	B		通道 2 存储器体地址(bank)
LMU2_BA1	AW3	B		
LMU2_BG0	AJ1	B		通道 2 存储器体组地址(BG)
LMU2_BG1	AG3	B		
LMU2_C0	BH3	B		通道 2 存储器芯片地址(C)
LMU2_C1	BH2	B		
LMU2_C2	BG2	B		
LMU2_CKE0	AF4	B		通道 2 存储器时钟使能(CKE)
LMU2_CKE1	AF1	B		
LMU2_CKE2	AG1	B		
LMU2_CKE3	AF2	B		
LMU2_CLK0_C	AT2	B		通道 2 存储器负时钟(CK_c), bit 0
LMU2_CLK0_T	AT1	B		通道 2 存储器正时钟(CK_t), bit 0
LMU2_CLK1_C	AR3	B		通道 2 存储器负时钟(CK_c), bit 1
LMU2_CLK1_T	AR2	B		通道 2 存储器正时钟(CK_t), bit 1
LMU2_CLK2_C	AV3	B		通道 2 存储器负时钟(CK_c), bit 2
LMU2_CLK2_T	AV2	B		通道 2 存储器正时钟(CK_t), bit 2
LMU2_CLK3_C	AV1	B		通道 2 存储器负时钟(CK_c), bit 3
LMU2_CLK3_T	AU1	B		通道 2 存储器正时钟(CK_t), bit 3
LMU2_CS_N0	BB1	B		通道 2 存储器片选(CS_n)
LMU2_CS_N1	BE2	B		
LMU2_CS_N2	BB3	B		
LMU2_CS_N3	BE3	B		
LMU2_ODT0	BD2	B		通道 2 存储器内置终结电阻(ODT)
LMU2_ODT1	BG3	B		
LMU2_ODT2	BD3	B		

LMU2_ODT3	BH1	B	
LMU2_BP_ZN_SENSE	AG21	A	通道 2 存储器参考电阻(ZQ)
LMU2_ACT_N	AG2	B	通道 2 存储器激活(ACT_n)
LMU2_BP_ALERT_N	AJ2	B	通道 2 存储器警告(ALERT_n)
LMU2_BP_MEMRESET_L	AF3	O	通道 2 存储器复位(RESET_n)
LMU2_D_OBV	AJ15	B	通道 2 存储器锁相环(PLL)观测信号
LMU2_PAR	AW1	B	通道 2 存储器奇偶校验(PAR)
LMU2_BP_VREF	AH20	P	通道 2 存储器参考电压(VREFCA)
LMU2_DQS_T_0	C28	B	通道 2 存储器正数据选通(DQS_t)
LMU2_DQS_T_1	D24	B	
LMU2_DQS_T_2	D19	B	
LMU2_DQS_T_3	G16	B	
LMU2_DQS_T_4	BP7	B	
LMU2_DQS_T_5	BL6	B	
LMU2_DQS_T_6	BL10	B	
LMU2_DQS_T_7	BT11	B	
LMU2_DQS_T_8	H10	B	
LMU2_DQS_C_0	D28	B	通道 2 存储器负数据选通(DQS_c)
LMU2_DQS_C_1	C24	B	
LMU2_DQS_C_2	C19	B	
LMU2_DQS_C_3	F16	B	
LMU2_DQS_C_4	BN7	B	
LMU2_DQS_C_5	BL5	B	
LMU2_DQS_C_6	BK10	B	
LMU2_DQS_C_7	BU11	B	
LMU2_DQS_C_8	G10	B	
LMU2_DQ_0_0	F29	B	通道 2 存储器数据(DQ)slice 0
LMU2_DQ_0_1	F26	B	
LMU2_DQ_0_2	D27	B	
LMU2_DQ_0_3	E29	B	
LMU2_DQ_0_4	F30	B	
LMU2_DQ_0_5	F27	B	
LMU2_DQ_0_6	G30	B	
LMU2_DQ_0_7	C27	B	
LMU2_DQ_1_0	E25	B	通道 2 存储器数据(DQ)slice 1
LMU2_DQ_1_1	E22	B	
LMU2_DQ_1_2	D22	B	
LMU2_DQ_1_3	F25	B	

LMU2_DQ_1_4	E26	B		
LMU2_DQ_1_5	D25	B		
LMU2_DQ_1_6	E23	B		
LMU2_DQ_1_7	F22	B		
LMU2_DQ_2_0	F21	B		通道 2 存储器数据(DQ)slice 2
LMU2_DQ_2_1	F20	B		
LMU2_DQ_2_2	F18	B		
LMU2_DQ_2_3	D18	B		
LMU2_DQ_2_4	D21	B		
LMU2_DQ_2_5	C21	B		
LMU2_DQ_2_6	F19	B		
LMU2_DQ_2_7	C18	B		
LMU2_DQ_3_0	E16	B		通道 2 存储器数据(DQ)slice 3
LMU2_DQ_3_1	D16	B		
LMU2_DQ_3_2	F14	B		
LMU2_DQ_3_3	E14	B		
LMU2_DQ_3_4	E17	B		
LMU2_DQ_3_5	F17	B		
LMU2_DQ_3_6	F15	B		
LMU2_DQ_3_7	G15	B		
LMU2_DQ_4_0	BP6	B		通道 2 存储器数据(DQ)slice 4
LMU2_DQ_4_1	BP8	B		
LMU2_DQ_4_2	BR6	B		
LMU2_DQ_4_3	BT8	B		
LMU2_DQ_4_4	BP5	B		
LMU2_DQ_4_5	BN8	B		
LMU2_DQ_4_6	BM7	B		
LMU2_DQ_4_7	BR7	B		
LMU2_DQ_5_0	BK4	B		通道 2 存储器数据(DQ)slice 5
LMU2_DQ_5_1	BP4	B		
LMU2_DQ_5_2	BK5	B		
LMU2_DQ_5_3	BM6	B		
LMU2_DQ_5_4	BL7	B		
LMU2_DQ_5_5	BN4	B		
LMU2_DQ_5_6	BN5	B		
LMU2_DQ_5_7	BK7	B		
LMU2_DQ_6_0	BL9	B		通道 2 存储器数据(DQ)slice 6
LMU2_DQ_6_1	BM12	B		
LMU2_DQ_6_2	BL12	B		
LMU2_DQ_6_3	BM9	B		
LMU2_DQ_6_4	BK8	B		

LMU2_DQ_6_5	BL11	B			
LMU2_DQ_6_6	BL8	B			
LMU2_DQ_6_7	BN11	B			
LMU2_DQ_7_0	BP9	B		通道 2 存储器数据(DQ)slice 7	
LMU2_DQ_7_1	BU10	B			
LMU2_DQ_7_2	BR12	B			
LMU2_DQ_7_3	BP12	B			
LMU2_DQ_7_4	BR9	B			
LMU2_DQ_7_5	BU9	B			
LMU2_DQ_7_6	BP11	B			
LMU2_DQ_7_7	BP10	B			
LMU2_DQ_8_0	H13	B			通道 2 存储器数据(DQ)slice 8
LMU2_DQ_8_1	J12	B			
LMU2_DQ_8_2	K10	B			
LMU2_DQ_8_3	J10	B			
LMU2_DQ_8_4	J13	B			
LMU2_DQ_8_5	L10	B			
LMU2_DQ_8_6	K12	B			
LMU2_DQ_8_7	L11	B			
LMU2_DQS_T_0_9	F28	B		X4 模式：通道 2 存储器正数据选通 (DQS_t) X8 模式：通道 2 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻 (TDQS_t) X16 模式：无效	
LMU2_DQS_T_1_9	F24	B			
LMU2_DQS_T_2_9	E20	B			
LMU2_DQS_T_3_9	C15	B			
LMU2_DQS_T_4_9	BU7	B			
LMU2_DQS_T_5_9	BL4	B			
LMU2_DQS_T_6_9	BN10	B			
LMU2_DQS_T_7_9	BT10	B			
LMU2_DQS_T_8_9	H11	B		X4 模式：通道 2 存储器负数据选通 (DQS_c) X8 模式：通道 2 存储器负数据选通终端电阻(TDQS_c) X16 模式：无效	
LMU2_DQS_C_0_9	E28	B			
LMU2_DQS_C_1_9	F23	B			
LMU2_DQS_C_2_9	E19	B			
LMU2_DQS_C_3_9	D15	B			
LMU2_DQS_C_4_9	BT7	B			
LMU2_DQS_C_5_9	BM4	B			
LMU2_DQS_C_6_9	BM10	B			
LMU2_DQS_C_7_9	BR10	B			
LMU2_DQS_C_8_9	J11	B			
<b>MCU3</b>					
LMU3_A0	V2	B		通道 3 存储器地址(A)	
LMU3_A1	P2	B			
LMU3_A2	P1	B			

LMU3_A3	P3	B		
LMU3_A4	N3	B		
LMU3_A5	M2	B		
LMU3_A6	M3	B		
LMU3_A7	L3	B		
LMU3_A8	M1	B		
LMU3_A9	L1	B		
LMU3_A10	W3	B		
LMU3_A11	L2	B		
LMU3_A12	L4	B		
LMU3_A13	AA4	B		
LMU3_WE_N	Y3	B		
LMU3_CAS_N	AA2	B		通道 3 存储器写使能(WE_n)
LMU3_RAS_N	Y1	B		通道 3 存储器列选通(CAS_n)
LMU3_A17	AC3	B		通道 3 存储器行选通(RAS_n)
LMU3_BA0	Y4	B		通道 3 存储器体地址(bank)
LMU3_BA1	V3	B		
LMU3_BG0	J3	B		通道 3 存储器体组地址(BG)
LMU3_BG1	J2	B		
LMU3_C0	AD4	B		通道 3 存储器芯片地址(C)
LMU3_C1	AC4	B		
LMU3_C2	AD1	B		
LMU3_CKE0	H2	B		通道 3 存储器时钟使能(CKE)
LMU3_CKE1	H4	B		
LMU3_CKE2	H3	B		
LMU3_CKE3	H1	B		
LMU3_CLK0_C	T3	B		通道 3 存储器负时钟(CK_c), bit 0
LMU3_CLK0_T	R3	B		通道 3 存储器正时钟(CK_t), bit 0
LMU3_CLK1_C	R1	B		通道 3 存储器负时钟(CK_c), bit 1
LMU3_CLK1_T	R2	B		通道 3 存储器正时钟(CK_t), bit 1
LMU3_CLK2_C	U4	B		通道 3 存储器负时钟(CK_c), bit 2
LMU3_CLK2_T	U3	B		通道 3 存储器正时钟(CK_t), bit 2
LMU3_CLK3_C	U1	B		通道 3 存储器负时钟(CK_c), bit 3
LMU3_CLK3_T	U2	B		通道 3 存储器正时钟(CK_t), bit 3
LMU3_CS_N0	Y2	B		通道 3 存储器片选(CS_n)
LMU3_CS_N1	AC1	B		
LMU3_CS_N2	AA1	B		
LMU3_CS_N3	AC2	B		
LMU3_ODT0	AA3	B		通道 3 存储器内置终结电阻(ODT)

LMU3_ODT1	AD2	B		
LMU3_ODT2	AB3	B		
LMU3_ODT3	AD3	B		
LMU3_BP_ZN_SENSE	Y24	A		通道 3 存储器参考电阻(ZQ)
LMU3_ACT_N	J1	B		通道 3 存储器激活(ACT_n)
LMU3_BP_ALERT_N	K3	B		通道 3 存储器警告(ALERT_n)
LMU3_BP_MEMRESET_L	G3	O		通道 3 存储器复位(RESET_n)
LMU3_D_OBV	Y15	B		通道 3 存储器锁相环(PLL)观测信号
LMU3_PAR	V1	B		通道 3 存储器奇偶校验(PAR)
LMU3_BP_VREF	AA23	P		通道 3 存储器参考电压(VREFCA)
LMU3_DQS_T_0	J29	B		通道 3 存储器正数据选通(DQS_t)
LMU3_DQS_T_1	J23	B		
LMU3_DQS_T_2	L20	B		
LMU3_DQS_T_3	J17	B		
LMU3_DQS_T_4	AH7	B		
LMU3_DQS_T_5	AN7	B		
LMU3_DQS_T_6	AY9	B		
LMU3_DQS_T_7	BE8	B		
LMU3_DQS_C_0	K29	B		通道 3 存储器负数据选通(DQS_c)
LMU3_DQS_C_1	H23	B		
LMU3_DQS_C_2	K20	B		
LMU3_DQS_C_3	J18	B		
LMU3_DQS_C_4	AH6	B		
LMU3_DQS_C_5	AN6	B		
LMU3_DQS_C_6	AW9	B		
LMU3_DQS_C_7	BE7	B		
LMU3_DQ_0_0	K28	B		通道 3 存储器数据(DQ)slice 0
LMU3_DQ_0_1	J27	B		
LMU3_DQ_0_2	H26	B		
LMU3_DQ_0_3	J26	B		
LMU3_DQ_0_4	K27	B		
LMU3_DQ_0_5	G28	B		
LMU3_DQ_0_6	L29	B		
LMU3_DQ_0_7	G27	B		通道 3 存储器数据(DQ)slice 1
LMU3_DQ_1_0	G25	B		
LMU3_DQ_1_1	J22	B		



LMU3_DQ_1_2	G21	B		
LMU3_DQ_1_3	G24	B		
LMU3_DQ_1_4	H25	B		
LMU3_DQ_1_5	G22	B		
LMU3_DQ_1_6	K25	B		
LMU3_DQ_1_7	H22	B		
LMU3_DQ_2_0	K22	B		通道 3 存储器数据(DQ)slice 2
LMU3_DQ_2_1	K21	B		
LMU3_DQ_2_2	K18	B		
LMU3_DQ_2_3	L19	B		
LMU3_DQ_2_4	L22	B		
LMU3_DQ_2_5	K19	B		
LMU3_DQ_2_6	L23	B		
LMU3_DQ_2_7	J19	B		
LMU3_DQ_3_0	G19	B		通道 3 存储器数据(DQ)slice 3
LMU3_DQ_3_1	J14	B		
LMU3_DQ_3_2	H14	B		
LMU3_DQ_3_3	G18	B		
LMU3_DQ_3_4	H20	B		
LMU3_DQ_3_5	H19	B		
LMU3_DQ_3_6	J16	B		
LMU3_DQ_3_7	J15	B		
LMU3_DQ_4_0	AF6	B		通道 3 存储器数据(DQ)slice 4
LMU3_DQ_4_1	AF7	B		
LMU3_DQ_4_2	AK7	B		
LMU3_DQ_4_3	AK6	B		
LMU3_DQ_4_4	AF8	B		
LMU3_DQ_4_5	AJ7	B		
LMU3_DQ_4_6	AE6	B		
LMU3_DQ_4_7	AJ6	B		
LMU3_DQ_5_0	AM6	B		通道 3 存储器数据(DQ)slice 5
LMU3_DQ_5_1	AM7	B		
LMU3_DQ_5_2	AT6	B		
LMU3_DQ_5_3	AT7	B		
LMU3_DQ_5_4	AL6	B		
LMU3_DQ_5_5	AR6	B		
LMU3_DQ_5_6	AL7	B		
LMU3_DQ_5_7	AR7	B		
LMU3_DQ_6_0	AV6	B		通道 3 存储器数据(DQ)slice 6
LMU3_DQ_6_1	AV7	B		
LMU3_DQ_6_2	BB7	B		

LMU3_DQ_6_3	BB8	B		
LMU3_DQ_6_4	AU7	B		
LMU3_DQ_6_5	BA7	B		
LMU3_DQ_6_6	AU6	B		
LMU3_DQ_6_7	BA8	B		
LMU3_DQ_7_0	BD7	B		通道 3 存储器数据(DQ)slice 7
LMU3_DQ_7_1	BD8	B		
LMU3_DQ_7_2	BH7	B		
LMU3_DQ_7_3	BH8	B		
LMU3_DQ_7_4	BC9	B		
LMU3_DQ_7_5	BG7	B		
LMU3_DQ_7_6	BG8	B		
LMU3_DQ_7_7	BC10	B		
LMU3_DQ_8_0	D13	B		通道 3 存储器数据(DQ)slice 8
LMU3_DQ_8_1	G13	B		
LMU3_DQ_8_2	F10	B		
LMU3_DQ_8_3	F11	B		
LMU3_DQ_8_4	E13	B		
LMU3_DQ_8_5	E11	B		
LMU3_DQ_8_6	F13	B		
LMU3_DQ_8_7	E10	B		
LMU3_DQS_T_0_9	J28	B		X4 模式：通道 3 存储器正数据选通 (DQS_t) X8 模式：通道 3 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻 (TDQS_t) X16 模式：无效
LMU3_DQS_T_1_9	J25	B		
LMU3_DQS_T_2_9	J21	B		
LMU3_DQS_T_3_9	H17	B		
LMU3_DQS_T_4_9	AG6	B		
LMU3_DQS_T_5_9	AP6	B		
LMU3_DQS_T_6_9	AW7	B		
LMU3_DQS_T_7_9	BE9	B		
LMU3_DQS_T_8_9	C12	B		X4 模式：通道 3 存储器负数据选通 (DQS_c) X8 模式：通道 3 存储器负数据选通终端电阻(TDQS_c) X16 模式：无效
LMU3_DQS_C_0_9	H28	B		
LMU3_DQS_C_1_9	J24	B		
LMU3_DQS_C_2_9	J20	B		
LMU3_DQS_C_3_9	H16	B		
LMU3_DQS_C_4_9	AG7	B		
LMU3_DQS_C_5_9	AP7	B		
LMU3_DQS_C_6_9	AW8	B		
LMU3_DQS_C_7_9	BF9	B		
LMU3_DQS_C_8_9	D12	B		
<b>MCU4</b>				
LMU4_A0	AB59	B		通道 4 存储器地址(A)

LMU4_A1	AF60	B		
LMU4_A2	AH58	B		
LMU4_A3	AH59	B		
LMU4_A4	AH60	B		
LMU4_A5	AJ59	B		
LMU4_A6	AJ58	B		
LMU4_A7	AL58	B		
LMU4_A8	AJ60	B		
LMU4_A9	AL60	B		
LMU4_A10	Y60	B		
LMU4_A11	AL59	B		
LMU4_A12	AM58	B		
LMU4_A13	T60	B		
LMU4_WE_N	W59	B		
LMU4_CAS_N	U60	B		通道 4 存储器写使能(WE_n)
LMU4_RAS_N	Y58	B		通道 4 存储器列选通(CAS_n)
LMU4_A17	P60	B		通道 4 存储器行选通(RAS_n)
LMU4_BA0	Y59	B		通道 4 存储器体地址(bank)
LMU4_BA1	AB58	B		
LMU4_BG0	AM60	B		通道 4 存储器体组地址(BG)
LMU4_BG1	AP58	B		
LMU4_C0	N58	B		通道 4 存储器芯片地址(C)
LMU4_C1	N59	B		
LMU4_C2	P59	B		
LMU4_CKE0	AR57	B		通道 4 存储器时钟使能(CKE)
LMU4_CKE1	AR60	B		
LMU4_CKE2	AP60	B		
LMU4_CKE3	AR59	B		
LMU4_CLK0_C	AE59	B		通道 4 存储器负时钟(CK_c), bit 0
LMU4_CLK0_T	AE60	B		通道 4 存储器正时钟(CK_t), bit 0
LMU4_CLK1_C	AF58	B		通道 4 存储器负时钟(CK_c), bit 1
LMU4_CLK1_T	AF59	B		通道 4 存储器正时钟(CK_t), bit 1
LMU4_CLK2_C	AC58	B		通道 4 存储器负时钟(CK_c), bit 2
LMU4_CLK2_T	AC59	B		通道 4 存储器正时钟(CK_t), bit 2
LMU4_CLK3_C	AC60	B		通道 4 存储器负时钟(CK_c), bit 3
LMU4_CLK3_T	AD60	B		通道 4 存储器正时钟(CK_t), bit 3
LMU4_CS_N0	W60	B		通道 4 存储器片选(CS_n)
LMU4_CS_N1	T59	B		
LMU4_CS_N2	W58	B		

LMU4_CS_N3	T58	B		
LMU4_ODT0	U59	B		通道 4 存储器内置终结电阻(ODT)
LMU4_ODT1	P58	B		
LMU4_ODT2	U58	B		
LMU4_ODT3	N60	B		
LMU4_BP_ZN_SENSE	AP40	A		通道 4 存储器参考电阻(ZQ)
LMU4_ACT_N	AP59	B		通道 4 存储器激活(ACT_n)
LMU4_BP_ALERT_N	AM59	B		通道 4 存储器警告(ALERT_n)
LMU4_BP_MEMRESET_L	AR58	O		通道 4 存储器复位(RESET_n)
LMU4_D_OBV	AM46	B		通道 4 存储器锁相环(PLL)观测信号
LMU4_PAR	AB60	B		通道 4 存储器奇偶校验(PAR)
LMU4_BP_VREF	AN41	P		通道 4 存储器参考电压(VREFCA)
LMU4_DQS_T_0	BV33	B		通道 4 存储器正数据选通(DQS_t)
LMU4_DQS_T_1	BU37	B		
LMU4_DQS_T_2	BU42	B		
LMU4_DQS_T_3	BP45	B		
LMU4_DQS_T_4	G54	B		
LMU4_DQS_T_5	K55	B		
LMU4_DQS_T_6	K51	B		
LMU4_DQS_T_7	E50	B		
LMU4_DQS_T_8	BN51	B		通道 4 存储器负数据选通(DQS_c)
LMU4_DQS_C_0	BU33	B		
LMU4_DQS_C_1	BV37	B		
LMU4_DQS_C_2	BV42	B		
LMU4_DQS_C_3	BR45	B		
LMU4_DQS_C_4	H54	B		
LMU4_DQS_C_5	K56	B		
LMU4_DQS_C_6	L51	B		
LMU4_DQS_C_7	D50	B		通道 4 存储器数据(DQ)slice 0
LMU4_DQS_C_8	BP51	B		
LMU4_DQ_0_0	BR32	B		
LMU4_DQ_0_1	BR35	B		
LMU4_DQ_0_2	BU34	B		
LMU4_DQ_0_3	BT32	B		
LMU4_DQ_0_4	BR31	B		
LMU4_DQ_0_5	BR34	B		
LMU4_DQ_0_6	BP31	B		
LMU4_DQ_0_7	BV34	B		

LMU4_DQ_1_0	BT36	B		通道 4 存储器数据(DQ)slice 1
LMU4_DQ_1_1	BT39	B		
LMU4_DQ_1_2	BU39	B		
LMU4_DQ_1_3	BR36	B		
LMU4_DQ_1_4	BT35	B		
LMU4_DQ_1_5	BU36	B		
LMU4_DQ_1_6	BT38	B		
LMU4_DQ_1_7	BR39	B		
LMU4_DQ_2_0	BR40	B		通道 4 存储器数据(DQ)slice 2
LMU4_DQ_2_1	BR41	B		
LMU4_DQ_2_2	BR43	B		
LMU4_DQ_2_3	BU43	B		
LMU4_DQ_2_4	BU40	B		
LMU4_DQ_2_5	BV40	B		
LMU4_DQ_2_6	BR42	B		
LMU4_DQ_2_7	BV43	B		
LMU4_DQ_3_0	BT45	B		通道 4 存储器数据(DQ)slice 3
LMU4_DQ_3_1	BU45	B		
LMU4_DQ_3_2	BR47	B		
LMU4_DQ_3_3	BT47	B		
LMU4_DQ_3_4	BT44	B		
LMU4_DQ_3_5	BR44	B		
LMU4_DQ_3_6	BR46	B		
LMU4_DQ_3_7	BP46	B		
LMU4_DQ_4_0	G55	B		通道 4 存储器数据(DQ)slice 4
LMU4_DQ_4_1	G53	B		
LMU4_DQ_4_2	F55	B		
LMU4_DQ_4_3	E53	B		
LMU4_DQ_4_4	G56	B		
LMU4_DQ_4_5	H53	B		
LMU4_DQ_4_6	J54	B		
LMU4_DQ_4_7	F54	B		
LMU4_DQ_5_0	L57	B		通道 4 存储器数据(DQ)slice 5
LMU4_DQ_5_1	G57	B		
LMU4_DQ_5_2	L56	B		
LMU4_DQ_5_3	J55	B		
LMU4_DQ_5_4	K54	B		
LMU4_DQ_5_5	H57	B		
LMU4_DQ_5_6	H56	B		
LMU4_DQ_5_7	L54	B		
LMU4_DQ_6_0	K52	B		通道 4 存储器数据(DQ)slice 6

LMU4_DQ_6_1	J49	B		
LMU4_DQ_6_2	K49	B		
LMU4_DQ_6_3	J52	B		
LMU4_DQ_6_4	L53	B		
LMU4_DQ_6_5	K50	B		
LMU4_DQ_6_6	K53	B		
LMU4_DQ_6_7	H50	B		
LMU4_DQ_7_0	G52	B		通道 4 存储器数据(DQ)slice 7
LMU4_DQ_7_1	D51	B		
LMU4_DQ_7_2	F49	B		
LMU4_DQ_7_3	G49	B		
LMU4_DQ_7_4	F52	B		
LMU4_DQ_7_5	D52	B		
LMU4_DQ_7_6	G50	B		
LMU4_DQ_7_7	G51	B		
LMU4_DQ_8_0	BN48	B		通道 4 存储器数据(DQ)slice 8
LMU4_DQ_8_1	BM49	B		
LMU4_DQ_8_2	BL51	B		
LMU4_DQ_8_3	BM51	B		
LMU4_DQ_8_4	BM48	B		
LMU4_DQ_8_5	BK51	B		
LMU4_DQ_8_6	BL49	B		
LMU4_DQ_8_7	BK50	B		
LMU4_DQS_T_0_9	BR33	B		X4 模式: 通道 4 存储器正数据选通 (DQS_t) X8 模式: 通道 4 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻 (TDQS_t) X16 模式: 无效
LMU4_DQS_T_1_9	BR37	B		
LMU4_DQS_T_2_9	BT41	B		
LMU4_DQS_T_3_9	BV46	B		
LMU4_DQS_T_4_9	D54	B		
LMU4_DQS_T_5_9	K57	B		
LMU4_DQS_T_6_9	H51	B		
LMU4_DQS_T_7_9	E51	B		
LMU4_DQS_T_8_9	BN50	B		
LMU4_DQS_C_0_9	BT33	B		X4 模式: 通道 4 存储器负数据选通 (DQS_c) X8 模式: 通道 4 存储器负数据选通终端电阻(TDQS_c) X16 模式: 无效
LMU4_DQS_C_1_9	BR38	B		
LMU4_DQS_C_2_9	BT42	B		
LMU4_DQS_C_3_9	BU46	B		
LMU4_DQS_C_4_9	E54	B		
LMU4_DQS_C_5_9	J57	B		
LMU4_DQS_C_6_9	J51	B		
LMU4_DQS_C_7_9	F51	B		
LMU4_DQS_C_8_9	BM50	B		

MCU5				
LMU5_A0	BC59	B		通道 5 存储器地址(A)
LMU5_A1	BG59	B		
LMU5_A2	BG60	B		
LMU5_A3	BG58	B		
LMU5_A4	BH58	B		
LMU5_A5	BJ59	B		
LMU5_A6	BJ58	B		
LMU5_A7	BK58	B		
LMU5_A8	BJ60	B		
LMU5_A9	BK60	B		
LMU5_A10	BB58	B		
LMU5_A11	BK59	B		
LMU5_A12	BK57	B		
LMU5_A13	AY57	B		
LMU5_WE_N	BA58	B		
LMU5_CAS_N	AY59	B		通道 5 存储器写使能(WE_n)
LMU5_RAS_N	BA60	B		通道 5 存储器列选通(CAS_n)
LMU5_A17	AV58	B		通道 5 存储器行选通(RAS_n)
LMU5_BA0	BA57	B		通道 5 存储器体地址(bank)
LMU5_BA1	BC58	B		
LMU5_BG0	BM58	B		通道 5 存储器体组地址(BG)
LMU5_BG1	BM59	B		
LMU5_C0	AU57	B		通道 5 存储器芯片地址(C)
LMU5_C1	AV57	B		
LMU5_C2	AU60	B		
LMU5_CKE0	BN59	B		通道 5 存储器时钟使能(CKE)
LMU5_CKE1	BN57	B		
LMU5_CKE2	BN58	B		
LMU5_CKE3	BN60	B		
LMU5_CLK0_C	BE58	B		通道 5 存储器负时钟(CK_c), bit 0
LMU5_CLK0_T	BF58	B		通道 5 存储器正时钟(CK_t), bit 0
LMU5_CLK1_C	BF60	B		通道 5 存储器负时钟(CK_c), bit 1
LMU5_CLK1_T	BF59	B		通道 5 存储器正时钟(CK_t), bit 1
LMU5_CLK2_C	BD57	B		通道 5 存储器负时钟(CK_c), bit 2
LMU5_CLK2_T	BD58	B		通道 5 存储器正时钟(CK_t), bit 2
LMU5_CLK3_C	BD60	B		通道 5 存储器负时钟(CK_c), bit 3
LMU5_CLK3_T	BD59	B		通道 5 存储器正时钟(CK_t), bit 3
LMU5_CS_N0	BA59	B		通道 5 存储器片选(CS_n)

LMU5_CS_N1	AV60	B		
LMU5_CS_N2	AY60	B		
LMU5_CS_N3	AV59	B		
LMU5_ODT0	AY58	B		通道 5 存储器内置终结电阻(ODT)
LMU5_ODT1	AU59	B		
LMU5_ODT2	AW58	B		
LMU5_ODT3	AU58	B		
LMU5_BP_ZN_SENSE	BA37	A		通道 5 存储器参考电阻(ZQ)
LMU5_ACT_N	BM60	B		通道 5 存储器激活(ACT_n)
LMU5_BP_ALERT_N	BL58	B		通道 5 存储器警告(ALERT_n)
LMU5_BP_MEMRESET_L	BP58	O		通道 5 存储器复位(RESET_n)
LMU5_D_OBV	BA46	B		通道 5 存储器锁相环(PLL)观测信号
LMU5_PAR	BC60	B		通道 5 存储器奇偶校验(PAR)
LMU5_BP_VREF	AY38	P		通道 5 存储器参考电压(VREFCA)
LMU5_DQS_T_0	BM32	B		通道 5 存储器正数据选通(DQS_t)
LMU5_DQS_T_1	BM38	B		
LMU5_DQS_T_2	BK41	B		
LMU5_DQS_T_3	BM44	B		
LMU5_DQS_T_4	AN54	B		
LMU5_DQS_T_5	AH54	B		
LMU5_DQS_T_6	AA52	B		
LMU5_DQS_T_7	T53	B		
LMU5_DQS_C_0	BL32	B		通道 5 存储器负数据选通(DQS_c)
LMU5_DQS_C_1	BN38	B		
LMU5_DQS_C_2	BL41	B		
LMU5_DQS_C_3	BM43	B		
LMU5_DQS_C_4	AN55	B		
LMU5_DQS_C_5	AH55	B		
LMU5_DQS_C_6	AB52	B		
LMU5_DQS_C_7	T54	B		
LMU5_DQ_0_0	BL33	B		通道 5 存储器数据(DQ)slice 0
LMU5_DQ_0_1	BM34	B		
LMU5_DQ_0_2	BN35	B		
LMU5_DQ_0_3	BM35	B		
LMU5_DQ_0_4	BL34	B		
LMU5_DQ_0_5	BP33	B		



LMU5_DQ_0_6	BK32	B		通道 5 存储器数据(DQ)slice 1
LMU5_DQ_0_7	BP34	B		
LMU5_DQ_1_0	BP36	B		
LMU5_DQ_1_1	BM39	B		
LMU5_DQ_1_2	BP40	B		
LMU5_DQ_1_3	BP37	B		
LMU5_DQ_1_4	BN36	B		
LMU5_DQ_1_5	BP39	B		
LMU5_DQ_1_6	BL36	B		
LMU5_DQ_1_7	BN39	B		
LMU5_DQ_2_0	BL39	B		通道 5 存储器数据(DQ)slice 2
LMU5_DQ_2_1	BL40	B		
LMU5_DQ_2_2	BL43	B		
LMU5_DQ_2_3	BK42	B		
LMU5_DQ_2_4	BK39	B		
LMU5_DQ_2_5	BL42	B		
LMU5_DQ_2_6	BK38	B		
LMU5_DQ_2_7	BM42	B		
LMU5_DQ_3_0	BP42	B		通道 5 存储器数据(DQ)slice 3
LMU5_DQ_3_1	BM47	B		
LMU5_DQ_3_2	BN47	B		
LMU5_DQ_3_3	BP43	B		
LMU5_DQ_3_4	BN41	B		
LMU5_DQ_3_5	BN42	B		
LMU5_DQ_3_6	BM45	B		
LMU5_DQ_3_7	BM46	B		
LMU5_DQ_4_0	AR55	B		通道 5 存储器数据(DQ)slice 4
LMU5_DQ_4_1	AR54	B		
LMU5_DQ_4_2	AL54	B		
LMU5_DQ_4_3	AL55	B		
LMU5_DQ_4_4	AR53	B		
LMU5_DQ_4_5	AM54	B		
LMU5_DQ_4_6	AT55	B		
LMU5_DQ_4_7	AM55	B		
LMU5_DQ_5_0	AJ55	B		通道 5 存储器数据(DQ)slice 5
LMU5_DQ_5_1	AJ54	B		
LMU5_DQ_5_2	AE55	B		
LMU5_DQ_5_3	AE54	B		
LMU5_DQ_5_4	AK55	B		
LMU5_DQ_5_5	AF55	B		
LMU5_DQ_5_6	AK54	B		

LMU5_DQ_5_7	AF54	B		
LMU5_DQ_6_0	AC55	B		通道 5 存储器数据(DQ)slice 6
LMU5_DQ_6_1	AC54	B		
LMU5_DQ_6_2	W54	B		
LMU5_DQ_6_3	W53	B		
LMU5_DQ_6_4	AD54	B		
LMU5_DQ_6_5	Y54	B		
LMU5_DQ_6_6	AD55	B		
LMU5_DQ_6_7	Y53	B		
LMU5_DQ_7_0	U54	B		通道 5 存储器数据(DQ)slice 7
LMU5_DQ_7_1	U53	B		
LMU5_DQ_7_2	N54	B		
LMU5_DQ_7_3	N53	B		
LMU5_DQ_7_4	V52	B		
LMU5_DQ_7_5	P54	B		
LMU5_DQ_7_6	P53	B		
LMU5_DQ_7_7	V51	B		
LMU5_DQ_8_0	BU48	B		通道 5 存储器数据(DQ)slice 8
LMU5_DQ_8_1	BP48	B		
LMU5_DQ_8_2	BR51	B		
LMU5_DQ_8_3	BR50	B		
LMU5_DQ_8_4	BT48	B		
LMU5_DQ_8_5	BT50	B		
LMU5_DQ_8_6	BR48	B		
LMU5_DQ_8_7	BT51	B		
LMU5_DQS_T_0_9	BM33	B		X4 模式：通道 5 存储器正数据选通 (DQS_t) X8 模式：通道 5 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻 (TDQS_t) X16 模式：无效
LMU5_DQS_T_1_9	BM36	B		
LMU5_DQS_T_2_9	BM40	B		
LMU5_DQS_T_3_9	BN44	B		
LMU5_DQS_T_4_9	AP55	B		
LMU5_DQS_T_5_9	AG55	B		
LMU5_DQS_T_6_9	AB54	B		
LMU5_DQS_T_7_9	T52	B		
LMU5_DQS_T_8_9	BV49	B		
LMU5_DQS_C_0_9	BN33	B		X4 模式：通道 5 存储器负数据选通 (DQS_c) X8 模式：通道 5 存储器负数据选通终端电阻(TDQS_c) X16 模式：无效
LMU5_DQS_C_1_9	BM37	B		
LMU5_DQS_C_2_9	BM41	B		
LMU5_DQS_C_3_9	BN45	B		
LMU5_DQS_C_4_9	AP54	B		
LMU5_DQS_C_5_9	AG54	B		
LMU5_DQS_C_6_9	AB53	B		

LMU5_DQS_C_7_9	R52	B		
LMU5_DQS_C_8_9	BU49	B		
<b>MCU6</b>				
LMU6_A0	BB4	B		通道 6 存储器地址(A)
LMU6_A1	AV5	B		
LMU6_A2	AT5	B		
LMU6_A3	AT3	B		
LMU6_A4	AT4	B		
LMU6_A5	AR5	B		
LMU6_A6	AR4	B		
LMU6_A7	AN4	B		
LMU6_A8	AP3	B		
LMU6_A9	AM4	B		
LMU6_A10	BC3	B		
LMU6_A11	AN5	B		
LMU6_A12	AM5	B		
LMU6_A13	BF6	B		
LMU6_WE_N	BD5	B		
LMU6_CAS_N	BE4	B		通道 6 存储器写使能(WE_n)
LMU6_RAS_N	BD6	B		通道 6 存储器列选通(CAS_n)
LMU6_A17	BG5	B		通道 6 存储器行选通(RAS_n)
LMU6_BA0	BC6	B		通道 6 存储器体地址(bank)
LMU6_BA1	BB5	B		
LMU6_BG0	AK4	B		通道 6 存储器体组地址(BG)
LMU6_BG1	AK5	B		
LMU6_C0	BJ3	B		通道 6 存储器芯片地址(C)
LMU6_C1	BJ6	B		
LMU6_C2	BH6	B		
LMU6_CKE0	AH3	B		通道 6 存储器时钟使能(CKE)
LMU6_CKE1	AG5	B		
LMU6_CKE2	AJ5	B		
LMU6_CKE3	AG4	B		
LMU6_CLK0_C	AW6	B		通道 6 存储器负时钟(CK_c), bit 0
LMU6_CLK0_T	AW5	B		通道 6 存储器正时钟(CK_t), bit 0
LMU6_CLK1_C	AW4	B		通道 6 存储器负时钟(CK_c), bit 1
LMU6_CLK1_T	AV4	B		通道 6 存储器正时钟(CK_t), bit 1
LMU6_CLK2_C	BA5	B		通道 6 存储器负时钟(CK_c), bit 2
LMU6_CLK2_T	BA4	B		通道 6 存储器正时钟(CK_t), bit 2
LMU6_CLK3_C	BA6	B		通道 6 存储器负时钟(CK_c), bit 3

LMU6_CLK3_T	AY6	B		通道 6 存储器正时钟(CK <sub>t</sub> ), bit 3
LMU6_CS_N0	BD4	B		通道 6 存储器片选(CS <sub>n</sub> )
LMU6_CS_N1	BG6	B		
LMU6_CS_N2	BE6	B		
LMU6_CS_N3	BG4	B		
LMU6_ODT0	BE5	B		通道 6 存储器内置终结电阻(ODT)
LMU6_ODT1	BH4	B		
LMU6_ODT2	BF3	B		
LMU6_ODT3	BH5	B		
LMU6_BP_ZN_SENSE	AP21	A		通道 6 存储器参考电阻(ZQ)
LMU6_ACT_N	AJ4	B		通道 6 存储器激活(ACT <sub>n</sub> )
LMU6_BP_ALERT_N	AL3	B		通道 6 存储器警告(ALERT <sub>n</sub> )
LMU6_BP_MEMRESET_L	AF5	O		通道 6 存储器复位(RESET <sub>n</sub> )
LMU6_D_OBV	AY12	B		通道 6 存储器锁相环(PLL)观测信号
LMU6_PAR	BB6	B		通道 6 存储器奇偶校验(PAR)
LMU6_BP_VREF	AR20	P		通道 6 存储器参考电压(VREFCA)
LMU6_DQS_T_0	L13	B		通道 6 存储器正数据选通(DQS <sub>t</sub> )
LMU6_DQS_T_1	G9	B		
LMU6_DQS_T_2	BV7	B		
LMU6_DQS_T_3	BY10	B		
LMU6_DQS_T_4	R8	B		
LMU6_DQS_T_5	L7	B		
LMU6_DQS_T_6	BN1	B		
LMU6_DQS_T_7	BT4	B		
LMU6_DQS_T_8	AB10	B		
LMU6_DQS_C_0	L14	B		通道 6 存储器负数据选通(DQS <sub>c</sub> )
LMU6_DQS_C_1	F9	B		
LMU6_DQS_C_2	BV6	B		
LMU6_DQS_C_3	BW10	B		
LMU6_DQS_C_4	R7	B		
LMU6_DQS_C_5	L8	B		
LMU6_DQS_C_6	BM1	B		
LMU6_DQS_C_7	BR4	B		
LMU6_DQS_C_8	AB9	B		
LMU6_DQ_0_0	M16	B		通道 6 存储器数据(DQ)slice 0
LMU6_DQ_0_1	N12	B		
LMU6_DQ_0_2	K15	B		

LMU6_DQ_0_3	M12	B		
LMU6_DQ_0_4	K16	B		
LMU6_DQ_0_5	M13	B		
LMU6_DQ_0_6	L16	B		
LMU6_DQ_0_7	K13	B		
LMU6_DQ_1_0	D9	B		
LMU6_DQ_1_1	C9	B		
LMU6_DQ_1_2	F7	B		
LMU6_DQ_1_3	E7	B		
LMU6_DQ_1_4	D10	B		
LMU6_DQ_1_5	C10	B		
LMU6_DQ_1_6	C6	B		
LMU6_DQ_1_7	C7	B		
LMU6_DQ_2_0	BU6	B		通道 6 存储器数据(DQ)slice 2
LMU6_DQ_2_1	BU8	B		
LMU6_DQ_2_2	BY8	B		
LMU6_DQ_2_3	BW5	B		
LMU6_DQ_2_4	BW4	B		
LMU6_DQ_2_5	BW7	B		
LMU6_DQ_2_6	BV4	B		
LMU6_DQ_2_7	BY7	B		
LMU6_DQ_3_0	BY9	B		通道 6 存储器数据(DQ)slice 3
LMU6_DQ_3_1	BV10	B		
LMU6_DQ_3_2	BV12	B		
LMU6_DQ_3_3	BY12	B		
LMU6_DQ_3_4	BW8	B		
LMU6_DQ_3_5	BV9	B		
LMU6_DQ_3_6	BY11	B		
LMU6_DQ_3_7	BU12	B		
LMU6_DQ_4_0	R9	B		通道 6 存储器数据(DQ)slice 4
LMU6_DQ_4_1	W9	B		
LMU6_DQ_4_2	T9	B		
LMU6_DQ_4_3	V9	B		
LMU6_DQ_4_4	P8	B		
LMU6_DQ_4_5	P7	B		
LMU6_DQ_4_6	V8	B		
LMU6_DQ_4_7	V7	B		
LMU6_DQ_5_0	J9	B		通道 6 存储器数据(DQ)slice 5
LMU6_DQ_5_1	K9	B		
LMU6_DQ_5_2	N9	B		
LMU6_DQ_5_3	M9	B		

LMU6_DQ_5_4	H7	B		
LMU6_DQ_5_5	H8	B		
LMU6_DQ_5_6	M8	B		
LMU6_DQ_5_7	M7	B		
LMU6_DQ_6_0	BL2	B		通道 6 存储器数据(DQ)slice 6
LMU6_DQ_6_1	BP2	B		
LMU6_DQ_6_2	BP1	B		
LMU6_DQ_6_3	BL1	B		
LMU6_DQ_6_4	BK2	B		
LMU6_DQ_6_5	BP3	B		
LMU6_DQ_6_6	BK1	B		
LMU6_DQ_6_7	BN2	B		
LMU6_DQ_7_0	BT2	B		通道 6 存储器数据(DQ)slice 7
LMU6_DQ_7_1	BV3	B		
LMU6_DQ_7_2	BT1	B		
LMU6_DQ_7_3	BU5	B		
LMU6_DQ_7_4	BR3	B		
LMU6_DQ_7_5	BU4	B		
LMU6_DQ_7_6	BR1	B		
LMU6_DQ_7_7	BT5	B		
LMU6_DQ_8_0	Y10	B		通道 6 存储器数据(DQ)slice 8
LMU6_DQ_8_1	AD8	B		
LMU6_DQ_8_2	AA10	B		
LMU6_DQ_8_3	AD9	B		
LMU6_DQ_8_4	Y8	B		
LMU6_DQ_8_5	AC8	B		
LMU6_DQ_8_6	AC10	B		
LMU6_DQ_8_7	W10	B		
LMU6_DQS_T_0_9	M15	B		X4 模式：通道 6 存储器正数据选通 (DQS_t) X8 模式：通道 6 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻 (TDQS_t) X16 模式：无效
LMU6_DQS_T_1_9	E8	B		
LMU6_DQS_T_2_9	BY5	B		
LMU6_DQS_T_3_9	BV11	B		
LMU6_DQS_T_4_9	U8	B		
LMU6_DQS_T_5_9	J7	B		
LMU6_DQS_T_6_9	BL3	B		
LMU6_DQS_T_7_9	BU2	B		
LMU6_DQS_T_8_9	AA8	B		X4 模式：通道 6 存储器负数据选通 (DQS_c) X8 模式：通道 6 存储器负数据选通终
LMU6_DQS_C_0_9	M14	B		
LMU6_DQS_C_1_9	F8	B		
LMU6_DQS_C_2_9	BY6	B		
LMU6_DQS_C_3_9	BW11	B		

LMU6_DQS_C_4_9	U7	B		端电阻(TDQS_c) X16 模式: 无效
LMU6_DQS_C_5_9	J8	B		
LMU6_DQS_C_6_9	BM3	B		
LMU6_DQS_C_7_9	BU3	B		
LMU6_DQS_C_8_9	AA9	B		
<b>MCU7</b>				
LMU7_A0	BE55	B		通道 7 存储器地址(A)
LMU7_A1	BK56	B		
LMU7_A2	BK55	B		
LMU7_A3	BM56	B		
LMU7_A4	BM57	B		
LMU7_A5	BN56	B		
LMU7_A6	BM55	B		
LMU7_A7	BP55	B		
LMU7_A8	BN55	B		
LMU7_A9	BR59	B		
LMU7_A10	BD56	B		
LMU7_A11	BR58	B		
LMU7_A12	BR60	B		
LMU7_A13	AY55	B		
LMU7_WE_N	BB55	B		
LMU7_CAS_N	BA56	B		通道 7 存储器写使能(WE_n)
LMU7_RAS_N	BC57	B		通道 7 存储器列选通(CAS_n)
LMU7_A17	AV56	B		通道 7 存储器行选通(RAS_n)
LMU7_BA0	BC55	B		通道 7 存储器体地址(bank)
LMU7_BA1	BD55	B		
LMU7_BG0	BR56	B		通道 7 存储器体组地址(BG)
LMU7_BG1	BT60	B		
LMU7_C0	AU54	B		通道 7 存储器芯片地址(C)
LMU7_C1	AV54	B		
LMU7_C2	AV55	B		
LMU7_CKE0	BU58	B		通道 7 存储器时钟使能(CKE)
LMU7_CKE1	BR55	B		
LMU7_CKE2	BT58	B		
LMU7_CKE3	BT56	B		
LMU7_CLK0_C	BH55	B		通道 7 存储器负时钟(CK_c), bit 0
LMU7_CLK0_T	BJ55	B		通道 7 存储器正时钟(CK_t), bit 0
LMU7_CLK1_C	BJ57	B		通道 7 存储器负时钟(CK_c), bit 1
LMU7_CLK1_T	BJ56	B		通道 7 存储器正时钟(CK_t), bit 1

LMU7_CLK2_C	BF57	B		通道 7 存储器负时钟(CK_c), bit 2
LMU7_CLK2_T	BF56	B		通道 7 存储器正时钟(CK_t), bit 2
LMU7_CLK3_C	BG56	B		通道 7 存储器负时钟(CK_c), bit 3
LMU7_CLK3_T	BG55	B		通道 7 存储器正时钟(CK_t), bit 3
LMU7_CS_N0	BC56	B		通道 7 存储器片选(CS_n)
LMU7_CS_N1	AW55	B		
LMU7_CS_N2	BA54	B		
LMU7_CS_N3	AY54	B		
LMU7_ODT0	BA55	B		通道 7 存储器内置终结电阻(ODT)
LMU7_ODT1	AU56	B		
LMU7_ODT2	AY56	B		
LMU7_ODT3	AU55	B		
LMU7_BP_ZN_SENSE	BA30	A		通道 7 存储器参考电阻(ZQ)
LMU7_ACT_N	BT59	B		通道 7 存储器激活(ACT_n)
LMU7_BP_ALERT_N	BR57	B		通道 7 存储器警告(ALERT_n)
LMU7_BP_MEMRESET_L	BU55	O		通道 7 存储器复位(RESET_n)
LMU7_D_OBV	BG51	B		通道 7 存储器锁相环(PLL)观测信号
LMU7_PAR	BF55	B		通道 7 存储器奇偶校验(PAR)
LMU7_BP_VREF	AY31	P		通道 7 存储器参考电压(VREFCA)
LMU7_DQS_T_0	BW33	B		通道 7 存储器正数据选通(DQS_t)
LMU7_DQS_T_1	BW38	B		
LMU7_DQS_T_2	BV44	B		
LMU7_DQS_T_3	BV48	B		
LMU7_DQS_T_4	AN51	B		
LMU7_DQS_T_5	AH52	B		
LMU7_DQS_T_6	Y51	B		
LMU7_DQS_T_7	P51	B		
LMU7_DQS_T_8	BY56	B		
LMU7_DQS_C_0	BY33	B		通道 7 存储器负数据选通(DQS_c)
LMU7_DQS_C_1	BY38	B		
LMU7_DQS_C_2	BW44	B		
LMU7_DQS_C_3	BW48	B		
LMU7_DQS_C_4	AN52	B		
LMU7_DQS_C_5	AH53	B		
LMU7_DQS_C_6	AA51	B		
LMU7_DQS_C_7	R51	B		
LMU7_DQS_C_8	BY55	B		



LMU7_DQ_0_0	BU31	B		通道 7 存储器数据(DQ)slice 0
LMU7_DQ_0_1	BV35	B		
LMU7_DQ_0_2	BY32	B		
LMU7_DQ_0_3	BW35	B		
LMU7_DQ_0_4	BV31	B		
LMU7_DQ_0_5	BY31	B		
LMU7_DQ_0_6	BY35	B		
LMU7_DQ_0_7	BY34	B		
LMU7_DQ_1_0	BV36	B		通道 7 存储器数据(DQ)slice 1
LMU7_DQ_1_1	BY41	B		
LMU7_DQ_1_2	BY37	B		
LMU7_DQ_1_3	BY40	B		
LMU7_DQ_1_4	BY36	B		
LMU7_DQ_1_5	BW36	B		
LMU7_DQ_1_6	BV39	B		
LMU7_DQ_1_7	BV38	B		
LMU7_DQ_2_0	BY42	B		通道 7 存储器数据(DQ)slice 2
LMU7_DQ_2_1	BW42	B		
LMU7_DQ_2_2	BY46	B		
LMU7_DQ_2_3	BV45	B		
LMU7_DQ_2_4	BV41	B		
LMU7_DQ_2_5	BW45	B		
LMU7_DQ_2_6	BW41	B		
LMU7_DQ_2_7	BY45	B		
LMU7_DQ_3_0	BV47	B		通道 7 存储器数据(DQ)slice 3
LMU7_DQ_3_1	BY48	B		
LMU7_DQ_3_2	BY51	B		
LMU7_DQ_3_3	BW51	B		
LMU7_DQ_3_4	BY47	B		
LMU7_DQ_3_5	BW50	B		
LMU7_DQ_3_6	BW47	B		
LMU7_DQ_3_7	BV50	B		
LMU7_DQ_4_0	AR51	B		通道 7 存储器数据(DQ)slice 4
LMU7_DQ_4_1	AL53	B		
LMU7_DQ_4_2	AP53	B		
LMU7_DQ_4_3	AL52	B		
LMU7_DQ_4_4	AT51	B		
LMU7_DQ_4_5	AT52	B		
LMU7_DQ_4_6	AM51	B		
LMU7_DQ_4_7	AM53	B		
LMU7_DQ_5_0	AJ53	B		通道 7 存储器数据(DQ)slice 5

LMU7_DQ_5_1	AE52	B		
LMU7_DQ_5_2	AJ51	B		
LMU7_DQ_5_3	AE53	B		
LMU7_DQ_5_4	AK52	B		
LMU7_DQ_5_5	AK51	B		
LMU7_DQ_5_6	AF51	B		
LMU7_DQ_5_7	AF53	B		
LMU7_DQ_6_0	AC53	B		通道 7 存储器数据(DQ)slice 6
LMU7_DQ_6_1	W52	B		
LMU7_DQ_6_2	AC51	B		
LMU7_DQ_6_3	W51	B		
LMU7_DQ_6_4	AD51	B		
LMU7_DQ_6_5	AD52	B		
LMU7_DQ_6_6	W50	B		
LMU7_DQ_6_7	Y50	B		
LMU7_DQ_7_0	T51	B		通道 7 存储器数据(DQ)slice 7
LMU7_DQ_7_1	M51	B		
LMU7_DQ_7_2	M52	B		
LMU7_DQ_7_3	T50	B		
LMU7_DQ_7_4	U51	B		
LMU7_DQ_7_5	N51	B		
LMU7_DQ_7_6	N52	B		
LMU7_DQ_7_7	U50	B		
LMU7_DQ_8_0	BW53	B		通道 7 存储器数据(DQ)slice 8
LMU7_DQ_8_1	BV53	B		
LMU7_DQ_8_2	BW57	B		
LMU7_DQ_8_3	BV57	B		
LMU7_DQ_8_4	BY53	B		
LMU7_DQ_8_5	BY52	B		
LMU7_DQ_8_6	BW56	B		
LMU7_DQ_8_7	BV56	B		
LMU7_DQS_T_0_9	BW32	B		X4 模式: 通道 7 存储器正数据选通 (DQS_t) X8 模式: 通道 7 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻 (TDQS_t) X16 模式: 无效
LMU7_DQS_T_1_9	BW39	B		
LMU7_DQS_T_2_9	BY43	B		
LMU7_DQS_T_3_9	BY49	B		
LMU7_DQS_T_4_9	AP52	B		
LMU7_DQS_T_5_9	AG52	B		
LMU7_DQS_T_6_9	AB51	B		
LMU7_DQS_T_7_9	P50	B		
LMU7_DQS_T_8_9	BY54	B		
LMU7_DQS_C_0_9	BV32	B		X4 模式: 通道 7 存储器负数据选通

LMU7_DQS_C_1_9	BY39	B		(DQS_c) X8 模式: 通道 7 存储器负数据选通终端电阻(TDQS_c) X16 模式: 无效
LMU7_DQS_C_2_9	BY44	B		
LMU7_DQS_C_3_9	BY50	B		
LMU7_DQS_C_4_9	AP51	B		
LMU7_DQS_C_5_9	AG51	B		
LMU7_DQS_C_6_9	AB50	B		
LMU7_DQS_C_7_9	N50	B		
LMU7_DQS_C_8_9	BW54	B		

注:

(1)信号类型: I 输入引脚, O 输出引脚, Z 三态或高阻引脚, A 模拟信号脚, GND 地, P 电源引脚, RSV 保留引脚, NC 空引脚;

(2)片内上下拉: Up 片内上拉, Down 片内下拉, 空白为既无上拉也无下拉。

### 2.1.1.2 PCIe 引脚 (78PIN) 信息

表 2-2 腾云 S2500 PCIe 引脚信息

信号名	引脚编号	信号方向	信号类型	功能说明
PCIE0_X16_RXN[0]	H32	I	8Gbps	输入链路差分信号
PCIE0_X16_RXN[1]	F33	I	8Gbps	
PCIE0_X16_RXN[2]	H34	I	8Gbps	
PCIE0_X16_RXN[3]	F35	I	8Gbps	
PCIE0_X16_RXN[4]	H36	I	8Gbps	
PCIE0_X16_RXN[5]	F37	I	8Gbps	
PCIE0_X16_RXN[6]	H38	I	8Gbps	
PCIE0_X16_RXN[7]	F39	I	8Gbps	
PCIE0_X16_RXN[8]	G40	I	8Gbps	
PCIE0_X16_RXN[9]	E41	I	8Gbps	
PCIE0_X16_RXN[10]	G42	I	8Gbps	
PCIE0_X16_RXN[11]	E43	I	8Gbps	
PCIE0_X16_RXN[12]	G44	I	8Gbps	
PCIE0_X16_RXN[13]	E45	I	8Gbps	
PCIE0_X16_RXN[14]	G46	I	8Gbps	
PCIE0_X16_RXN[15]	E47	I	8Gbps	
PCIE0_X16_RXP[0]	G32	I	8Gbps	

PCIE0_X16_RXP[1]	E33	I	8Gbps	输入链路差分信号
PCIE0_X16_RXP[2]	G34	I	8Gbps	
PCIE0_X16_RXP[3]	E35	I	8Gbps	
PCIE0_X16_RXP[4]	G36	I	8Gbps	
PCIE0_X16_RXP[5]	E37	I	8Gbps	
PCIE0_X16_RXP[6]	G38	I	8Gbps	
PCIE0_X16_RXP[7]	E39	I	8Gbps	
PCIE0_X16_RXP[8]	H40	I	8Gbps	
PCIE0_X16_RXP[9]	F41	I	8Gbps	
PCIE0_X16_RXP[10]	H42	I	8Gbps	
PCIE0_X16_RXP[11]	F43	I	8Gbps	
PCIE0_X16_RXP[12]	H44	I	8Gbps	
PCIE0_X16_RXP[13]	F45	I	8Gbps	
PCIE0_X16_RXP[14]	H46	I	8Gbps	
PCIE0_X16_RXP[15]	F47	I	8Gbps	
PCIE0_X1_RXN	K47	I	8Gbps	输入链路差分信号
PCIE0_X1_RXP	J47	I	8Gbps	
PCIE0_X1_X16_REFCLKP	K41	I	100MHz	100MHz 差分时钟输入
PCIE0_X1_X16_REFCLKN	J41	I	100MHz	
PCIE0_X1_X16_ALT_REFCLKP	J37	I	100MHz	100MHz 差分时钟输入
PCIE0_X1_X16_ALT_REFCLKN	K37	I	100MHz	
PCIE0_X16_TXN[0]	D32	I	8Gbps	输入链路差分信号
PCIE0_X16_TXN[1]	B33	I	8Gbps	
PCIE0_X16_TXN[2]	D34	I	8Gbps	
PCIE0_X16_TXN[3]	B35	I	8Gbps	
PCIE0_X16_TXN[4]	D36	I	8Gbps	
PCIE0_X16_TXN[5]	B37	I	8Gbps	
PCIE0_X16_TXN[6]	D38	I	8Gbps	
PCIE0_X16_TXN[7]	B39	I	8Gbps	
PCIE0_X16_TXN[8]	C40	I	8Gbps	

PCIE0_X16_TXN[9]	A41	I	8Gbps	
PCIE0_X16_TXN[10]	C42	I	8Gbps	
PCIE0_X16_TXN[11]	A43	I	8Gbps	
PCIE0_X16_TXN[12]	C44	I	8Gbps	
PCIE0_X16_TXN[13]	A45	I	8Gbps	
PCIE0_X16_TXN[14]	C46	I	8Gbps	
PCIE0_X16_TXN[15]	A47	I	8Gbps	
PCIE0_X16_TXP[0]	C32	I	8Gbps	输入链路差分信号
PCIE0_X16_TXP[1]	A33	I	8Gbps	
PCIE0_X16_TXP[2]	C34	I	8Gbps	
PCIE0_X16_TXP[3]	A35	I	8Gbps	
PCIE0_X16_TXP[4]	C36	I	8Gbps	
PCIE0_X16_TXP[5]	A37	I	8Gbps	
PCIE0_X16_TXP[6]	C38	I	8Gbps	
PCIE0_X16_TXP[7]	A39	I	8Gbps	
PCIE0_X16_TXP[8]	D40	I	8Gbps	
PCIE0_X16_TXP[9]	B41	I	8Gbps	
PCIE0_X16_TXP[10]	D42	I	8Gbps	
PCIE0_X16_TXP[11]	B43	I	8Gbps	
PCIE0_X16_TXP[12]	D44	I	8Gbps	
PCIE0_X16_TXP[13]	B45	I	8Gbps	
PCIE0_X16_TXP[14]	D46	I	8Gbps	
PCIE0_X16_TXP[15]	B47	I	8Gbps	
PCIE0_X1_TXN	K43	O	8Gbps	
PCIE0_X1_TXP	J43	O	8Gbps	
PCIE0_X1_ATB1	K45			接测试点
PCIE0_X1_ATB0	J45			接测试点
PCIE0_X16_ATB1	J39			接测试点
PCIE0_X16_ATB0	K39			接测试点
PCIE0_X1_REXT	AA41	A	外接电阻	3.01±1%K 欧
PCIE0_X16_REXT	W38	A	外接电阻	3.01±1%K 欧

注：

(1)信号类型：I 输入引脚，O 输出引脚，Z 三态或高阻引脚，A 模拟信号脚，GND 地，P 电源引脚，RSV 保留引脚，NC 空引脚；

(2)片内上下拉：Up 片内上拉，Down 片内下拉，空白为既无上拉也无下拉。

### 2.1.1.3 FIT 引脚（66PIN）信息

表 2-3 腾云 S2500 FIT 引脚信息

信号名	引脚编号	信号方向	信号类型	功能说明
FIT0_RX0_M	BU17	I	25Gbps	直连通道 0 接收信号
FIT0_RX1_M	BW16	I	25Gbps	直连通道 0 接收信号
FIT0_RX2_M	BU15	I	25Gbps	直连通道 0 接收信号
FIT0_RX3_M	BW14	I	25Gbps	直连通道 0 接收信号
FIT0_RX0_P	BV17	I	25Gbps	直连通道 0 接收信号
FIT0_RX1_P	BY16	I	25Gbps	直连通道 0 接收信号
FIT0_RX2_P	BV15	I	25Gbps	直连通道 0 接收信号
FIT0_RX3_P	BY14	I	25Gbps	直连通道 0 接收信号
FIT1_RX0_M	BU21	I	25Gbps	直连通道 1 接收信号
FIT1_RX1_M	BW20	I	25Gbps	直连通道 1 接收信号
FIT1_RX2_M	BU19	I	25Gbps	直连通道 1 接收信号
FIT1_RX3_M	BW18	I	25Gbps	直连通道 1 接收信号
FIT1_RX0_P	BV21	I	25Gbps	直连通道 1 接收信号
FIT1_RX1_P	BY20	I	25Gbps	直连通道 1 接收信号
FIT1_RX2_P	BV19	I	25Gbps	直连通道 1 接收信号
FIT1_RX3_P	BY18	I	25Gbps	直连通道 1 接收信号
FIT2_RX0_M	BU25	I	25Gbps	直连通道 2 接收信号
FIT2_RX1_M	BW24	I	25Gbps	直连通道 2 接收信号
FIT2_RX2_M	BU23	I	25Gbps	直连通道 2 接收信号
FIT2_RX3_M	BW22	I	25Gbps	直连通道 2 接收信号
FIT2_RX0_P	BV25	I	25Gbps	直连通道 2 接收信号
FIT2_RX1_P	BY24	I	25Gbps	直连通道 2 接收信号
FIT2_RX2_P	BV23	I	25Gbps	直连通道 2 接收信号
FIT2_RX3_P	BY22	I	25Gbps	直连通道 2 接收信号
FIT3_RX0_M	BU29	I	25Gbps	直连通道 3 接收信号

FIT3_RX1_M	BW28	I	25Gbps	直连通道 3 接收信号
FIT3_RX2_M	BU27	I	25Gbps	直连通道 3 接收信号
FIT3_RX3_M	BW26	I	25Gbps	直连通道 3 接收信号
FIT3_RX0_P	BV29	I	25Gbps	直连通道 3 接收信号
FIT3_RX1_P	BY28	I	25Gbps	直连通道 3 接收信号
FIT3_RX2_P	BV27	I	25Gbps	直连通道 3 接收信号
FIT3_RX3_P	BY26	I	25Gbps	直连通道 3 接收信号
REF_CLK_M	BL14	I	25Gbps	参考时钟 78.125MHz
REF_CLK_P	BM14	I	25Gbps	参考时钟 78.125MHz
FIT0_TX0_M	BP17	O	25Gbps	直连通道 0 发送信号
FIT0_TX1_M	BT16	O	25Gbps	直连通道 0 发送信号
FIT0_TX2_M	BP15	O	25Gbps	直连通道 0 发送信号
FIT0_TX3_M	BT14	O	25Gbps	直连通道 0 发送信号
FIT0_TX0_P	BN17	O	25Gbps	直连通道 0 发送信号
FIT0_TX1_P	BR16	O	25Gbps	直连通道 0 发送信号
FIT0_TX2_P	BN15	O	25Gbps	直连通道 0 发送信号
FIT0_TX3_P	BR14	O	25Gbps	直连通道 0 发送信号
FIT1_TX0_M	BP21	O	25Gbps	直连通道 1 发送信号
FIT1_TX1_M	BT20	O	25Gbps	直连通道 1 发送信号
FIT1_TX2_M	BP19	O	25Gbps	直连通道 1 发送信号
FIT1_TX3_M	BT18	O	25Gbps	直连通道 1 发送信号
FIT1_TX0_P	BN21	O	25Gbps	直连通道 1 发送信号
FIT1_TX1_P	BR20	O	25Gbps	直连通道 1 发送信号
FIT1_TX2_P	BN19	O	25Gbps	直连通道 1 发送信号
FIT1_TX3_P	BR18	O	25Gbps	直连通道 1 发送信号
FIT2_TX0_M	BP25	O	25Gbps	直连通道 2 发送信号
FIT2_TX1_M	BT24	O	25Gbps	直连通道 2 发送信号
FIT2_TX2_M	BP23	O	25Gbps	直连通道 2 发送信号
FIT2_TX3_M	BT22	O	25Gbps	直连通道 2 发送信号
FIT2_TX0_P	BN25	O	25Gbps	直连通道 2 发送信号
FIT2_TX1_P	BR24	O	25Gbps	直连通道 2 发送信号
FIT2_TX2_P	BN23	O	25Gbps	直连通道 2 发送信号
FIT2_TX3_P	BR22	O	25Gbps	直连通道 2 发送信号

FIT3_TX0_M	BP29	O	25Gbps	直连通道 3 发送信号
FIT3_TX1_M	BT28	O	25Gbps	直连通道 3 发送信号
FIT3_TX2_M	BP27	O	25Gbps	直连通道 3 发送信号
FIT3_TX3_M	BT26	O	25Gbps	直连通道 3 发送信号
FIT3_TX0_P	BN29	O	25Gbps	直连通道 3 发送信号
FIT3_TX1_P	BR28	O	25Gbps	直连通道 3 发送信号
FIT3_TX2_P	BN27	O	25Gbps	直连通道 3 发送信号
FIT3_TX3_P	BR26	O	25Gbps	直连通道 3 发送信号

### 2.1.1.4 通用 IO 类引脚（119PIN）信息

表 2-4 腾云 S2500 通用 IO 类引脚信息

信号名	引脚编号	信号方向	信号频率	信号说明
CLK_REF	AD11	I	50MHz	参考时钟
CKOBV_SEL[0]/GPIO_PORT A_0/UART_0_CTS_N	AT48	I	20MHz	观察时钟选择/GPIO A0/串口 0 CTS
CKOBV_SEL[1]/GPIO_PORT A_1/UART_0_DCD_N	AU50	I	20MHz	观察时钟选择/GPIO A1/串口 0 DCD
CKOBV_SEL[2]/GPIO_PORT A_2/UART_0_DSR_N	AM47	I	20MHz	观察时钟选择/GPIO A2/串口 0 DSR
CKOBV_SEL[3]/GPIO_PORT A_3/UART_0_RI_N	AM49	I	20MHz	观察时钟选择/GPIO A3/串口 0 RI
CKOBV_SEL[4]/GPIO_PORT A_4/UART_0_RTS_N	AL50	I	20MHz	观察时钟选择/GPIO A4/串口 0 RTS
CRU_CLK_OBV/GPIO_PORT A_5/UART_0_DTR_N	AU49	B	20MHz	时钟观察信号 / GPIO A5/UART0 dtr_n
CRU_CLK_SEL	AG14			悬空
CRU_CLK_STOP	AJ14			悬空
CRU_SCL	AF14	I	20MHz	CRU I2C 时钟，电阻上拉后接排针
CRU_SDA	AF13	B	20MHz	CRU I2C 数据，电阻上卡后接排针



CRU_RST_FSM[0]/GPIO_PO RTC_0/TRACEDATA_OUT_8	W14	B	20MHz	CRU 复位状态机位 0/GPIO C0/tracedata_out_8
CRU_RST_FSM[1]/GPIO_PO RTC_1/TRACEDATA_OUT_9	W13	B	20MHz	CRU 复位状态机位 1/GPIO C1/tracedata_out_9
CRU_RST_FSM[2]/GPIO_PO RTC_2/TRACEDATA_OUT_1 0	W12	B	20MHz	CRU 复位状态机位 2/GPIO C2/tracedata_out_10
CRU_RST_FSM[3]/GPIO_PO RTC_3/TRACEDATA_OUT_1 1	Y14	B	20MHz	CRU 复位状态机位 3/GPIO C3/tracedata_out_11
CRU_RST_FSM[4]/GPIO_PO RTC_4/TRACEDATA_OUT_1 2	AA14	B	20MHz	CRU 复位状态机位 4/GPIO C4/tracedata_out_12
CRU_RST_OK	AG13	O		复位完成信号，用于观察内 部复位状态。复位完成后输 出高
CRU_SCAN_CLK	AE12			悬空
CRU_SE	AH12			悬空
CRU_SI	AH13			悬空
CRU_SO	AG12			悬空
EDT_CLOCK_FROM_PAD	BG15			悬空
DFT_TDI	BE15			悬空
DFT_TMS	BF15			悬空
RESERVE	BF12	I		接地
DFT_TDO	BC12			悬空
DFT_TEST_CLK1	BF13			悬空
DFT_TEST_CLK2	BH13			悬空
DFT_TEST_CLK3	BG13			悬空
DFT_TEST_CLK4	BD14			悬空
DFT_TEST_CLK5	BC14			悬空
DFT_TEST_CLK6	BE14			悬空

DFT_TEST_CLK7	BF14			悬空
DFT_TEST_CLK8	BH14			悬空
DFT_TEST_CLK9	BG14			悬空
SJTAG_NTRST	AK13	I		0 欧姆接地
SJTAG_TCK	AK11			悬空
SJTAG_TDI	AJ12			悬空
SJTAG_TDO	AJ13			悬空
SJTAG_TMS	AK12			悬空
SPI_EXT_CSN[0]	BA47	B	20MHz	SPI 0 号片选
SPI_EXT_CSN[1]	BB49	B	20MHz	SPI 1 号片选
SPI_EXT_CSN[2]/GPIO_PORTA_6/TRACECLK_OUT	BB48	B	20MHz	SPI 2 号片选 /GPIO A6/traceclk_out
SPI_EXT_CSN[3]/GPIO_PORTA_7/TRACECTL_OUT	BB47	B	20MHz	SPI 3 号片选 /GPIO A7/tracectl_out
SPI_EXT_SCK	AY48	B	20MHz	SPI 时钟信号
SPI_EXT_SO	BA49	B	20MHz	SPI 数据信号, 主机输出
SPI_EXT_WP/GPIO_PORTD_7	BA48	B	20MHz	SPI 写保护信号/GPIO D7
EXT_SPI_SI	AY47	B	20MHz	SPI 数据信号, 主机输入
SWDITMS_SWJ	AA12	I	20MHz	CPU JTAG 调试接口 SWDITMS 信号, 接排针
SWDO_SWJ	AB12	B	20MHz	CPU JTAG 调试接口 SWDO 信号, 接排针
TCK_SWJ	AC13	I	50MHz	CPU JTAG 调试接口 TCK 信号, 接排针
TDI_SWJ	AB13	I	20MHz	CPU JTAG 调试接口 TDI 信号, 接排针
TDO_SWJ	AC14	B	20MHz	CPU JTAG 调试接口 TDO 信号, 接排针
NTRST_SWJ	AC12	I	20MHz	CPU JTAG 调试接口

				NTRST 信号，接排针
RESERVE	AE14	I		接地
TIMER_FORCE_START	AD13	I	20MHz	用于多路互联的时间同步，接 CPLD
GPIO_PORTB[6]/EXT_LPC_IRQ_N/TRACEDATA_OUT_6	R46	B	20MHz	GPIO B6/LPC IRQ/tracedata_out_6
GPIO_PORTB[7]/EXT_LPC_LAD_0/TRACEDATA_OUT_7	T46	B	20MHz	GPIO B7/LPC LAD[0]/tracedata_out_7
GPIO_PORTC[5]/EXT_LPC_LAD_1/TRACEDATA_OUT_13	P46	B	20MHz	GPIO C5/LPC LAD[1]/tracedata_out_13
GPIO_PORTC[6]/EXT_LPC_LAD_2/TRACEDATA_OUT_14	U46	B	20MHz	GPIO C6/LPC LAD[2]/tracedata_out_14
GPIO_PORTC[7]/EXT_LPC_LAD_3/TRACEDATA_OUT_15	N46	B	20MHz	GPIO C7/LPC LAD[3]/tracedata_out_15
RESERVE	BJ14	I		接地
RESERVE	BJ15	I		接地
POR_N	AF12	I	20MHz	上电复位信号，低有效
RESET_N	AE13	I	20MHz	热复位信号，低有效
RESERVE	BC13	I		接地
RESERVE	BH15	I		接地
RESERVE	BD13	I		接地
TCK	Y13			悬空
WRP_CLK	BE13			悬空
RESERVE	R47	O		悬空
CLK_LPC_IN	M49	B	33MHz	LPC 输入时钟
HDT_MB_FAIL_STATE/LPC_EXT_LAD_OUTEN	AH14	I		MemBist 测试错误状态/LPC LAD PAD 方向控制
HDT_MB_DONE_STATE/LPC_EXT_IRQ_OUTEN	AD12	I		MemBist 测试完成状态/LPC IRQ PAD 方向控制
PANEL4_CTM_EXT_CLRMO	AY49	I		Pannel4 CTM 网络往 EXT 方

N				向的信号 CLRMON
PANEL4_CTM_EXT_CLRMONRDY/TJTAG_TDO	AW48	O		Pannel4 CTM 网络往 EXT 方向的信号 CLRMONRDY/TJTAG 的 TDO 信号
PANEL4_CTM_EXT_EVENT	AW49	I		Pannel4 CTM 网络往 EXT 方向的事件
PANEL4_EXT_CTM_CLRMON/TJTAG_RST_N	AW47	I		Pannel4 CTM 网络来自 EXT 方向的信号 CLRMON/TJTAG 的 RST_N 信号
PANEL4_EXT_CTM_CLRMONRDY/TJTAG_TMS	AT47	I		Pannel4 CTM 网络来自 EXT 方向的信号 CLRMONRDY/TJTAG 的 TMS 信号
PANEL4_EXT_CTM_EVENT/TJTAG_TCK	AV49	I		Pannel4 CTM 网络来自 EXT 方向的事件/TJTAG 的 TCK 信号
PANEL6_CTM_EXT_CLRMON	AM48	I		Pannel6 CTM 网络往 EXT 方向的信号 CLRMON
PANEL6_CTM_EXT_CLRMONRDY	AL48	I		Pannel6 CTM 网络往 EXT 方向的信号 CLRMONRDY
PANEL6_CTM_EXT_EVENT	AU48	I		Pannel6 CTM 网络往 EXT 方向的事件
PANEL6_EXT_CTM_CLRMONRDY	AV47	I		Pannel6 CTM 网络来自 EXT 方向的信号 CLRMON
PANEL6_EXT_CTM_CLRMON	AV48	I		Pannel6 CTM 网络来自 EXT 方向的信号 CLRMONRDY
PANEL6_EXT_CTM_EVENT/TJTAG_TDI	AL49	I		Pannel6 CTM 网络来自 EXT 方向的事件/ TJTAG 的 TDI 信号
UART_0_RXD/GPIO_PORTD_5	AR49	B	20MHz	UART0 数据输入/GPIO D5

UART_0_TXD/GPIO_PORTD_6	AT49	B	20MHz	UART0 数据输出/GPIO D6
UART_1_RXD/GPIO_PORTB_4/TRACEDATA_OUT_4	AN48	B	20MHz	UART1 数据输入 /GPIO B4/tracedata_out_4
UART_1_TXD/GPIO_PORTB_5/TRACEDATA_OUT_5	AN49	B	20MHz	UART1 数据输出 /GPIO B5/tracedata_out_5
UART_2_RXD/PEU0_C0_CLK_OBV	AP49	B	20MHz	UART2 数据输入/PEU0 C0 观测时钟
UART_2_TXD/PEU0_C1_CLK_OBV	AP48	B	20MHz	UART2 数据输出/PEU0 C1 观测时钟
UART_3_RXD	AR47	B	20MHz	UART3 数据输入
UART_3_TXD	AR48	B	20MHz	UART3 数据输出
I2C_0_SCL/GPIO_PORTB_0/TRACEDATA_OUT_0	BC15	B	20MHz	I2C0 时钟，电阻上拉后接排针/GPIO B0/tracedata_out_0
I2C_0_SDA/GPIO_PORTB_1/TRACEDATA_OUT_1	BD15	B	20MHz	I2C0 数据，电阻上卡后接排针/GPIO B1/tracedata_out_1
I2C_1_SCL/GPIO_PORTB_2/TRACEDATA_OUT_2	M47	B	20MHz	I2C1 时钟，电阻上拉后接排针/GPIO B2/tracedata_out_2
I2C_1_SDA/GPIO_PORTB_3/TRACEDATA_OUT_3	N47	B	20MHz	I2C1 数据，电阻上卡后接排针/GPIO B3/tracedata_out_3
INSTANCEID_0	Y12	I	20MHz	芯片 ID[0]，接排针
INSTANCEID_1	AA13	I	20MHz	芯片 ID[1]，接排针
INSTANCEID_2	AB14	I	20MHz	芯片 ID[2]，接排针
I2C_AHB_SCL/PEU0_LINKUP[0]	U47	I	20MHz	I2C 时钟信号/PEU0 Linkup 0，接测试点
I2C_AHB_SDA/PEU0_LINKUP[1]	T47	B	20MHz	I2C 数据信号/PEU0 Linkup 1，接测试点
PEU0_C0_CLKREQ_IN_N	M46	I		通过电阻下拉到地
PEU0_C0_CLKREQ_OUT_N	P47	O		悬空
PEU0_C1_CLKREQ_IN_N	L48	I		通过电阻下拉到地
PEU0_C1_CLKREQ_OUT_N	N48	O		悬空

PEU0_C2_CLKREQ_IN_N	L46	I		通过电阻下拉到地
PEU0_C2_CLKREQ_OUT_N	M48	O		悬空
PEU0_PHY_JTAG_TCK	V49			悬空
PEU0_PHY0_JTAG_TDO/CRU_ERROR_INT/GPIO_PORTD_3	U48	B		PEU0 PHY0 的 JTAG TDO 悬空/CRU 错误中断信号/GPIO D3
PEU0_PHY1_JTAG_TDO/CLK_LPC_RSTN_O/GPIO_PORTD_4	P48	B		PEU0 PHY1 的 JTAG TDO 悬空/LPC 复位时钟/GPIO D4
PEU01_PHY01_JTAG_TDI/EXT_LPC_LDRQ_N/GPIO_PORTD_0	T48	B		PEU01 PHY01 的 JTAG TDI 接地/LPC LDRQ 信号/GPIO D0
PEU01_PHY01_JTAG_TMS/LPC_EXT_LFRAME_N/GPIO_PORTD_1	R49	B		PEU01 PHY01 的 JTAG TMS 接地/LPC LFRAME 信号/GPIO D1
PEU01_PHY01_JTAG_TRST_N/GPIO_PORTD_2	R48	B		PEU01 PHY01 的 JTAG TRST 接地/GPIO D2
RESREF[0]	BA21	A		接 200 欧姆 1%精密电阻到地
RESREF[1]	BA23	A		
RESREF[2]	BA25	A		
RESREF[3]	BA26	A		

注意：输入引脚不使用时，应该设置为上拉或者下拉状态，否则可能引入意外状态从而导致芯片逻辑混乱；输出引脚不使用时，应该禁用上/下拉状态，否则会引入额外的漏电流；有输出功能的复用引脚不可以直接连接到地或电源，否则可能造成引脚烧损

注：

(1)信号类型：I 输入引脚，O 输出引脚，B 双向引脚，Z 三态或高阻引脚，A 模拟信号脚，GND 地，P 电源引脚，RSV 保留引脚，NC 空引脚；

(2)片内上下拉：Up 片内上拉，down 片内下拉。

(3)中断源输入要求，如下：

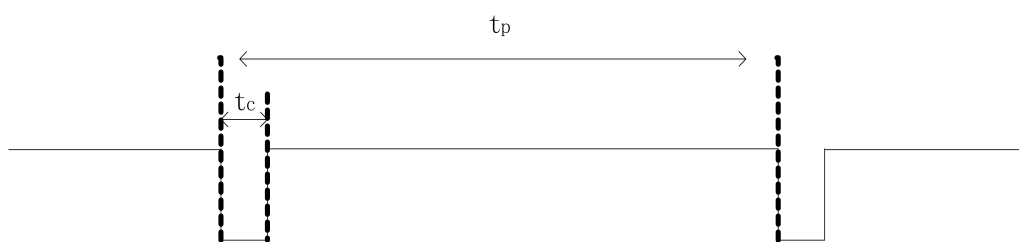


图 2.2 中断源输入要求图

具体范围值如下表所示：

表 2-5 中断源输入要求表

tp		tc	
Min	Max	Min	Max
9.5ms	10.5ms	20us	80us

上述引脚中存在功能复用情况，具体的复用及控制信号见 GPIO 接口描述。

### 2.1.1.5 电源引脚（2033PIN）信息

表 2-6 腾云 S2500 电源引脚信息

信号名	引脚编号	功能说明
PCIE0_AVDD	AB34, AB35, AB37, AC36, AC37	PCIE 模拟电源
PCIE0_X1_AVDDCLK	AB39	PCIE 时钟电源
PCIE0_X1_RX_AVDDCLK	AB42	
PCIE0_X16_RX_AVDDCLK	AA36, Y39, Y41, AA38	
PCIE0_X16_XCVR_AVDDH	AA40, Y35, Y37	PCIE IO 电源
PCIE0_X1_AVDDH	AB41	
LMU0_DDR_VAA	AG41	DDR PLL 电源
LMU1_DDR_VAA	AA31	
LMU2_DDR_VAA	AG20	
LMU3_DDR_VAA	AA24	
LMU4_DDR_VAA	AP41	

LMU5_DDR_VAA	AY37	
LMU6_DDR_VAA	AP20	
LMU7_DDR_VAA	AY30	
LMU0_TS_VDDA	AH38	温度传感器电源
LMU1_TS_VDDA	AC33	
LMU2_TS_VDDA	AF23	
LMU3_TS_VDDA	AB27	
LMU4_TS_VDDA	AR38	
LMU5_TS_VDDA	AW34	
LMU6_TS_VDDA	AN23	
LMU7_TS_VDDA	AW27	
AP_PLL_VDDA1	AC35	PLL 模拟电源
AP_PLL_VDDA2	AD39	
AP_PLL_VDDA3	AK39	
AP_PLL_VDDA4	AV39	
AP_PLL_VDDA5	AV34	
AP_PLL_VDDB1	AU26	
AP_PLL_VDDB2	AU23	
AP_PLL_VDDB3	AK23	
AP_PLL_VDDB4	AD23	
AP_PLL_VDDB5	AC28	
PLL_VDDPOST0	AL38	PLL 数字电源
PLL_VDDPOST1	AU38	
PLL_VDDPOST2	AC38	
PLL_VDDPOST3	AD35	
PLL_VDDPOST4	AC27	
PLL_VDDPOST5	AC22	
PLL_VDDPOST6	AL22	
PLL_VDDPOST7	AV33	
PLL_VDDPOST8	AV26	
PLL_VDDPOST9	AV22	
VDDPST_LB	AW41 , AY41	IO 电源
VDDPST_LT	AC40 , AC41	



VDDPST_RT	AA20 , AB20	
VDDPST_RB	AV20 , AW19	
VPH	AW21 , AW23 , AW25 , AY20 , AY22 AY24 , BA19	直连接口 IO 电 源
VP	BB20 , BB23 , BB25 , BC20 , BC22 , B BC26 , BD21 , BD23 , BD25	直连接口模拟 电源
VQPS	AC20	熔丝电源
VDDQ_L_SENSE_P	AA21	电压补偿反馈 线
VDDQ_L_SENSE_N	Y21	
VDD_SENSE_P	AK31	
VDD_SENSE_N	AL31	
VDDQ_R_SENSE_P	AY40	
VDDQ_R_SENSE_N	BA40	
VDD	AA16 AA18 AA34 AA44 AA46 AA48 AB15 AB17 AB19 AB22 AB25 AB45 AB47 AC16 AC18 AC23 AC24 AC30 AU25 AC44 AC46 AC48 AC49 AD15 AD17 AD19 AD25 AD27 AD29 AD31 AD33 AD43 AD45 AD47 AD49 AE16 AE18 AE24 AE26 AE28 AE30 AE32 AE34 AE36 AE38 AE42 AE44 AE46 AE48 AE50 AF15 AF17 AF19 AF25 AF27 AF29 AF31 AF33 AF35 AF37 AF39 AF43 AF45 AF47 AF49 AG16 AG18 AG22 AG24 AG26 AG28 AG30 AG32 AG34 AG36 AG44 AG46 AG48 AG50 AH17 AH19 AH25 AH27 AH29 AH31 AH33 AH35 AH37 AH43 AH45 AH47 AH49 AJ18 AJ22 AJ24 AJ26 AJ28 AJ30 AJ32 AJ34 AJ36 AJ38 AJ42 AJ44 AJ46 AJ48 AJ50 AK15 AK17 AK19 AK25 AK27 AK29 AK33 AK35 AK37 AK43 AK45 AK47 AK49 AL12 AL14 AL16 AL18 AL24 AL26 AL28	内核电源

	<p>AL30 AL32 AL34 AL36 AL42 AL44                  AL46 AM11 AM13 AM15 AM17 AM19                  AM23 AM25 AM27 AM29 AM31                  AM33 AM35 AM37 AY18 AW36 AM43                  AN12 AN14 AN16 AN18 AN24 AN26                  AN28 AN30 AN32 AN34 AN36 AN42                  AN44 AP11 AP13 AP15 AP17 AP25                  AP27 AP29 AP31 AP33 AP35 AP37                  AP39 AP43 AP45 AP47 AR12 AR14                  AR16 AR18 AR22 AR24 AR26 AR28                  AR30 AR32 AR34 AR36 AR42 AR44                  AR46 AT11 AT13 AT15 AT17 AT19                  AT23 AT25 AT27 AT29 AT31 AT33                  AT35 AT37 AT43 AT45 AU12 AU14                  AU16 AU18 AU21 AU22 AU28 AU30                  AU32 AU34 AU36 AU42 AU44 AU46                  AV12 AV13 AV15 AV17 AV24 AV29                  AV31 AV37 AV38 AV41 AV43 AV45                  AW14 AW16 AW39 AW42 AW44                  AW46 AY13 AY15 AY26 AY27 AY43                  AY45 BA14 BA16 BA43 BB13 BB15                  BB17 BB29 BB32 BB34 BB40 BB42                  BB44 BB46 BC18 BC28 BC30 BC31                  BC33 BC39 BC41 BC43 BC45 BC47                  BC49 BC51 BD17 BD19 BD27 BD29                  BD32 BD34 BD36 BD40 BD42 BD44                  BD46 BD48 BD50 BE16 BE18 BE20                  BE22 BE24 BE26 BE28 BE30 AB32                  AM39 BB18 BA17 AW29 BE31 BE33                  BE35 BE37 BE39 BE41 BE43 BE45                  BE47 BE49 BF17 BF19 BF21 BF23                  BF25 BF27 BF29 BF32 BF34 BF36                  BF38 BF40 BF42 BF44 BF46 BF48                  BF50 BG16 BG18 BG20 BG22 BG24</p>	
--	---	--

	<p>BG26 BG28 BG30 BG31 BG33 BG35                  BG37 BG39 BG41 BG43 BG45 BG47                  BG49 BH17 BH19 BH21 BH23 BH25                  BH27 BH29 BH32 BH34 BH36 BH38                  BH40 BH42 BH44 BH46 BJ16 BJ18                  BJ20 BJ22 BJ24 BJ26 BJ28 BJ30 BJ31                  BJ33 BJ35 BJ37 BJ39 BJ41 BJ43 BK13                  BK15 BK17 BK19 BK21 BK23 BK25                  BK27 BK29 BK34 BK35 BK36 BK44                  BL16 BL18 BL20 BL22 BL24 BL26                  BL28 BL30 BL31 BN31 H30 K30 K31                  K33 K35 L17 L25 L26 L27 L32 L34 L36                  L38 L40 L42 L44 M18 M20 M22 M24                  M26 M28 M30 M31 M33 M35 M37 M39                  M41 M43 M45 N15 N17 N19 N21 N23                  N25 N27 N29 N32 N34 N36 N38 N40                  N42 N44 P12 P14 P16 P18 P20 P22 P24                  P26 P28 P30 P31 P33 P35 P37 P39 P41                  P43 P45 R11 R13 R15 R17 R19 R21 R23                  R25 R27 R29 R32 R34 R36 R38 R40                  R42 R44 T12 T14 T16 T18 T20 T22 T24                  T26 T28 T30 T31 T33 T35 T37 T39 T41                  T43 T45 U11 U13 U15 U17 U19 U21                  U25 U27 U29 U32 U34 U36 U38 U40                  U42 U44 V10 V12 V14 V16 V18 V20                  V22 V28 V30 V31 V33 V35 V37 V39                  V41 V43 V45 V47 W15 W17 W19 W21                  W27 W29 W32 W36 W40 W42 W44                  W46 W48 Y18 Y43 Y45 Y47</p>	
<p>VDDQ_L</p>	<p>AA26 AA28 AA29 AB1 AB4 AB7                  AD20 AE1 AE21 AE4 AE7 AF20 AH1                  AH22 AH4 AJ20 AL1 AL20 AL4 AN20                  AN21 AP1 AP4 AT20 AU20 AU3 AU4                  AY1 AY4 AY7 BC1 BC4 BC7 BF1 BF4</p>	<p>DDR IO 电源</p>

	<p>BF7 BJ1 BJ4 BJ7 D2 D4 D7 G1 G4 G7 K1 K4 K7 N1 N4 N7 T1 T4 T7 U23 V24 V26 W1 W23 W25 W4 W7 Y20 Y22 Y25 Y27 Y30 Y33 Y34 AK21 AM21</p>	
<p>VDDQ_R</p>	<p>AA54 AA57 AA60 AD41 AD57 AD58 AE41 AG57 AG60 AH40 AH41 AK41 AK57 AK60 AM41 AN39 AN57 AN60 AR41 AT40 AT54 AT57 AT60 AU41 AW54 AW57 AW60 AY32 AY33 AY35 BA27 BA28 BA31 BA34 BA36 BA39 BA41 BB36 BB38 BB54 BB57 BB60 BC35 BC37 BD38 BE54 BE57 BE60 BH54 BH57 BH60 BL54 BL57 BL60 BP54 BP57 BP60 BU54 BU57 BU59 M54 M57 M60 R54 R57 R60 V54 V57 V60 AJ40 AL40</p>	
<p>VSS</p>	<p>A31 A32 A34 A36 A38 A4 A40 A42 A44 A46 A48 A57 AA11 AA15 AA17 AA19 AA22 AA25 AA27 AA32 AA33 AA35 AA37 AA39 AA42 AA43 AA45 AA47 AA50 AA53 AA56 AA58 AA59 AB11 AB16 AB18 AB2 AB21 AB23 AB24 AB26 AB28 AB29 AB30 AB31 AB33 AB36 AB38 AB40 AB43 AB44 AB46 AB48 AB49 AB5 AB8 AC11 AC15 AC17 AC19 AC21 AC25 AC26 AC29 AC31 AC34 AC39 AC42 AC43 AC45 AC47 AC50 AC52 AC9 AD10 AD14 AD16 AD18 AD21 AD22 AD24 AD26 AD28 AD30 AD32 AD34 AD36 AD37 AD38 AD40 AD42 AD44 AD46 AD48 AD50 AD53 AD56 AD59 AE11 AE15 AE17 AE19 AE2 AE20 AE22 AE23 AE25 AE27 AE29 AE3 AE31</p>	<p>地</p>

	<p>AE33 AE35 AE37 AE39 AE40 AE43          AE45 AE47 AE49 AE5 AE51 AE8 AF11          AF16 AF18 AF21 AF22 AF24 AF26          AF28 AF30 AF32 AF34 AF36 AF38          AF40 AF42 AF44 AF46 AF48 AF50          AF52 AF9 AG11 AG15 AG17 AG19          AG23 AG25 AG27 AG29 AG31 AG33          AG35 AG37 AG38 AG39 AG42 AG43          AG45 AG47 AG49 AG53 AG56 AG59          AH11 AH15 AH16 AH18 AH2 AH21          AH23 AH24 AH26 AH28 AH30 AH32          AH34 AH36 AH39 AH42 AH44 AH46          AH48 AH5 AH50 AH51 AH8 AJ11          AJ16 AJ17 AJ19 AJ21 AJ23 AJ25 AJ27          AJ29 AJ31 AJ33 AJ35 AJ37 AJ39 AJ41          AJ43 AJ45 AJ47 AJ49 AJ52 AJ9 AK10          AK14 AK16 AK18 AK20 AK22 AK24          AK26 AK28 AK30 AK32 AK34 AK36          AK38 AK40 AK42 AK44 AK46 AK48          AK50 AK53 AK56 AK59 AL11 AL13          AL15 AL17 AL19 AL2 AL21 AL23          AL25 AL27 AL29 AL41 AL33 AL35          AL37 AL39 AM20 AL43 AL45 AL47          AL5 AL51 AL8 AM12 AM14 AM16          AM18 AM22 AM24 AM26 AM28          AM30 AM32 AM34 AM36 AM38          AM40 AM42 AM44 AM45 AM50          AM52 AM9 AN10 AN11 AN13 AN15          AN17 AN19 AN22 AN25 AN27 AN29          AN31 AN33 AN35 AN37 AN38 AN40          AN43 AN45 AN46 AN47 AN50 AN53          AN56 AN59 AP12 AP14 AP16 AP18          AP19 AP2 AP22 AP23 AP24 AP26          AP28 AP30 AP32 AP34 AP36 AP38</p>	
--	--	--

	<p>AP42 AP44 AP46 AP5 AP50 AP8 AR11                  AR13 AR15 AR17 AR19 AR21 AR23                  AR25 AR27 AR29 AR31 AR33 AR35                  AR37 AR39 AR40 AR43 AR45 AR50                  AR52 AR9 AT10 AT12 AT14 AT16                  AT18 AT21 AT22 AT24 AT26 AT28                  AT30 AT32 AT34 AT36 AT38 AT39                  AT41 AT42 AT44 AT46 AT50 AT53                  AT56 AT58 AT59 AU11 AU13 AU15                  AU17 AU19 AU2 AU24 AU27 AU29                  AU31 AU33 AU35 AU37 AU39 AU40                  AU43 AU45 AU47 AU5 AU51 AU8                  AV11 AV14 AV16 AV18 AV19 AV21                  AV23 AV27 AV28 AV30 AV32 AV35                  AV36 AV40 AV42 AV44 AV46 AV50                  AV52 AV9 AW12 AW13 AW15 AW17                  AW18 AW20 AW22 AW24 AW26                  AW28 AW30 AW31 AW32 AW33                  AW35 AW37 AW38 AW40 AW43                  AW45 AW50 AW53 AW56 AW59                  AY11 AY14 AY16 AY17 AY19 AY2                  AY21 AY23 AY25 AY28 AY29 AY3                  AY34 AY36 AY39 AY42 AY44 AY46                  AY5 AY50 AY8 B12 B15 B18 B21 B24                  B27 B3 B30 B31 B32 B34 B36 B38 B40                  B42 B44 B46 B48 B49 B52 B55 B58 B6                  B9 BA12 BA13 BA15 BA18 BA20                  BA22 BA29 BA32 BA33 BA35 BA38                  BA24 BA42 BA44 BA45 BA50 BA52                  BA9 BB12 BB14 BB16 BB19 BB21                  BB22 BB24 BB26 BB27 BB28 BB30                  BB31 BB33 BB35 BB37 BB39 BB41                  BB43 BB45 BB50 BB53 BB56 BB59                  BC11 BC16 BC17 BC19 BC2 BC21</p>	
--	--	--

	BC23 BC25 BC27 BC29 BC32 BC34 BC36 BC38 BC40 BC42 BC44 BC46 BC48 BC5 BC50 BC8 BD12 BD16 BD18 BD20 BD22 BD24 BD26 BD28 BD30 BD31 BD33 BD35 BD37 BD39 BD41 BD43 BD45 BD47 BD49 BD51 BD52 BD9 BE12 BE17 BE19 BE21 BE23 BE25 BE27 BE29 BE32 BE34 BE36 BE38 BE40 BE42 BE44 BE46 BE48 BE50 BE51 BE53 BE56 BE59 BF11 BF16 BF18 BF2 BF20 BF22 BF24 BF26 BF28 BF30 BF31 BF33 BF35 BF37 BF39 BF41 BF43 BF45 BF47 BF49 BF5 BF51 BF8 BG12 BG17 BG19 BG21 BG23 BG25 BG27 BG29 BG32 BG34 BG36 BG38 BG40 BG42 BG44 BG46 BG48 BG50 BG52 BG57 BG9 BH12 BH16 BH18 BH20 BH22 BH24 BH26 BH28 BH30 BH31 BH33 BH35 BH37 BH39 BH41 BH43 BH45 BH47 BH48 BH50 BH51 BH53 BH56 BH59 BJ11 BJ12 BJ13 BJ17 BJ19 BJ2 BJ21 BJ23 BJ25 BJ27 BJ29 BJ32 BJ34 BJ36 BJ38 BJ40 BJ42 BJ44 BJ5 BJ50 BJ51 BJ8 BK11 BK12 BK14 BK16 BK18 BK20 BK22 BK24 BK26 BK28 BK3 BK30 BK31 BK33 BK37 BK40 BK43 BK46 BK49 BK52 BK6 BK9 BL13 BL15 BL17 BL19 BL21 BL23 BL25 BL27 BL29 BL35 BL37 BL38 BL44 BL47 BL50 BL53 BL55 BL56 BL59 BM11 BM13 BM15 BM16 BM17 BM18 BM19 BM2 BM20 BM21 BM22 BM23 BM24 BM25 BM26 BM27 BM28 BM29	
--	---	--

<p>BM30 BM31 BM5 BM8 BN12 BN13                  BN14 BN16 BN18 BN20 BN22 BN24                  BN26 BN28 BN3 BN30 BN32 BN34                  BN37 BN40 BN43 BN46 BN49 BN52                  BN6 BN9 BP13 BP14 BP16 BP18 BP20                  BP22 BP24 BP26 BP28 BP30 BP32                  BP35 BP38 BP41 BP44 BP47 BP50                  BP53 BP56 BP59 BR11 BR13 BR15                  BR17 BR19 BR2 BR21 BR23 BR25                  BR27 BR29 BR30 BR5 BR8 BT12 BT13                  BT15 BT17 BT19 BT21 BT23 BT25                  BT27 BT29 BT3 BT30 BT31 BT34                  BT37 BT40 BT43 BT46 BT49 BT52                  BT55 BT57 BT6 BT9 BU1 BU13 BU14                  BU16 BU18 BU20 BU22 BU24 BU26                  BU28 BU30 BU32 BU35 BU38 BU41                  BU44 BU47 BU50 BU53 BU56 BU60                  BV13 BV14 BV16 BV18 BV2 BV20                  BV22 BV24 BV26 BV28 BV30 BV5                  BV58 BV59 BV8 BW12 BW13 BW15                  BW17 BW19 BW21 BW23 BW25                  BW27 BW29 BW3 BW30 BW31 BW34                  BW37 BW40 BW43 BW46 BW49                  BW52 BW55 BW58 BW6 BW9 BY13                  BY15 BY17 BY19 BY21 BY23 BY25                  BY27 BY29 BY30 BY4 BY57 C2 C3                  C31 C33 C35 C37 C39 C41 C43 C45                  C47 C48 C53 C56 C59 D1 D11 D14 D17                  D20 D23 D26 D29 D31 D33 D35 D37                  D39 D41 D43 D45 D47 D48 D5 D60 D8                  E12 E15 E18 E21 E24 E27 E30 E31 E32                  E34 E36 E38 E4 E40 E42 E44 E46 E48                  E49 E52 E55 E58 E6 E9 F31 F32 F34                  F36 F38 F40 F42 F44 F46 F48 F50 F53</p>
--



	<p>F56 F59 G11 G14 G17 G2 G20 G23 G26                  G29 G31 G33 G35 G37 G39 G41 G43                  G45 G47 G48 G5 G8 H12 H15 H18 H21                  H24 H27 H29 H31 H33 H35 H37 H39                  H41 H43 H45 H47 H48 H49 H52 H55                  H58 H9 J30 J31 J32 J33 J34 J35 J36 J38                  J40 J42 J44 J46 J48 J50 J53 J56 J59 K11                  K14 K17 K2 K23 K24 K26 K32 K34                  K36 K38 K40 K42 K44 K46 K48 K5 K6                  K8 L12 L15 L18 L21 L24 L28 L30 L31                  L33 L35 L37 L39 L41 L43 L45 L47 L49                  L50 L52 L55 L58 L9 M10 M11 M17                  M19 M21 M23 M25 M27 M29 M32 M34                  M36 M38 M40 M42 M44 M50 M53 M56                  M59 N10 N11 N13 N14 N16 N18 N2                  N20 N22 N24 N26 N28 N30 N31 N33                  N35 N37 N39 N41 N43 N45 N49 N5 N8                  P11 P13 P15 P17 P19 P21 P23 P25 P27                  P29 P32 P34 P36 P38 P4 P40 P42 P44                  P49 P52 P9 R10 R12 R14 R16 R18 R20                  R22 R24 R26 R28 R30 R31 R33 R35                  R37 R39 R41 R43 R45 R50 R53 R56                  R59 T10 T11 T13 T15 T17 T19 T2 T21                  T23 T25 T27 T29 T32 T34 T36 T38 T40                  T42 T44 T49 T5 T8 U10 U12 U14 U16                  U18 U20 U22 U24 U26 U28 U30 U31                  U33 U35 U37 U39 U41 U43 U45 U49                  U52 U9 V11 V13 V15 V17 V19 V21                  V23 V25 V27 V29 V32 V34 V36 V38                  V40 V42 V44 V46 V48 V50 V53 V56                  V59 W11 W16 W18 W2 W20 W22 W24                  W26 W28 W30 Y9 AV25 W31 W33                  W34 W35 W37 W39 W41 W43 W45                  W47 W49 W5 W8 Y11 Y16 Y17 Y19</p>	
--	--	--

	Y23 Y26 Y28 Y29 Y32 Y36 Y38 Y40	
	Y42 Y44 Y46 Y48 Y49 Y52 AC32	

注:

(1)信号类型: I 输入引脚, O 输出引脚, Z 三态或高阻引脚, A 模拟信号脚, GND 地, P 电源引脚, RSV 保留引脚, NC 空引脚;

(2)片内上下拉: IPU 片内上拉, IPD 片内下拉。

## 2.2 直连接口

直连接口实现了处理器之间的直连互连, 在处理期间通信带宽的前提下, 降低处理器间的通信延迟, 直连接口采用串行链路进行通信, 每个 FIT 包含 4 个 TX lane 和 4 个 RX lane, 每个 lane 的传输速率为 25Gbps, 因此。FIT 的峰值带宽 (双向) 为 200Gbps。每个腾云 S2500 处理器集成了 4 个 FIT 直连接口, 因此峰值带宽 (双向) 为 800Gbps。

直连接口的物理层参考时钟 78.125MHz, 由外部提供差分时钟。

- 支持 100GBASE-KR4/CR4;
- 支持 KR Training。

## 2.3 DDR4 SDRAM 接口

DDR 控制器和 DDR PHY 是腾云 S2500 中的片外大容量存储控制部件, 负责管理全芯片的主存储器空间。其主要特性如下:

- 支持 DDR4 协议;
- 支持 UDIMM、SODIMM、RDIMM、LRDIMM、内存颗粒;
- 支持的器件类型:  
DDR4: x4、x8、x16;
- 支持的最高速率:  
DDR4: 3200MT/s;
- 支持的接口电压:  
DDR4: 1.2V;
- 支持 8 个 DDR 访问通道, 每个通道包含 64 个数据位和 8 个 ECC 校验位;

- 支持多种低功耗功能，包括 DRAM 自刷新、DDR 控制器时钟关断；
- DDR4 模式下支持 3DS、DBI；

全芯片支持 8 个 DDR4 模块，每个 DDR 通道支持 4 个 Rank，每通道最大容量为 128GB，总内存容量为 1TB。

DDR 接口支持镜像存储功能。每两个 MCU 为备份（MCU0-MCU4，MCU1-MCU3，MCU2-MCU6，MCU5-MCU7），每次通过一个 MCU 向 DDR 写数据时，自动给配对的 MCU 发写请求，作为备份；读数据时，如果从 DDR 接口读回来的数据有错误且无法恢复，则自动从配对的 MCU 读出备份的数据。使用镜像存储功能时，有效存储容量减半。该功能需要在固件中设置，且不能中途修改。

表 2-7 DDR 接口支持的内存形式

颗粒芯片位宽	颗粒芯片数目
X16	4
X8	8
X4	16
注：该表芯片数目中，不包含 ECC 内存颗粒	

表 2-8 内存接口信号说明

信号名	输入/输出	描述	NC 处理方法
LMUx_A0	O	DDR4 SDRAM 接口地址和控制命令信号，包括 BankArray 、BankGroup 等	悬空
LMUx_A1	O		悬空
LMUx_A2	O		悬空
LMUx_A3	O		悬空
LMUx_A4	O		悬空
LMUx_A5	O		悬空
LMUx_A6	O		悬空
LMUx_A7	O		悬空
LMUx_A8	O		悬空
LMUx_A9	O		悬空
LMUx_A10	O		悬空
LMUx_A11	O		悬空
LMUx_A12	O		悬空

LMUx_A13	O		悬空
LMUx_A14/WE_N	O		悬空
LMUx_A15/CAS_N	O		悬空
LMUx_A16/RAS_N	O		悬空
LMUx_A17	O		悬空
LMUx_BA0	O		悬空
LMUx_BA1	O		悬空
LMUx_BG0	O		悬空
LMUx_BG1	O		悬空
LMUx_C0	O	DDR4 SDRAM 通道的 ChipID, 用于 3DS 类型 的存储器	悬空
LMUx_C1	O		悬空
LMUx_C2	O		悬空
LMUx_CKE0	O	DDR4 SDRAM 通道的 时钟使能信号	悬空
LMUx_CKE1	O		悬空
LMUx_CKE2	O		悬空
LMUx_CKE3	O		悬空
LMUx_CS0	O	DDR4 SDRAM 通道的 片选信号	悬空
LMUx_CS1	O		悬空
LMUx_CS2	O		悬空
LMUx_CS3	O		悬空
LMUx_ODT0	O	DDR4 SDRAM 通道的 终端匹配电阻的使能 控制信号	悬空
LMUx_ODT1	O		悬空
LMUx_ODT2	O		悬空
LMUx_ODT3	O		悬空
LMUx_BP_ZN	I/O	阻抗校准接口信号	悬空
LMUx_ACT_N	O	Activation 命令接口信号	悬空
LMUx_BP_ALERT_N	I	DDR4 SDRAM 通道的 故障指示信号	悬空
LMUx_BP_MEMRESET_L	O	DDR4 SDRAM 通道的 复位信号	悬空
LMUx_PAR	O	DDR4 SDRAM 通道的 校验信号	悬空
LMUx_BP_VREF	I	DDR4 SDRAM 通道的 参考电压输入	悬空
LMUx_D_OBV	O	DDR4 SDRAM 通道的 观察信号, 用于调试	悬空
LMUx_CLK_C0	O	DDR4 SDRAM 通道的 差分时钟	悬空
LMUx_CLK_T0	O		悬空
LMUx_CLK_C1	O		悬空
LMUx_CLK_T1	O		悬空
LMUx_CLK_C2	O		悬空

LMUx_CLK_T2	O		悬空
LMUx_CLK_C3	O		悬空
LMUx_CLK_T3	O		悬空
LMUx_DQS_C0	I/O	18路DDR4 SDRAM通道的数据差分选通信号	悬空
LMUx_DQS_T0	I/O		悬空
LMUx_DQS_C1	I/O		悬空
LMUx_DQS_T1	I/O		悬空
LMUx_DQS_C2	I/O		悬空
LMUx_DQS_T2	I/O		悬空
LMUx_DQS_C3	I/O		悬空
LMUx_DQS_T3	I/O		悬空
LMUx_DQS_C4	I/O		悬空
LMUx_DQS_T4	I/O		悬空
LMUx_DQS_C5	I/O		悬空
LMUx_DQS_T5	I/O		悬空
LMUx_DQS_C6	I/O		悬空
LMUx_DQS_T6	I/O		悬空
LMUx_DQS_C7	I/O		悬空
LMUx_DQS_T7	I/O		悬空
LMUx_DQS_C8	I/O		悬空
LMUx_DQS_T8	I/O		悬空
LMUx_DQS_C9	I/O		悬空
LMUx_DQS_T9	I/O		悬空
LMUx_DQS_C10	I/O		悬空
LMUx_DQS_T10	I/O		悬空
LMUx_DQS_C11	I/O		悬空
LMUx_DQS_T11	I/O		悬空
LMUx_DQS_C12	I/O		悬空
LMUx_DQS_T12	I/O		悬空
LMUx_DQS_C13	I/O		悬空
LMUx_DQS_T13	I/O		悬空
LMUx_DQS_C14	I/O		悬空
LMUx_DQS_T14	I/O		悬空
LMUx_DQS_C15	I/O		悬空
LMUx_DQS_T15	I/O		悬空
LMUx_DQS_C16	I/O		悬空
LMUx_DQS_T16	I/O	悬空	
LMUx_DQS_C17	I/O	悬空	
LMUx_DQS_T17	I/O	悬空	
LMUx_DQ0	I/O	DDR4 SDRAM 通道的	悬空
LMUx_DQ1	I/O	64 位数据接口信号	悬空

LMUx_DQ2	I/O	悬空
LMUx_DQ3	I/O	悬空
LMUx_DQ4	I/O	悬空
LMUx_DQ5	I/O	悬空
LMUx_DQ6	I/O	悬空
LMUx_DQ7	I/O	悬空
LMUx_DQ8	I/O	悬空
LMUx_DQ9	I/O	悬空
LMUx_DQ10	I/O	悬空
LMUx_DQ11	I/O	悬空
LMUx_DQ12	I/O	悬空
LMUx_DQ13	I/O	悬空
LMUx_DQ14	I/O	悬空
LMUx_DQ15	I/O	悬空
LMUx_DQ16	I/O	悬空
LMUx_DQ17	I/O	悬空
LMUx_DQ18	I/O	悬空
LMUx_DQ19	I/O	悬空
LMUx_DQ20	I/O	悬空
LMUx_DQ21	I/O	悬空
LMUx_DQ22	I/O	悬空
LMUx_DQ23	I/O	悬空
LMUx_DQ24	I/O	悬空
LMUx_DQ25	I/O	悬空
LMUx_DQ26	I/O	悬空
LMUx_DQ27	I/O	悬空
LMUx_DQ28	I/O	悬空
LMUx_DQ29	I/O	悬空
LMUx_DQ30	I/O	悬空
LMUx_DQ31	I/O	悬空
LMUx_DQ32	I/O	悬空
LMUx_DQ33	I/O	悬空
LMUx_DQ34	I/O	悬空
LMUx_DQ35	I/O	悬空
LMUx_DQ36	I/O	悬空
LMUx_DQ37	I/O	悬空
LMUx_DQ38	I/O	悬空
LMUx_DQ39	I/O	悬空
LMUx_DQ40	I/O	悬空
LMUx_DQ41	I/O	悬空
LMUx_DQ42	I/O	悬空

LMUx_DQ43	I/O		悬空
LMUx_DQ44	I/O		悬空
LMUx_DQ45	I/O		悬空
LMUx_DQ46	I/O		悬空
LMUx_DQ47	I/O		悬空
LMUx_DQ48	I/O		悬空
LMUx_DQ49	I/O		悬空
LMUx_DQ50	I/O		悬空
LMUx_DQ51	I/O		悬空
LMUx_DQ52	I/O		悬空
LMUx_DQ53	I/O		悬空
LMUx_DQ54	I/O		悬空
LMUx_DQ55	I/O		悬空
LMUx_DQ56	I/O		悬空
LMUx_DQ57	I/O		悬空
LMUx_DQ58	I/O		悬空
LMUx_DQ59	I/O		悬空
LMUx_DQ60	I/O		悬空
LMUx_DQ61	I/O		悬空
LMUx_DQ62	I/O		悬空
LMUx_DQ63	I/O	悬空	
LMUx_CB0	I/O	DDR4 SDRAM 通道的 校验数据接口信号	悬空
LMUx_CB1	I/O		悬空
LMUx_CB2	I/O		悬空
LMUx_CB3	I/O		悬空
LMUx_CB4	I/O		悬空
LMUx_CB5	I/O		悬空
LMUx_CB6	I/O		悬空
LMUx_CB7	I/O		悬空

## 2.4 PCIe 接口

腾云 S2500 的 PCIe 接口支持 PCIe 3.0 规范。PCIe 的接口描述如表 2-9 所示。

PCIe 接口共 17 Lane，一个 X16 和一个 X1，其中 X16 可拆分为两个 X8。

表 2-9 PCIe 接口描述

信号	输入/输出	描述	NC 处理方式
PEU0_LINKUP0	O	PCIe 控制器的 Linkup0 信号	悬空
PEU0_LINKUP1	O	PCIe 控制器的 Linkup1 信号	悬空

PEU0_X16_TXP0	O	PEU0 X16 PMA lane0 发送器串行数据	悬空
PEU0_X16_TXP1	O	PEU0 X16 PMA lane1 发送器串行数据	悬空
PEU0_X16_TXP2	O	PEU0 X16 PMA lane2 发送器串行数据	悬空
PEU0_X16_TXP3	O	PEU0 X16 PMA lane3 发送器串行数据	悬空
PEU0_X16_TXP4	O	PEU0 X16 PMA lane4 发送器串行数据	悬空
PEU0_X16_TXP5	O	PEU0 X16 PMA lane5 发送器串行数据	悬空
PEU0_X16_TXP6	O	PEU0 X16 PMA lane6 发送器串行数据	悬空
PEU0_X16_TXP7	O	PEU0 X16 PMA lane7 发送器串行数据	悬空
PEU0_X16_TXP8	O	PEU0 X16 PMA lane8 发送器串行数据	悬空
PEU0_X16_TXP9	O	PEU0 X16 PMA lane9 发送器串行数据	悬空
PEU0_X16_TXP10	O	PEU0 X16 PMA lane10 发送器串行数据	悬空
PEU0_X16_TXP11	O	PEU0 X16 PMA lane11 发送器串行数据	悬空
PEU0_X16_TXP12	O	PEU0 X16 PMA lane12 发送器串行数据	悬空
PEU0_X16_TXP13	O	PEU0 X16 PMA lane13 发送器串行数据	悬空
PEU0_X16_TXP14	O	PEU0 X16 PMA lane14 发送器串行数据	悬空
PEU0_X16_TXP15	O	PEU0 X16 PMA lane15 发送器串行数据	悬空
PEU0_X16_TXN0	O	PEU0 X16 PMA lane0 发送器串行数据	悬空
PEU0_X16_TXN1	O	PEU0 X16 PMA lane1 发送器串行数据	悬空
PEU0_X16_TXN2	O	PEU0 X16 PMA lane2 发送器串行数据	悬空
PEU0_X16_TXN3	O	PEU0 X16 PMA lane3 发送器串行数据	悬空
PEU0_X16_TXN4	O	PEU0 X16 PMA lane4 发送器串行数据	悬空
PEU0_X16_TXN5	O	PEU0 X16 PMA lane5 发送器串行数据	悬空
PEU0_X16_TXN6	O	PEU0 X16 PMA lane6 发送器串行数据	悬空
PEU0_X16_TXN7	O	PEU0 X16 PMA lane7 发送器串行数据	悬空
PEU0_X16_TXN8	O	PEU0 X16 PMA lane8 发送器串行数据	悬空
PEU0_X16_TXN9	O	PEU0 X16 PMA lane9 发送器串行数据	悬空
PEU0_X16_TXN10	O	PEU0 X16 PMA lane10 发送器串行数据	悬空
PEU0_X16_TXN11	O	PEU0 X16 PMA lane11 发送器串行数据	悬空
PEU0_X16_TXN12	O	PEU0 X16 PMA lane12 发送器串行数据	悬空
PEU0_X16_TXN13	O	PEU0 X16 PMA lane13 发送器串行数据	悬空
PEU0_X16_TXN14	O	PEU0 X16 PMA lane14 发送器串行数据	悬空
PEU0_X16_TXN15	O	PEU0 X16 PMA lane15 发送器串行数据	悬空
PEU0_X1_TXP	O	PEU0 X1 PMA lane0 发送器串行数据	悬空
PEU0_X1_TXN	O	PEU0 X1 PMA lane0 发送器串行数据	悬空
PEU0_X16_RXP0	I	PEU0 X16 PMA lane0 接收器串行数据	悬空
PEU0_X16_RXP1	I	PEU0 X16 PMA lane1 接收器串行数据	悬空
PEU0_X16_RXP2	I	PEU0 X16 PMA lane2 接收器串行数据	悬空
PEU0_X16_RXP3	I	PEU0 X16 PMA lane3 接收器串行数据	悬空
PEU0_X16_RXP4	I	PEU0 X16 PMA lane4 接收器串行数据	悬空
PEU0_X16_RXP5	I	PEU0 X16 PMA lane5 接收器串行数据	悬空
PEU0_X16_RXP6	I	PEU0 X16 PMA lane6 接收器串行数据	悬空



PEU0_X16_RXP7	I	PEU0 X16 PMA lane7 接收器串行数据	悬空
PEU0_X16_RXP8	I	PEU0 X16 PMA lane8 接收器串行数据	悬空
PEU0_X16_RXP9	I	PEU0 X16 PMA lane9 接收器串行数据	悬空
PEU0_X16_RXP10	I	PEU0 X16 PMA lane10 接收器串行数据	悬空
PEU0_X16_RXP11	I	PEU0 X16 PMA lane11 接收器串行数据	悬空
PEU0_X16_RXP12	I	PEU0 X16 PMA lane12 接收器串行数据	悬空
PEU0_X16_RXP13	I	PEU0 X16 PMA lane13 接收器串行数据	悬空
PEU0_X16_RXP14	I	PEU0 X16 PMA lane14 接收器串行数据	悬空
PEU0_X16_RXP15	I	PEU0 X16 PMA lane15 接收器串行数据	悬空
PEU0_X16_RXN0	I	PEU0 X16 PMA lane0 接收器串行数据	悬空
PEU0_X16_RXN1	I	PEU0 X16 PMA lane1 接收器串行数据	悬空
PEU0_X16_RXN2	I	PEU0 X16 PMA lane2 接收器串行数据	悬空
PEU0_X16_RXN3	I	PEU0 X16 PMA lane3 接收器串行数据	悬空
PEU0_X16_RXN4	I	PEU0 X16 PMA lane4 接收器串行数据	悬空
PEU0_X16_RXN5	I	PEU0 X16 PMA lane5 接收器串行数据	悬空
PEU0_X16_RXN6	I	PEU0 X16 PMA lane6 接收器串行数据	悬空
PEU0_X16_RXN7	I	PEU0 X16 PMA lane7 接收器串行数据	悬空
PEU0_X16_RXN8	I	PEU0 X16 PMA lane8 接收器串行数据	悬空
PEU0_X16_RXN9	I	PEU0 X16 PMA lane9 接收器串行数据	悬空
PEU0_X16_RXN10	I	PEU0 X16 PMA lane10 接收器串行数据	悬空
PEU0_X16_RXN11	I	PEU0 X16 PMA lane11 接收器串行数据	悬空
PEU0_X16_RXN12	I	PEU0 X16 PMA lane12 接收器串行数据	悬空
PEU0_X16_RXN13	I	PEU0 X16 PMA lane13 接收器串行数据	悬空
PEU0_X16_RXN14	I	PEU0 X16 PMA lane14 接收器串行数据	悬空
PEU0_X16_RXN15	I	PEU0 X16 PMA lane15 接收器串行数据	悬空
PEU0_X1_RXP	I	PEU0 X1 lane0 发送器串行数据	悬空
PEU0_X1_RXN	I	PEU0 X1 lane0 发送器串行数据	悬空
PEU0_X1_X16_REFCLKP	I	PEU0 X1/X16 外部参考时钟	悬空
PEU0_X1_X16_REFCLKN	I	PEU0 X1/X16 外部参考时钟	悬空
PEU0_CLKREQ	IO	PEU0 此输入必须连接到共享 CLKREQ #bus, 使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	需外部接上拉电阻
PEU0_X1_ATB0	IO	PEU0 X1 PMA 模拟测试总线	悬空
PEU0_X1_ATB1	IO	PEU0 X1 PMA 模拟测试总线	悬空
PEU0_X16_ATB0	IO	PEU0 X16 PMA 模拟测试总线	悬空
PEU0_X16_ATB1	IO	PEU0 X16 PMA 模拟测试总线	悬空
PEU0_X1_REXT	I	PEU0 X1 PMA 外部校准电阻	连 3.01KΩ电阻到地
PEU0_X16_REXT	I	PEU0 X16 PMA 外部校准电阻	连 3.01KΩ电阻到地

注: PEU0\_LINKUP[1:0], 1, 该功能为复用引脚中的功能 2, 非默认功能, 使用时需要软件做相应配置。

### 2.4.1 拆分方式

PCIe 拆分模式如表 2-10 所示。

表 2-10 PCIe 拆分模式表

PCIe	拆分模式	
PEU0_X1[0]	X1	
PEU0_X16[0:15]	X16	
	X8	X8

### 2.4.2 AC 电容、校准电阻要求

输出端与接收端之间，PCIe 布线采用交流耦合的方式。耦合电容采用封装 0402、容值为 176~265nF 的电容。

如图 2.3 所示，S2500 外部接阻值 3.01K $\Omega$ 、精度为 1% 的电阻作为校准电阻，要求该校准电阻尽可能靠近 CPU 引脚，走线避开高速信号等干扰源。

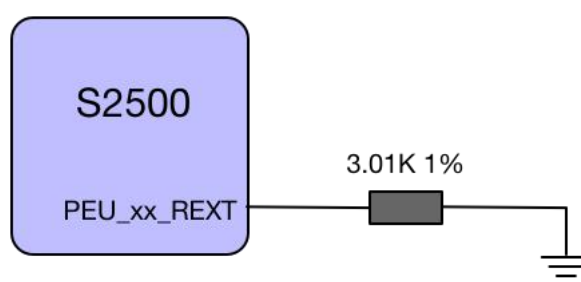


图 2.3 外部校准电阻

PCIE 接口支持 PCIE3.0 规范，兼容 PCIE2.0、PCIE1.0 规范，其特点如下：

- 包含 1 个 x16 接口，每个接口可拆分为 2 个 x8 接口；
- 包含一个 x1 接口；
- 可支持 X1, X2, X4, X8，支持翻转（Lane Reversal）。

### 2.4.3 链路翻转说明

如果是整个 x16 插槽反转，支持两种情况的插卡：

- x16 的卡
- x8 的卡（要将控制器配置为分拆模式，且使用 C1 控制器）

如果是 x8 插槽反转，只能插 x8 的卡。

## 2.5 I2C 接口

I2C (Inter-Integrated Circuit) 总线分别包含一条串行数据线 SDA 与一条串行时钟线 SCL。I2C 用于连接微控制器及其外围设备，是微电子通信控制领域广泛采用的一种总线标准。它是同步通信的一种特殊形式，具有接口线少、控制方式简单、器件封装形式小、通信速率较高等优点。

腾云 S2500 一共有 4 组 I2C 接口，描述如表 2-11 所示。

表 2-11 I2C 接口描述

引脚	信号	I/O	描述	
BC15	I2C_0_SCL/GPIO_PORTB_0	B	I2C 时钟	主设备，可用于连接外设
BD15	I2C_0_SDA/GPIO_PORTB_1	B	I2C 数据	
M47	I2C_1_SCL/GPIO_PORTB_2	B	I2C 时钟	主设备，用于内存 SPD 配置读取
N47	I2C_1_SDA/GPIO_PORTB_3	B	I2C 数据	
U47	I2C_AHB_SCL	I	I2C 时钟	从设备，外接控制器可获取 CPU 温度传感器和 RAS 信息
T47	I2C_AHB_SDA	B	I2C 数据	
AF14	CRU_SCL	I	I2C 时钟	从设备，可用于与 CPU 进行通信
AF13	CRU_SDA	B	I2C 数据	

腾云 S2500 的 I2C 接口为 1.8V CMOS 的 IO 电平类型，若外接的设备不兼容 1.8V CMOS 电平，需使用 I2C 专用电平转换芯片进行电平转换。

## 2.6 SPI 接口

SPI 为通用 SPI 接口，可用于连接各类 SPI 外设。SPI 的接口描述如表 2-12 所示。

表 2-12 SPI 接口描述

引脚	信号	I/O	描述
----	----	-----	----

AY47	EXT_SPI_SI	I	SPI 数据信号，主机输入
BA47	SPI_EXT_CSN[0]	O	SPI 0 号片选
BB49	SPI_EXT_CSN[1]	O	SPI 1 号片选
BB48	SPI_EXT_CSN[2]/GPIO_PORTA_6	O	SPI 2 号片选
BB47	SPI_EXT_CSN[3]/GPIO_PORTA_7	O	SPI 3 号片选
AY48	SPI_EXT_SCK	O	SPI 时钟信号
BA49	SPI_EXT_SO	O	SPI 数据信号，主机输出
BA48	SPI_EXT_WP/GPIO_PORTD_7	O	SPI 写保护信号

SPI 接口可以用于连接 FLASH 芯片和 SPI 接口的 TCM 模块。

## 2.7 LPC 接口

LPC(low pin count)外设 IO 的电平与 CPU 的 1.8V CMOS 不兼容，因此在使用 LPC 功能的时候需要进行电平转换。推荐使用电平转换芯片或 CPLD 进行电平转换，CPLD 具有可编程能力，进行电平转换时的处理更灵活。LPC\_EXT\_IRQ\_OUTEN、LPC\_EXT\_LAD\_OUTEN 信号用于电平转换时控制相关信号的输入/输出方向。

LPC (Low Pin Count) 主要用来连接鼠标、键盘、串口、低速 Flash 等设备。LPC 接口采用 1.8V 的 LVCMOS，因而在连接 LPC 设备时需要进行电平转换。芯片集成了一个 LPC 控制器，LPC 接口建议通过 CPLD/FPGA，进行电平的转换。LPC 接口建议通过 CPLD/FPGA，一方面进行电平的转换，另一方面可以对信号灵活进行处理。

LPC 的时钟信号为 CLK\_LPC\_IN，时钟频率为 33MHz，必须由外部提供。

LPC 接口描述如表 2-13 所示。

表 2-13 LPC 接口描述

引脚	信号	I/O	描述
M49	CLK_LPC_IN	I	LPC 输入时钟
P48	CLK_LPC_RSTN_O	O	LPC 设备复位

R46	EXT_LPC_IRQ_N/GPIO_PORTB[6]	B	LPC LDRQ 信号
T46	EXT_LPC_LAD_0/GPIO_PORTB[7]	B	LPC LAD[0]
P46	EXT_LPC_LAD_1/GPIO_PORTC[5]	B	LPC LAD[1]
U46	EXT_LPC_LAD_2/GPIO_PORTC[6]	B	LPC LAD[2]
N46	EXT_LPC_LAD_3/GPIO_PORTC[7]	B	LPC LAD[3]
T48	EXT_LPC_LDRQ_N	I	LPC LDRQ 信号
AD12	LPC_EXT_IRQ_OUTEN	O	LPC IRQ PAD 方向控制
AH14	LPC_EXT_LAD_OUTEN	O	LPC LAD PAD 方向控制
R49	LPC_EXT_LFRAME_N	O	LPC LFRAME 信号

## 2.8 UART 接口

UART (Universal Asynchronous Receiver/Transmitter), 通用异步接收/发送装置, 定义了一种并行数据与串行数据进行转换的协议。芯片中包含 1 个 9 线接口 UART0 和 3 个 3 线制接口 UART1~3, 兼容 16550 标准。

腾云 S2500 的 UART 接口电平为 1.8V CMOS 电平标准, 若使用的外设不兼容 1.8V CMOS 电平, 需进行电平转换; 默认 UART\_1 为系统调试串口, 用于输出系统打印信息, 设计时须保留。

UART 的接口描述如表 2-14 所示。

表 2-14 UART 接口描述

引脚	信号	I/O	描述
AT48	UART_0_CTS_N/GPIO_PORTA_0	I	UART 发送清除
AU50	UART_0_DCD_N/GPIO_PORTA_1	I	UART 载波检测
AM47	UART_0_DSR_N/GPIO_PORTA_2	I	UART 数据准备好
AU49	UART_0_DTR_N/GPIO_PORTA_5	O	UART 数据终端准备好
AM49	UART_0_RI_N/GPIO_PORTA_3	I	UART 振铃指示
AL50	UART_0_RTS_N/GPIO_PORTA_4	O	UART 发送请求
AR49	UART_0_RXD/GPIO_PORTD_5	I	UART 数据接收

AT49	UART_0_TXD/GPIO_PORTD_6	O	UART 数据发送
AN48	UART_1_RXD/GPIO_PORTB_4	I	UART 数据接收
AN49	UART_1_TXD/GPIO_PORTB_5	O	UART 数据发送
AP49	UART_2_RXD	I	UART 数据接收
AP48	UART_2_TXD	O	UART 数据发送
AR47	UART_3_RXD	I	UART 数据接收
AR48	UART_3_TXD	O	UART 数据发送

## 2.9 GPIO 接口

芯片包含了 32 个 GPIO 端口，分成 4 组，分别是 GPIOA[0:7]，GPIOB[0:7]，GPIOC[0:7]，GPIOD[0:7]。其中有部分 GPIO 端口是复用的。如果要选择 GPIO 功能，设置 REG\_CRU\_PAD\_SEL\_\* 寄存器的值。GPIO 端口可通过软件分别配置成输入或输出。

### 2.9.1 GPIO 复用说明

#### 2.9.1.1 GPIO 复用寄存器地址

表 2-15 GPIO 复用寄存器地址

名称	基地址	说明
GPIO 复用控制寄存器 0	0x2810_0C00	用于对 PAD 复用功能的选择
GPIO 复用控制寄存器 1	0x2810_0C04	
GPIO 复用控制寄存器 2	0x2810_0C08	
GPIO 复用控制寄存器 3	0x2810_0C0C	
GPIO 复用控制寄存器 4	0x2810_0C10	
GPIO 复用控制寄存器 5	0x2810_0C14	

#### 2.9.1.2 GPIO 复用寄存器描述

表 2-16 GPIO 复用寄存器描述

位	名称	读写方式	默认值	说明
---	----	------	-----	----

[31:0]	GPIO 复用控制寄存器 REG_PAD_SEL_0	WR	32'h0	<p>GPIO 复用控制寄存器 0, 从高位到低位分别对应如下信号, 这些信号均为 2 位信号</p> <ul style="list-style-type: none"> <li>force_mb_start_pad_sel</li> <li>hdt_mb_done_state_pad_sel</li> <li>hdt_mb_fail_state_pad_sel</li> <li>instanceid_0_pad_sel</li> <li>instanceid_1_pad_sel</li> <li>instanceid_2_pad_sel</li> <li>ntrst_swj_pad_sel</li> <li>tdi_swj_pad_sel</li> <li>swditms_swj_pad_sel</li> <li>swdo_swj_pad_sel</li> <li>tdo_swj_pad_sel</li> <li>gpio_portb_6_pad_sel</li> <li>gpio_portb_7_pad_sel</li> <li>gpio_portc_5_pad_sel</li> <li>gpio_portc_6_pad_sel</li> <li>gpio_portc_7_pad_sel</li> </ul>
[31:0]	GPIO 复用控制寄存器 REG_PAD_SEL_1	WR	32'h0	<p>GPIO 复用控制寄存器 1, 从高位到低位分别对应如下信号, 这些信号均为 2 位信号</p> <ul style="list-style-type: none"> <li>i2c_0_scl_pad_sel</li> <li>i2c_0_sda_pad_sel</li> <li>i2c_1_scl_pad_sel</li> <li>i2c_1_sda_pad_sel</li> <li>uart_0_rxd_pad_sel</li> <li>uart_0_txd_pad_sel</li> <li>uart_1_rxd_pad_sel</li> <li>uart_1_txd_pad_sel</li> <li>uart_2_rxd_pad_sel</li> <li>uart_2_txd_pad_sel</li> <li>uart_3_rxd_pad_sel</li> <li>uart_3_txd_pad_sel</li> <li>spi_ext_csn2_pad_sel</li> <li>spi_ext_csn3_pad_sel</li> </ul>

				spi_ext_csn0_pad_sel spi_ext_csn1_pad_sel
[31:0]	GPIO 复用控制寄存器 REG_PAD_SEL_2	WR	20'h0	GPIO 复用控制寄存器 2, 从高位到低位分别对应如下信号, 这些信号均为 2 位信号 spi_ext_sck_pad_sel spi_ext_so_pad_sel spi_ext_wp_pad_sel ext_spi_si_pad_sel cru_rst_fsm_0_pad_sel cru_rst_fsm_1_pad_sel cru_rst_fsm_2_pad_sel cru_rst_fsm_3_pad_sel cru_rst_fsm_4_pad_sel ckobv_sel0_pad_sel ckobv_sel1_pad_sel ckobv_sel2_pad_sel ckobv_sel3_pad_sel ckobv_sel4_pad_sel cru_clk_obv_pad_sel all_pll_lock_pad_sel
[17:0]	GPIO 复用控制寄存器 REG_PAD_SEL_3	WR	18'h0	GPIO 复用控制寄存器 2, 从高位到低位分别对应如下信号, 这些信号均为 2 位信号 timer_force_start_pad_sel peu0_linkup_0_pad_sel peu0_linkup_1_pad_sel peu0_c0_clkreq_in_n_pad_sel peu0_c1_clkreq_in_n_pad_sel peu0_c2_clkreq_in_n_pad_sel peu0_c0_clkreq_out_n_pad_sel peu0_c1_clkreq_out_n_pad_sel peu0_c2_clkreq_out_n_pad_sel
[21:0]	GPIO 复用控制寄存器 REG_PAD_SEL	WR	22'h0	GPIO 复用控制寄存器 2, 从高位到低位分别对应如下信号, 这些信号均为 2 位信号 panel4_ctm_ext_event_pad_sel



	_4			panel4_ctm_ext_clrmon_pad_sel panel4_ctm_ext_clrmonRdy_pad_sel panel4_ext_ctm_clrmon_pad_sel panel4_ext_ctm_clrmonRdy_pad_sel panel6_ctm_ext_event_pad_sel panel6_ctm_ext_clrmon_pad_sel panel6_ctm_ext_clrmonRdy_pad_sel panel6_ext_ctm_event_pad_sel panel6_ext_ctm_clrmon_pad_sel panel6_ext_ctm_clrmonRdy_pad_sel
[11:0]	GPIO 复用控制 寄存器 REG_PAD_SEL _5	WR	12'h0	GPIO 复用控制寄存器 2, 从高位到低位分别对应如下信号, 这些信号均为 2 位信号 panel4_ext_ctm_event_pad_sel peu01_phy01_jtag_tdi_pad_sel peu01_phy01_jtag_tms_pad_sel peu01_phy01_jtag_trst_n_pad_sel peu0_phy0_jtag_tdo_pad_sel peu0_phy1_jtag_tdo_pad_sel

上述寄存器中每一个\*\_pad\_sel 域对应一个 pad 的功能选择, 当为 0 时, 选择功能 0, 为 1 时选择功能 1, 依次类推。当选择某种复用功能后, 对应的 GPIO 端口说明如下表所示。

表 2-17 GPIO 复用说明

信号名	功能 0	功能 1	功能 2	功能 3
pad_clk_ref	clk_ref	-	-	-
pad_reset_n	reset_n	-	-	-
pad_por_n	por_n	-	-	-
pad_cru_scan_clk	cru_scan_clk	-	-	-
pad_cru_clk_sel	cru_clk_sel	-	-	-
pad_cru_clk_stop	cru_clk_stop	-	-	-
pad_cru_se	cru_se	-	-	-
pad_cru_si	cru_si	-	-	-
pad_cru_so	cru_so	-	-	-
pad_cru_rst_ok	cru_rst_ok	-	-	-

pad_cru_i2c_sel	cru_sel	-	-	-
pad_cru_i2c_sda	cru_sda	-	-	-
pad_tck	tck	-	-	-
pad_sjtag_tdi	sjtag_tdi	-	-	-
pad_sjtag_tms	sjtag_tms	-	-	-
pad_sjtag_nrst	sjtag_nrst	-	-	-
pad_sjtag_tdo	sjtag_tdo	-	-	-
pad_sjtag_tck	sjtag_tck	-	-	-
pad_force_mb_start	force_mb_start	-	-	DFT_SCAN_EN
pad_hdt_mb_done_state	hdt_mb_done_state	lpc_ext_irq_out_en	-	DFT_SCAN_SET
pad_hdt_mb_fail_state	hdt_mb_fail_state	lpc_ext_lad_out_en	-	DFT_SCAN_RESET
pad_instanceid_0	instanceid_0	-	-	DFT_IPSCAN_BYPASS_MODE
pad_instanceid_1	instanceid_1	-	-	DFT_edt_update
pad_instanceid_2	instanceid_2	-	-	DFT_edt_bypass
pad_nrst_swj	nrst_swj	-	-	DFT_Test_Wrap_Chain_En
pad_tdi_swj	tdi_swj	-	-	DFT_Test_mode0
pad_swditms_swj	swditms_swj	-	-	DFT_Test_mode1
pad_swdo_swj	swdo_swj	-	-	DFT_Test_mode2
pad_tck_swj	tck_swj	-	-	-
pad_tdo_swj	tdo_swj	-	-	DFT_Test_mode3
pad_ckobv_sel[0]	cru_ckobv_sel_0	gpio_porta_0	uart_0_cts_n	noncpu_wrp__wrp__ddr__pwrok
pad_ckobv_sel[1]	cru_ckobv_sel_1	gpio_porta_1	uart_0_dc_d_n	dxe_wrp__peu_in1__ddr__rst
pad_ckobv_sel[2]	cru_ckobv_sel_2	gpio_porta_2	uart_0_ds_r_n	cpu_in1__peu_in2__ddr__preset
pad_ckobv_sel[3]	cru_ckobv_sel_3	gpio_porta_3	uart_0_ri_n	cpu_in2__peu_in3__ddr__psel

pad_ckobv_sel[4]	cru_ckobv_sel_4	gpio_porta_4	uart_0_rts_n	cpu_in3__peu_in4__ddr_penable
pad_cru_clk_obv	cru_clk_obv	gpio_porta_5	uart_0_dtr_n	ncpu_in1__peu_in5__ddr_pwrite
pad_spi_ext_csn[2]	spi_ext_csn2	gpio_porta_6	traceclk_out	ncpu_in2__iou0_in1__ddr_r_CmdCe
pad_spi_ext_csn[3]	spi_ext_csn3	gpio_porta_7	tracectl_out	dx_e_in1__iou0_in2__ddr_CmdUe
pad_i2c_0_scl	i2c_0_scl	gpio_portb_0	tracedata_out_0	dx_e_in2__iou0_in3__ddr_DatCe
pad_i2c_0_sda	i2c_0_sda	gpio_portb_1	tracedata_out_1	dx_e_in3__iou1_in1__ddr_DatSe
pad_i2c_1_scl	i2c_1_scl	gpio_portb_2	tracedata_out_2	dx_e_in4__iou1_in2__ddr_DatUe
pad_i2c_1_sda	i2c_1_sda	gpio_portb_3	tracedata_out_3	dx_e_in5__lmu_in1__ddr_WSI
pad_uart_1_rxd	uart_1_rxd	gpio_portb_4	tracedata_out_4	dx_e_in6__lmu_in2__ddr_WRST
pad_uart_1_txd	uart_1_txd	gpio_portb_5	tracedata_out_5	dlu_in1__ddrTDRCLK
pad_gpio_portb[6]	gpio_portb_6	ext_lpc_irq_n	tracedata_out_6	dlu_in2__ddrCmdSe
pad_gpio_portb[7]	gpio_portb_7	ext_lpc_lad_0	tracedata_out_7	DFT_fix_apb_sel
pad_cru_rst_fsm[0]	cru_rst_fsm_0	gpio_portc_0	tracedata_out_8	CAP_EN__apb_preset_n
pad_cru_rst_fsm[1]	cru_rst_fsm_1	gpio_portc_1	tracedata_out_9	SCAN_MODE__apb_penable
pad_cru_rst_fsm[2]	cru_rst_fsm_2	gpio_portc_2	tracedata_out_10	AC_MODE__apb_pclk
pad_cru_rst_fsm[3]	cru_rst_fsm_3	gpio_portc_3	tracedata_out_11	RAMHOLD__pcie_phy_rst
pad_cru_rst_fsm[4]	cru_rst_fsm_4	gpio_portc_4	tracedata_out_12	AC_SEQ3_EN__pcie_pwr_en

pad_gpio_portc[5]	gpio_portc_5	ext_lpc_lad_1	tracedata_out_13	DFT_MCP_HOLD__apb_write
pad_gpio_portc[6]	gpio_portc_6	ext_lpc_lad_2	tracedata_out_14	DFT_UPDATE_PLL__peu_bs_en
pad_gpio_portc[7]	gpio_portc_7	ext_lpc_lad_3	tracedata_out_15	dxe_out1__peu_out1__1_mu0_DatTdrTdo
pad_peu01_phy01_jtag_tdi	peu01_phy01_jtag_tdi	ext_lpc_ldrq_n	gpio_port_d_0	-
pad_peu01_phy01_jtag_tms	peu01_phy01_jtag_tms	lpc_ext_lframe_n	gpio_port_d_1	-
pad_peu01_phy01_jtag_trst_n	peu01_phy01_jtag_trst_n		gpio_port_d_2	-
pad_peu0_phy0_jtag_ag_tdo	peu0_phy0_jtag_ag_tdo	cru_error_int	gpio_port_d_3	-
pad_peu0_phy1_jtag_ag_tdo	peu0_phy1_jtag_ag_tdo	clk_lpc_rstn_o	gpio_port_d_4	-
pad_uart_0_rxd	uart_0_rxd	-	gpio_port_d_5	dxe_out2__peu_out2__1_mu1_DatTdrTdo
pad_uart_0_txd	uart_0_txd	-	gpio_port_d_6	dxe_out3__peu_out3__1_mu2_DatTdrTdo
pad_uart_2_rxd	uart_2_rxd	-	peu0_c0_clk_obv	dxe_out4__peu_out4__1_mu3_DatTdrTdo
pad_uart_2_txd	uart_2_txd	-	peu0_c1_clk_obv	dxe_out5__peu_out5__1_mu4_DatTdrTdo
pad_uart_3_rxd	uart_3_rxd	-	-	dxe_out6__iou0_out1__1_mu5_DatTdrTdo
pad_uart_3_txd	uart_3_txd	-	-	ncpu0_out1__iou0_out2__lmu6_DatTdrTdo
pad_spi_ext_csn[0]	spi_ext_csn0	-	-	ncpu0_out2__iou0_out3__lmu7_DatTdrTdo
pad_spi_ext_csn[1]	spi_ext_csn1	-	-	ncpu1_out1__iou1_out1
pad_spi_ext_sck	spi_ext_sck	-	-	ncpu1_out2__iou1_out2__pcie_tdoen_x1

pad_spi_ext_so	spi_ext_so	-	-	cpu0_out1__lmu0_out1
pad_spi_ext_wp	spi_ext_wp	-	gpio_port d_7	cpu1_out1__lmu1_out1_ _pcie_tdoen_x16
pad_ext_spi_si	ext_spi_si	-	-	cpu2_out1__lmu2_out1_ _bscan_ext_tdo
pad_clk_lpc_in	clk_lpc_in	-	gpio_port d_5	-
pad_peu0_phy_jtag_tck	peu0_phy_jtag_tck	-	-	-
pad_peu0_linkup[0]	i2c_ahb_scl	peu0_linkup_0	-	cpu3_out1__lmu3_out1_ _pcie_pready
pad_peu0_linkup[1]	i2c_ahb_sda	peu0_linkup_1	-	cpu4_out1__lmu4_out1
pad_peu0_c0_clkreq_in_n	pad_peu0_c0_clkreq_in_n	-	-	cpu5_out1__lmu5_out1
pad_peu0_c1_clkreq_in_n	pad_peu0_c1_clkreq_in_n	-	-	cpu6_out1__lmu6_out1
pad_peu0_c2_clkreq_in_n	pad_peu0_c2_clkreq_in_n	-	-	cpu7_out1__lmu7_out1
pad_peu0_c0_clkreq_out_n	pad_peu0_c0_clkreq_out_n	-	-	cpu0_out2__lmu0_out2
pad_peu0_c1_clkreq_out_n	pad_peu0_c1_clkreq_out_n	-	-	cpu1_out2__lmu1_out2
pad_peu0_c2_clkreq_out_n	pad_peu0_c2_clkreq_out_n	-	-	cpu2_out2__lmu2_out2
pad_all_pll_lock	pad_all_pll_lock	-	-	cpu3_out2__lmu3_out2
pad_panel4_ctm_ext_event	panel4_ctm_ext_event	-	-	cpu4_out2__lmu4_out2
pad_panel4_ctm_ext_clrmon	panel4_ctm_ext_clrmon	-	-	cpu5_out2__lmu5_out2
pad_panel4_ctm_ext_clrmonRdy	tjtag_tdo	panel4_ctm_ext_clrmonRdy	-	cpu6_out2__lmu6_out2
pad_panel4_ext_ct	tjtag_tck	panel4_ext_ctm	-	-

m_event		_event		
pad_panel4_ext_ctm_clrmon	tjtag_rst_n	panel4_ext_ctm_clrmon	-	cpu7_out2__lmu7_out2
pad_panel4_ext_ctm_clrmonRdy	tjtag_tms	panel4_ext_ctm_clrmonRdy	-	cpu0_out3__dlu_out1
pad_panel6_ctm_ext_event	panel6_ctm_ext_event	-	-	cpu1_out3__dlu_out2
pad_panel6_ctm_ext_clrmon	panel6_ctm_ext_clrmon	-	-	cpu2_out3
pad_panel6_ctm_ext_clrmonRdy	panel6_ctm_ext_clrmonRdy	-	-	cpu3_out3
pad_panel6_ext_ctm_event	tjtag_tdi	panel6_ext_ctm_event	-	cpu4_out3
pad_panel6_ext_ctm_clrmon	panel6_ext_ctm_clrmon	-	-	cpu5_out3
pad_panel6_ext_ctm_clrmonRdy	panel6_ext_ctm_clrmonRdy	-	-	cpu6_out3
pad_timer_force_start	timer_force_start	-	-	cpu7_out3
pad_DFT_TEST_CLK1	DFT_TEST_CLK1	-	-	-
pad_DFT_TEST_CLK2	DFT_TEST_CLK2	-	-	-
pad_DFT_TEST_CLK3	DFT_TEST_CLK3	-	-	-
pad_DFT_TEST_CLK4	DFT_TEST_CLK4	-	-	-
pad_DFT_TEST_CLK5	DFT_TEST_CLK5	-	-	-
pad_DFT_TEST_CLK6	DFT_TEST_CLK6	-	-	-
pad_DFT_TEST_CLK7	DFT_TEST_CLK7	-	-	-
pad_DFT_TEST_CLK8	DFT_TEST_CLK8	-	-	-

CLK8	K8			
pad_DFT_TEST_CLK9	DFT_TEST_CLK9	-	-	-
pad_edt_clock	edt_clock_from_pad	-	-	-
pad_TEST_EN	TEST_EN	-	-	-
pad_DFT_TMS	DFT_TMS	-	-	-
pad_DFT_TDI	DFT_TDI	-	-	-
pad_DFT_TRST	DFT_TRST_from_pad	-	-	-
pad_DFT_TDO	DFT_TDO	-	-	-
pad_TEST_TE	TEST_TE	-	-	-
pad_IP_TEST	IP_TEST_from_pad	-	-	-
pad_wrp_clk	wrp_clk	-	-	-
pad_PVM_EN	PVM_EN	-	-	-
pad_PART_EN	PART_EN	-	-	-

腾云 S2500 中，将 GPIO 接口作为双向总线使用，且需要进行电平转换时的 PCB 逻辑设计建议如下：

用作双向总线情况下，在进行总线方向切换时，可能存在电源到地的短路路径，可以在 CPU 或接口芯片间设置 50Ω 保护电阻。

芯片集成 4 组 8 位 GPIO 接口，GPIO\_PORTA\_[0:7]，GPIO\_PORTB\_[0:7]，GPIO\_PORTC\_[0:7]，GPIO\_PORTD\_[0:7]，IO 均有复用功能，使用时需正确配置。

GPIO 的接口描述如表 2-18 所示。

表 2-18 GPIO 接口描述

引脚	信号	I/O	描述
AT48	UART_0_CTS_N/GPIO_PORTA_0	B	
AU50	UART_0_DCD_N/GPIO_PORTA_1	B	

AM47	UART_0_DSR_N/GPIO_PORTA_2	B	
AM49	UART_0_RI_N/GPIO_PORTA_3	B	
AL50	UART_0_RTS_N/GPIO_PORTA_4	B	
AU49	UART_0_DTR_N/GPIO_PORTA_5	B	
BB48	SPI_EXT_CSN[2]/GPIO_PORTA_6	B	
BB47	SPI_EXT_CSN[3]/GPIO_PORTA_7	B	
BC15	I2C_0_SCL/GPIO_PORTB_0	B	
BD15	I2C_0_SDA/GPIO_PORTB_1	B	
M47	I2C_1_SCL/GPIO_PORTB_2	B	
N47	I2C_1_SDA/GPIO_PORTB_3	B	
AN48	UART_1_RXD/GPIO_PORTB_4	B	
AN49	UART_1_TXD/GPIO_PORTB_5	B	
R46	EXT_LPC_IRQ_N/GPIO_PORTB[6]	B	
T46	EXT_LPC_LAD_0/GPIO_PORTB[7]	B	
W14	GPIO_PORTC_0	B	Training 同步
W13	GPIO_PORTC_1	B	Training 同步
W12	GPIO_PORTC_2	B	时钟同步
Y14	GPIO_PORTC_3	B	
AA14	GPIO_PORTC_4	B	
P46	EXT_LPC_LAD_1/GPIO_PORTC[5]	B	
U46	EXT_LPC_LAD_2/GPIO_PORTC[6]	B	
N46	EXT_LPC_LAD_3/GPIO_PORTC[7]	B	
T48	EXT_LPC_LDRQ_N/GPIO_PORTD_0	B	
R49	LPC_EXT_LFRAME_N/GPIO_PORTD_1	B	
R48	GPIO_PORTD_2	B	软关机
U48	GPIO_PORTD_3	B	软关机
P48	CLK_LPC_RSTN_O/GPIO_PORTD_4	B	
AR49	UART_0_RXD/GPIO_PORTD_5	B	



AT49	UART_0_TXD/GPIO_PORTD_6	B	
BA48	SPI_EXT_WP/GPIO_PORTD_7	B	

## 2.10 WDT

腾云 S2500 集成了 2 个 WDT，用于控制超时中断和超时复位的产生。WDT 的计数值来自系统计数器，当 WDT 初始化完成后，计数器第一次超时后产生中断，上报到中断管理模块；第二次超时后产生中断/复位，复位请求上报到时钟复位管理模块。支持喂狗操作，支持 WDT 关断功能。WDT 默认不使能。

## 2.11 保留引脚

保留引脚为非正常功能引脚，保留引脚列表描述方式连接。

表 2-19 保留引脚列表

引脚	信号	I/O	描述
AG14	CRU_CLK_SEL		悬空
AJ14	CRU_CLK_STOP		悬空
AE12	CRU_SCAN_CLK		悬空
AH12	CRU_SE		悬空
AH13	CRU_SI		悬空
AG12	CRU_SO		悬空
BE15	DFT_TDI		悬空
BC12	DFT_TDO		悬空
BF13	DFT_TEST_CLK1		悬空
BH13	DFT_TEST_CLK2		悬空
BG13	DFT_TEST_CLK3		悬空
BD14	DFT_TEST_CLK4		悬空
BC14	DFT_TEST_CLK5		悬空
BE14	DFT_TEST_CLK6		悬空

BF14	DFT_TEST_CLK7		悬空
BH14	DFT_TEST_CLK8		悬空
BG14	DFT_TEST_CLK9		悬空
BF15	DFT_TMS		悬空
BG15	EDT_CLOCK_FROM_PAD		悬空
V49	PEU0_PHY_JTAG_TCK		悬空
AK13	SJTAG_NTRST	I	0 欧姆接地
AK11	SJTAG_TCK		悬空
AJ12	SJTAG_TDI		悬空
AJ13	SJTAG_TDO		悬空
AK12	SJTAG_TMS		悬空
Y13	TCK		悬空
BE13	WRP_CLK		悬空

## 2.12 中断分配说明

中断分配包括 PPI 和 SPI，PPI 已经固定分配好，本节主要说明 SPI 的分配。

### 2.12.1 PPI 中断

PPI 为低电平有效，需要特别注意。

表 2-20 PPI 中断

中断 ID	信号名	含义
31		保留
30	CNTPNSIRQ	非安全的物理定时器
29	CNTPSIRQ	安全的物理定时器
28		保留
27	CNTVIRQ	虚拟定时器
26	CNTHPIRQ	hypervisor 定时器
25	VCPUMNTIRQ	虚拟 CPU 接口管理中断
24	CTIIRQ	CTI 中断
23	PMUIRQ	PMU 溢出中断

22	COMMIRQ	DCC 中断
21		保留
20		保留
19		保留
18		保留
17		保留
16		保留

### 2.12.2 SPI 中断

特别说明：为了保证 SPI 全系统唯一性，每一个 SPI 中断均扩展为 N（N 为 socket 的数量）个，并且从最低位到最高位依次对应 socket0 到 socket7，以 mix\_er\_spi 为例，第 32 号为 socket0 的 mix\_er\_spi，第 33 号为 socket1 的 mix\_er\_spi，依次类推，第 39 号为 socket7 的 mix\_er\_spi。此外，针对 peu0\_mmu\_spi[33:0]，第 200 号~207 号依次对应 socket0 到 socket7 的 peu0\_mmu\_spi[0] 中断，第 208 号~215 号依次对应 socket0 到 socket7 的 peu0\_mmu\_spi[1] 中断，依次类推，第 464 号~471 号依次对应 socket0 到 socket7 的 peu0\_mmu\_spi[33] 中断。

表 2-21 SPI 中断 ID 分配表

中断 ID	信号名	含义	类型
32-39	mix_er_spi	dcm,dlu,lmu 和 peu_er_spi 的或	电平
40-47	mix_fi_spi	dcm,dlu,lmu 和 peu_fi_spi 的或	电平
48-55	vc_irq	事务级调试组件 VC 中断	电平
56-63	lpc_gic_int	收到 lpc 设备串行中断	电平
64-71	uart_0_Intr_irq	串口 0 中断	电平
72-79	uart_1_Intr_irq	串口 1 中断	电平
80-87	I2c_0_Intr_irq	I2c0 中断	电平
88-95	I2c_1_Intr_irq	I2c1 中断	电平
96-103	wdt_0_gic_Intr_irq	看门狗内部计数器计数到零	电平
104-111	wdt_1_gic_Intr_irq	看门狗内部计数器计数到零	电平
112-119	uart_2_Intr_irq	串口 2 中断	电平
120-127	uart_3_Intr_irq	串口 3 中断	电平
128-135	cru_gic_temp_sensor_int	温度传感器超出阈值	电平
136-143	peu01_msg_int_spi	peu 消息中断	电平

14-151	peu01_misc_int_spi	peu 杂散中断	电平
152-159	inta_spi	peu 收到 inta 中断	电平
160-167	intb_spi	peu 收到 intb 中断	电平
168-175	intc_spi	peu 收到 intc 中断	电平
176-183	intd_spi	peu 收到 intd 中断	电平
184-191	peu01_perf_int_spi	peu 的 mmu 性能计数器中断	电平
192-199	msi_spi	走 spi 通道 peu 的 msi 中断	电平
200-471	peu0_mmu_spi[33:0]	peu0 中 mmu 中断	电平
472-743	RSV		
744-831	RSV		

## 3 技术

### 3.1 RAS 设计

#### 3.1.1 错误检测

腾云 S2500 中实现了多种错误检测机制，包括：ECC 校验、奇偶校验、scrub 机制和镜像存储机制。

#### 3.1.2 错误分类

腾云 S2500 中检测到的错误可以分为三类：

- 1) 可纠错误：即可以立即纠正的错误，如 ECC 单位错；
- 2) 不可纠错：即无法纠正的错误，如 ECC 多位错或者奇偶校验错；
- 3) 可延迟错误：一般是不可纠错，但可以暂不处理。如 AXI 响应里面的错误，可以记录但不用立刻上报，由响应带回给发起者去报错。

#### 3.1.3 报错机制

腾云 S2500 实现了 3 种报错机制：错误处理中断（Fault Handling Interrupt）、错误恢复中断（Error Recovery Interrupt）和带内错误报告机制。

### 3.2 直连接口

腾云 S2500 实现了四路直连接口，通过直连接口将多个腾云 S2500 单芯片连接起来，组成一个支持全局数据共享的系统，并且之间可以共享全局内存地址空间。

直连接口实现了高效的直连接口层次结构、高效的一致性直连协议设计、片间直连的可靠性增强技术和片间直连接口的标准化设计。

### 3.3 存储镜像

腾云 S2500 实现了存储镜像，可以控制存储控制器的访存，完成镜像和多级容错功能，进而获得更高的系统可靠性。

### 3.4 多路 cache 一致性协议

腾云 S2500 实现了基于分布式平衡负载目录控制器的多路 cache 一致性协议。

## 4 时钟管理

### 4.1 时钟需求

表 4-1 CPU 参考时钟 CLK\_REF 参数

名称	参数	Min	Max	单位
频率	50MHz			MHz
频差			20	ppm
cycle to cycle jitter			42	ps
上升/下降沿斜率 (10%-90%)		0.6	4	V/ns
高电平		1.4		V
低电平			0.4	V
占空比		47	53	%

表 4-2 直连接口 Serdes 差分输入时钟 REF\_CLK\_M/P

名称	参数	Min	Max	单位	备注
频率	78.125MHz				
占空比		40	60	%	
接收共模电平		0	0.9	V	
接收差分摆幅		300		mVpp	
单端电压		-0.3	1.2	V	
抖动			1.0	ps	Integrated Rj from 12KHz to 20MHz

表 4-3 LPC 参考时钟参数

名称	参数	Min	Max	单位
频率	33MHz			MHz
频差			100	ppm
cycle to cycle jitter			100	ps
上升/下降沿斜率 (10%-90%)		0.6	4	V/ns
高电平		1.4		V
低电平			0.4	V

占空比		45	55	%
-----	--	----	----	---

PCIE 参考时钟为 100MHz, 需满足 PCIE3.0 标准要求, 请参考 *PCI Express® Card Electromechanical [Specification Revision 3.0](#)*

## 5 热设计

### 5.1 散热设计功耗

腾云 S2500 系列产品的散热设计功耗(Thermal Design Power, TDP)，数据如表所示。

表 5-1 腾云 S2500 系列产品 TDP 数据

产品形态	TDP(W)	Tj(°C)
腾云 S2500 64 核商业版	200W	90°C
腾云 S2500 64 核工业级版	200W	90°C

### 5.2 温度控制

腾云 S2500 内部集成 8 个温度传感器，支持单次采样和连续采样两种采样模式。在单次采样模式下，可以配置是否产生采样完成中断。在连续采样模式下可以设置超温阈值，配置是否产生超温中断。处理器核在安全态下可以直接访问 TS 控制器，配置 TS 模式和参数，读取温度值，并根据温度调节频率，控制功耗。BMC 可以通过 I2C 接口来获得温度信息。



## 6 电气特性

### 6.1 极限工作条件

- a) 核心电压 (VDD) : -0.3~0.98V;
- b) 1.2V IO 电压范围 (VDDQ) : -0.3~1.8V;
- c) 1.8V IO 电压范围 (VDDPST\_x) : -0.3~2.0V;
- d) PCIe 模拟电压 (PCIEx\_AVDDCLK、PCIEx\_AVDD) : -0.3~1.5V;
- e) 1.8V 模拟电压 (LMUx\_DDR\_VAA、PCIEx\_AVDDH、AP\_PLL\_xx、VQPS、LMU6\_TS\_VDDA) : -0.3~2.0V。

### 6.2 电源特性

表 6-1 工作电压范围

参数	符号	Min.	Typ.	Max.	单位
内核电源	VDD	0.83	0.85	0.88	V
PLL 数字电源	PLL_VDDPOSTx	0.83	0.85	0.88	V
PCIe 时钟电源	PCIEx_AVDDCLK	0.83	0.85	0.88	V
PCIe 内核电源	PCIEx_AVDD	0.83	0.85	0.88	V
PCIe IO 电源	PCIEx_AVDDH	1.71	1.8	1.89	V
IO 电源	VDDPST_x	1.71	1.8	1.89	V
PLL 模拟电源	AP_PLL_xx	1.71	1.8	1.89	V
熔丝电源	VQPS	1.71	1.8	1.89	V
温度传感器电源	LMU6_TS_VDDA	1.71	1.8	1.89	V
直连接口 IO 电源	VPH	1.71	1.8	1.89	V
DDR PLL 电源	LMUx_DDR_VAA	1.71	1.8	1.89	V
直连接口模拟电源	VP	0.86	0.9	0.99	V
DDR IO 电源	VDDQ	1.14	1.2	1.26	V

表 6-2 电源参数

参数	符号	最大电流值	单位
内核电源	VDD	223	A
DDR IO 电源[1]	VDDQ	10.0	A
DDR PLL 电源	LMUx_DDR_VAA	0.40	A
PCIE 时钟电源	PCIEx_AVDDCLK	0.6	A
PCIE 内核电源	PCIEx_AVDD	1.51	A
PCIE IO 电源	PCIEx_AVDDH	0.35	A
IO 电源	VDDPST_x	0.55	A
PLL 模拟电源	AP_PLL_xx	0.33	A
PLL 数字电源	PLL_VDDPOSTx	0.039	A
熔丝电源	VQPS	0.14	A
温度传感器电源	LMU6_TS_VDDA	0.005	A
直连接口 IO 电源	VPH	1.31	A
直连接口模拟电源	VP	4.34	A

注[1]: 内存电源VDDQ参数仅为CPU电流, 不包含内存颗粒部分, 设计时应根据具体内存情况设计电源。

### 6.3 通用引脚 DC 电气特性

除 DDR、PCIe 和 FIT 专用信号引脚外, 其他信号引脚均为 COMS 结构的通用引脚, 其电气特性如表 6-3 所示, 主要包括输入敏感电压, 输出驱动电压等信息。

表 6-3 通用 pad 引脚电气特性

符号	符号描述	最小值	典型值	最大值	单位
V <sub>tol</sub>	总极限电压	-	-	1.98	V
V <sub>IH</sub>	高电平输入电压	1.17	-	1.98	V
V <sub>IL</sub>	低电平输入电压	-0.3	-	0.69	V
V <sub>OH</sub>	高电平输出电压	1.485	-	VDD	V
V <sub>OL</sub>	低电平输出电压	0	-	0.495	V
I <sub>I</sub>	输入漏电电流	-	-	±10μ	A
I <sub>OZ</sub>	输出 Z 态漏电流	-	-	±10μ	A
I <sub>OL</sub>	低电平输出电流	1.9	-	72.2	mA
I <sub>OH</sub>	高电平输出电流	1.6	-	64.3	mA
	上拉电阻	18k	26k	169k	Ω
	下拉电阻	16k	22k	129k	Ω

## 6.4 DDR4 引脚电气特性

DDR4 引脚指 2.1.1.1 节 DDR4 接口的引脚，其电气特性如下。

表 6-4 DDR4 DC 输入电压

符号	符号描述	最小值	最大值	单位
V <sub>IH_DC</sub>	单端输入高电平 DC	V <sub>ref</sub> +0.02	-	V
V <sub>IL_DC</sub>	单端输入低电平 DC	-	V <sub>ref</sub> -0.02	V
V <sub>ID_DC</sub>	差分信号电平绝对值	0.1	-	V

表 6-5 DDR4 AC 输入电压

符号	符号描述	最小值	最大值	单位
V <sub>refac_err</sub>	参考电压误差范围	-0.25%	+0.25%	VDDQ
V <sub>IH_ACLS</sub>	单端输入高电平 AC	V <sub>ref</sub> +0.07	VDDQ+0.15	V
V <sub>IL_ACLS</sub>	单端输入低电平 AC	-0.15	V <sub>ref</sub> -0.07	V
V <sub>IH_ACHS</sub>	高速单端输入高电平 AC	V <sub>ref</sub> +0.07	VDDQ+0.44	V
V <sub>IL_ACHS</sub>	高速单端输入低电平 AC	-0.44	V <sub>ref</sub> -0.07	V
V <sub>ix</sub>	DDR3 差分信号电平	V <sub>dqsavg</sub> -75	V <sub>dqsavg</sub> +75	mV

表 6-6 DDR4 输出电压

符号	符号描述	最小值	最大值	单位
V <sub>OH</sub>	输出高电平	0.8*VDDQ	-	V
V <sub>OL</sub>	输出低电平	-	0.2*VDDQ	V

表 6-7 参考电阻说明

引脚	最大负载	参考阻值
LMU*_BP_ZN	< 100 pf	240 欧±1%

DIE\*\_LMU\*\_BP\_ZN 最大负载不超过 100 pf。

DIE\*\_LMU\*\_BP\_ZN 匹配阻值为 240 欧±1%。此电阻不宜过大，比如增加 6 欧姆  
 将把 ODT 40 欧姆调整成 41 欧姆。

## 6.5 PCIE 引脚电气特性

PCIE 引脚指 2.1.1.2 节所描述的 PCIE 接口引脚，其电气特性如下。

表 6-8 PCIE 引脚电气特性

信号	描述	最小值	典型值	最大值	单位
PEU0_LINKUP0	PCIE 控制器的 linkup0 信号	如表 6-2	如表 6-2	如表 6-2	V
PEU0_LINKUP1	PCIE 控制器的 linkup1 信号	如表 6-2	如表 6-2	如表 6-2	V
PEU0_X16_TXP0~15	PEU0 X16 PMA lane0~15 发送器串行数据	如表 6-9	如表 6-9	如表 6-9	V
PEU0_X16_TXN0~15	PEU0 X16 PMA lane0~15 发送器串行数据	如表 6-9	如表 6-9	如表 6-9	V
PEU0_X1_TXP	PEU0 X1 PMA lane0 发送器串行数据	如表 6-9	如表 6-9	如表 6-9	V
PEU0_X1_TXN	PEU0 X1 PMA lane0 发送器串行数据	如表 6-9	如表 6-9	如表 6-9	V
PEU0_X16_RXP0~15	PEU0 X16 PMA lane0~15 接收器串行数据	如表 6-10	如表 6-10	如表 6-10	V
PEU0_X16_RXN0~15	PEU0 X16 PMA lane0~15 接收器串行数据	如表 6-10	如表 6-10	如表 6-10	V
PEU0_X1_RXP	PEU0 X1 PMA lane0 接收器串行数据	如表 6-10	如表 6-10	如表 6-10	V
PEU0_X1_RXN	PEU0 X1 PMA lane0 接收器串行数据	如表 6-10	如表 6-10	如表 6-10	V
PEU0_X1_REFCLKP	PEU0 X1 外部参考时钟	如表 6-11	如表 6-11	如表 6-11	MHz
PEU0_X1_REFCLKN	PEU0 X1 外部参考时钟	如表 6-11	如表 6-11	如表 6-11	MHz
PEU0_X16_REFCLKP	PEU0 X16 外部参考时钟	如表 6-11	如表 6-11	如表 6-11	MHz
PEU0_X16_REFCLKN	PEU0 X16 外部参考时钟	如表 6-11	如表 6-11	如表 6-11	MHz

PEU0_CLKREQ	PEU0 此输入必须连接到共享 CLKREQ#bus, 使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	如表 6-2	如表 6-2	如表 6-2	V
PEU0_X1_ATB0	PEU0 X1 PMA 模拟测试总线	NC 悬空	NC 悬空	NC 悬空	
PEU0_X1_ATB1	PEU0 X1 PMA 模拟测试总线	NC 悬空	NC 悬空	NC 悬空	
PEU0_X16_ATB0	PEU0 X16 PMA 模拟测试总线	NC 悬空	NC 悬空	NC 悬空	
PEU0_X16_ATB1	PEU0 X16 PMA 模拟测试总线	NC 悬空	NC 悬空	NC 悬空	
PEU0_X1_REXT	PEU0 X1 PMA 外部校准电阻	如表 6-12	如表 6-12	如表 6-12	$\Omega$
PEU0_X16_REXT	PEU0 X16 PMA 外部校准电阻	如表 6-12	如表 6-12	如表 6-12	$\Omega$

### 6.5.1 发送模块电气特性

表 6-9 发送模块电气特性

名称	最小	典型	最大	单位	描述
V <sub>TX_out_normal_mode</sub>	0.8		1.2	V	正常模式下的输出电压峰峰值。
V <sub>TX_out_low_power_mode</sub>	0.4		1.2	V	低功耗模式下的输出电压峰峰值。
Z <sub>TX_cal</sub>	80	100	120	$\Omega$	正常模式时, 校准后的差分驱动阻抗。
Z <sub>TX_PD</sub>	9K			$\Omega$	设置输出为高阻时的阻抗。
T <sub>TRANSITION</sub>	25		40	ps	20%-80%转换时间。

### 6.5.2 接收模块电气特性

表 6-10 接收模块电气特性

名称	最小	典型	最大	单位	描述
Z <sub>RX_cal</sub>	40	50	60	$\Omega$	正常模式下, 校准后的接收端阻抗 (单端)
Z <sub>RX_PD_POS</sub>	10K(0~200mV) 20K(>200mV)			$\Omega$ $\Omega$	复位或关电期间, 直流共模输入阻抗
Z <sub>RX_PD_NEG</sub>	1K(<0V)			$\Omega$	复位或关电期间, 直流共模输入阻抗
Z <sub>RX_PD_POS</sub> PCIe GEN 3		62.5		ps	单位间隔

### 6.5.3 公共模块电气特性

表 6-11 公共模块电气特性

名称	最小	典型	最大	单位	描述
$F_{\text{REFEXT\_PCIe\_SSC}}$	99.97	100	100.03	MHz	扩频时钟模式下, PCIe 参考时钟频率
$F_{\text{REFEXT\_PCIe}}$	19.1942	19.2	19.2058	MHz	无扩频模式下, PCIe 参考时钟频率
	23.9928	24.0	24.0072	MHz	
	24.9925	25.0	25.0075	MHz	
	97.9700	100	100.030	MHz	

### 6.5.4 校准外接电阻参考说明

表 6-12 校准外接电阻参考说明

名称	最小	典型	最大	单位	描述
$R_{\text{CMNREXT}}$	2.98	3.01	3.04	k $\Omega$	外接电阻阻值要求
$C_{\text{CMNREXT}}$			10	pF	$R_{\text{CMNREXT}}$ 节点最大寄生电容
$V_{\text{CMNREXT}}$	583	599.8	616	mV	$R_{\text{CMNREXT}}$ 节点电压 (仅在 R 处于校准期间)

## 7 封装特性说明

### 7.1 封装尺寸

腾云 S2500 的封装机械尺寸图如图 7.1 所示。

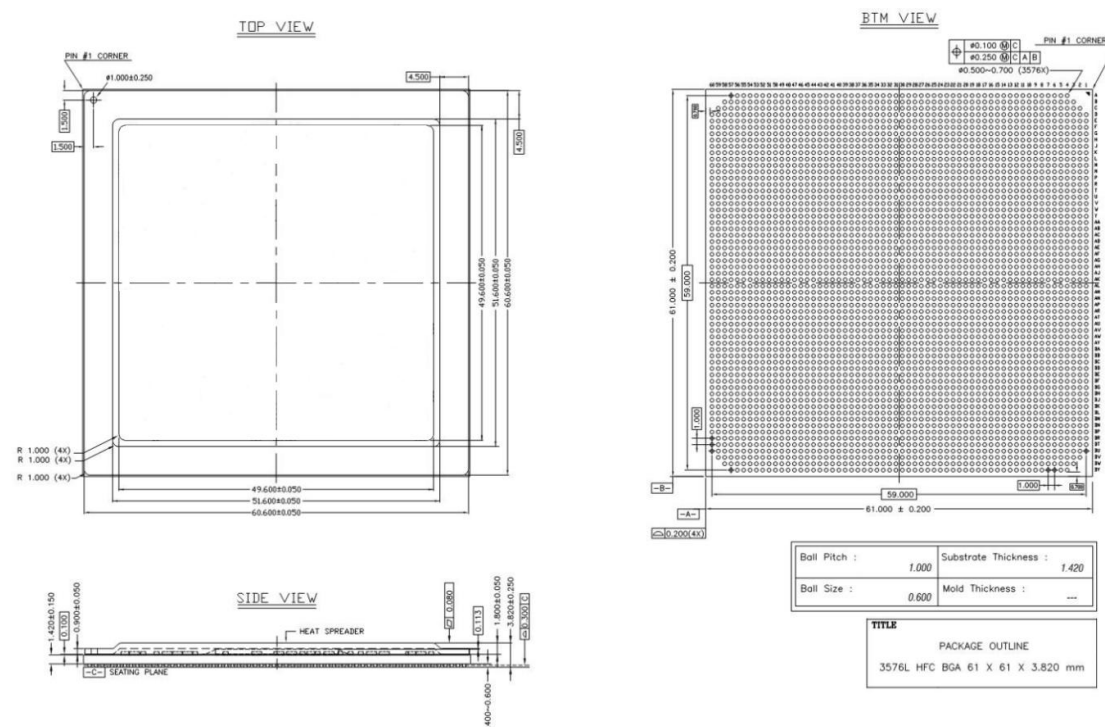


图 7.1 封装尺寸

表 7-1 CPU 封装尺寸表

名称	符号	封装尺寸		
		最小/mm	公称/mm	最大/mm
总厚度	A	3.596	3.846	4.096
球高度	A1	0.400	----	0.600
基板厚度	A2	1.446		REF
外壳尺寸	E	61.000		BSC
	D	61.000		BSC
球直径			0.600	
球宽度	b	0.500	----	0.700
球间距	e	1.000		BSC
球数	n		3576	
边球中心到中 心	E1	59.000		BSC
	D1	59.000		BSC
边缘公差	aaa		0.200	
顶部平行度	ccc		0.350	

平面性	ddd	0.300
球偏移量 (package)	eee	0.250
球偏移量 (ball)	fff	0.100

## 7.2 扣合力

最大 57Kg。

## 7.3 信号位置分布

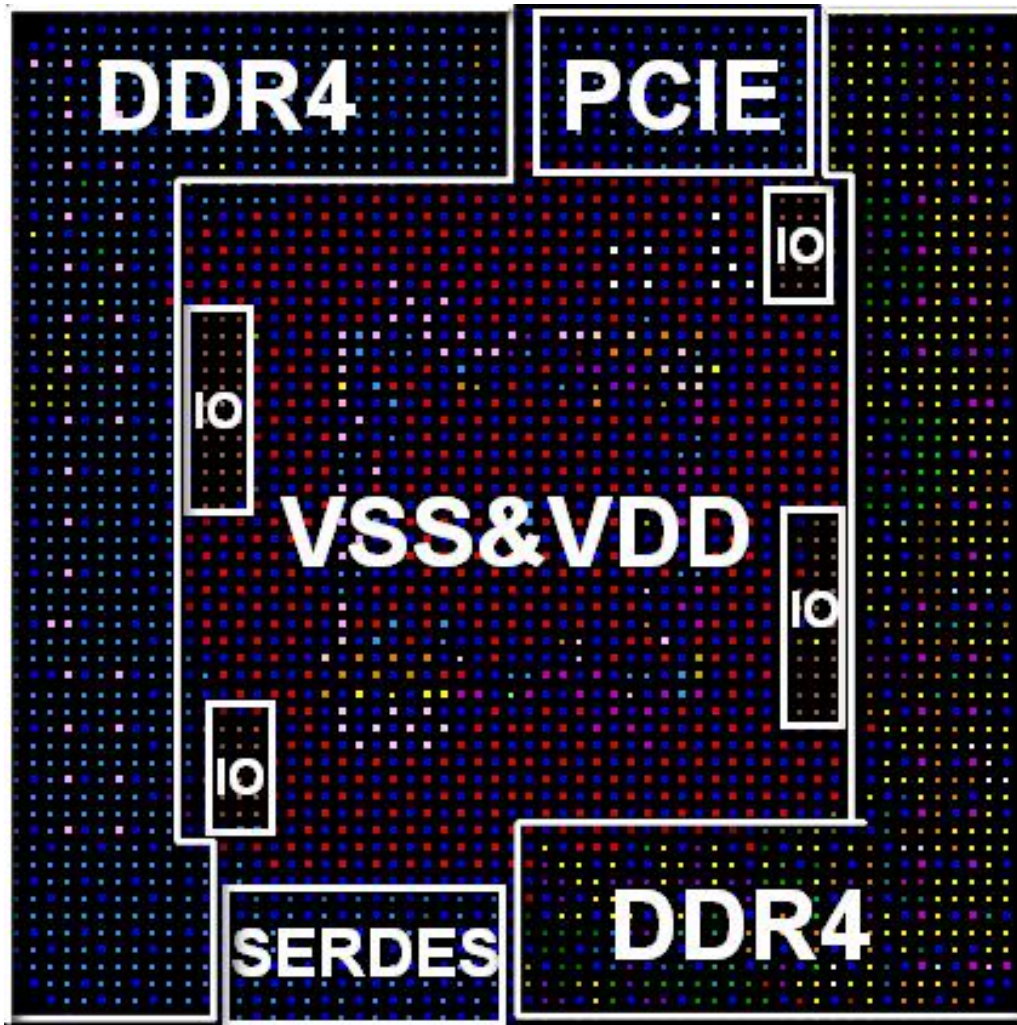


图 7.2 BGA MAP 分布图



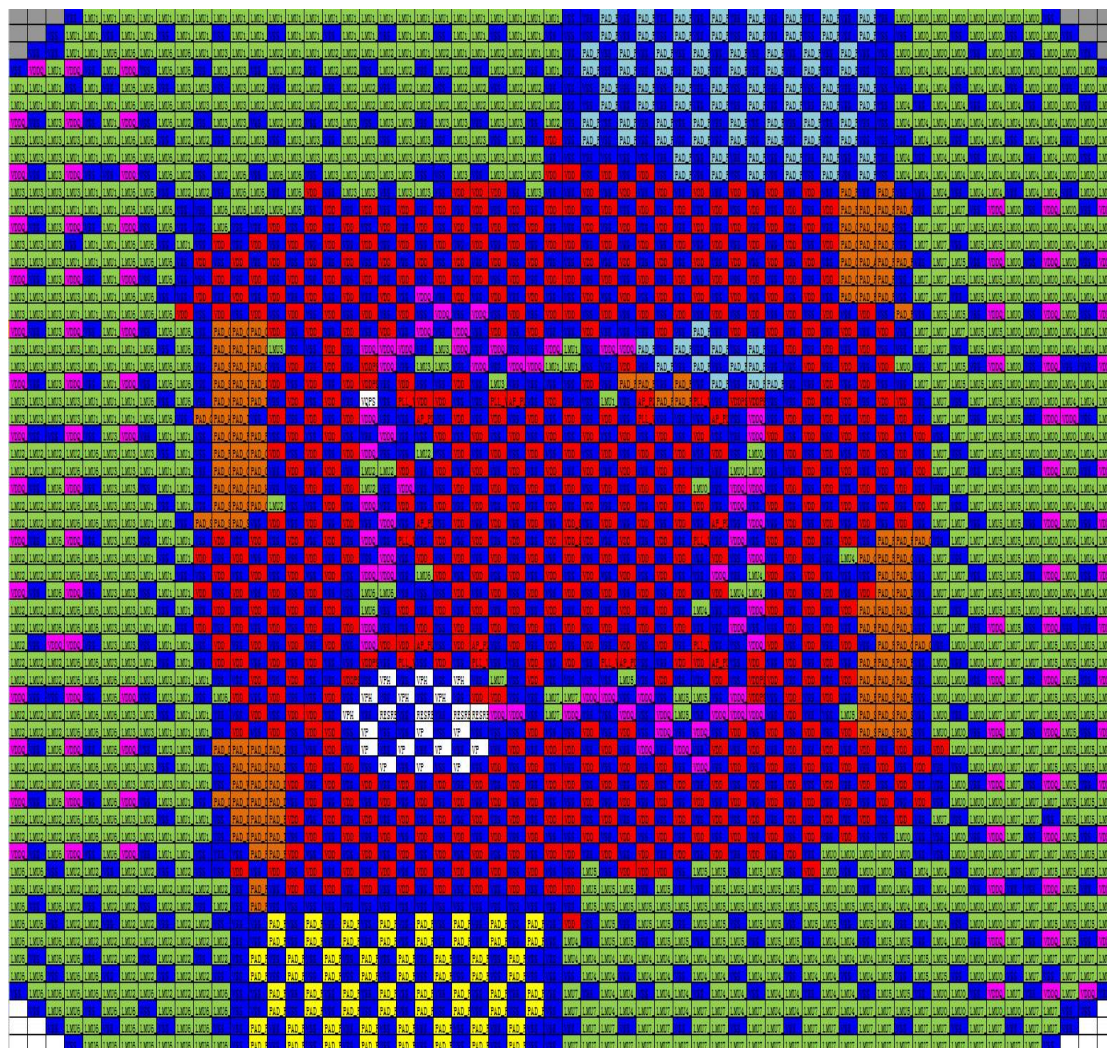


图 7.3 BGA MAP 结构图

芯片 BALL 采用 SAC305 Sn/3Ag/0.5Cu (3%银+0.5%铜+96.5%锡) 焊球, 焊接时必须采用无铅焊膏。

#### 7.4 无铅焊接温度曲线中各温区的作用

采用德国 ERSA 公司制造的 Hotflow11 回流焊炉和 Sensor Shuttle 温度传感器进行测试点温度采集, 最终得到一条如图 7-4 所示的适应于无铅焊料的温度曲线。

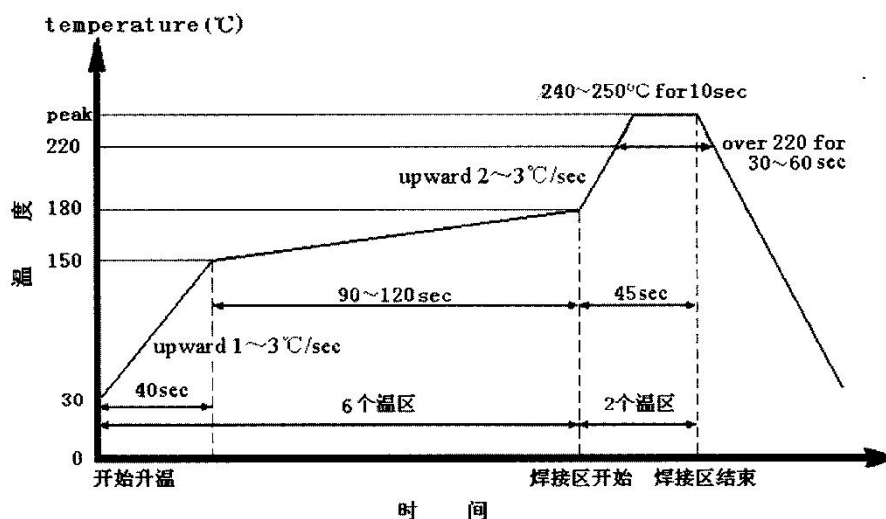


图 7.4 无铅回流焊接曲线

该温度曲线分为五个部分：

(1) 第一升温区：将 PCB 及元器件从室温加热到 150℃。在这个区，由于受基板材料与元件的限制，PCB 及元器件应以 1~3℃/Sec 的速率连续上升，最理想为接近 2℃/Sec，温度升得太快，会对元件造成热冲击或导致 PCB 变形。此时焊膏中的溶剂、气体开始蒸发，同时，焊膏中的助焊剂润湿焊盘、元器件端子和引脚，焊膏软化、塌落、覆盖焊盘、元器件端子和引脚并与氧气隔离。整个升温过程持续 40Sec 左右。

(2) 预热区，又称保温区：温度从 150℃ 上升到 180℃，PCB 和元器件得到充分的预热，以防突然进入焊接高温区而损坏 PCB 和元器件，保温区热风温度不变，PCB 和元器件依靠传热温度自然升高 30℃ 左右，它的主要功能是提供足够的热能，令焊膏中的助焊剂开始活化，将金属氧化物和某些污染从焊盘、元件引脚和焊膏金属颗粒上清除，与此同时，挥发性的溶剂和水汽从焊膏中挥发。整个过程持续 90~120Sec（因不同种类焊膏而异）。预热时间不足或过长皆都会导致后期焊锡球的产生。

(3) 第二升温区：温度从 180℃ 上升到无铅焊料的熔点 217℃ 以上，这个区是助焊剂活动的高峰期，于焊接前做最后的氧化分解，一般时间 20~30Sec，尽量靠近 20Sec。时间过长会使助焊剂中的松香过早耗尽引起再氧化，令焊接不良或产生焊锡球。

(4) 焊接区：温度从 220℃ 至峰值温度再回到 220℃，升温速率 2~3℃/Sec。在这个区焊膏中的金属颗粒首先单独熔化，并覆盖在金属表面上。当单个的金属颗粒全部熔化后，液态焊锡对 PCB 的焊盘、元器件端头和引脚润湿、扩散、漫

流或回流混合形成焊锡接点。峰值温度的设定一般为焊膏熔点加上  $30^{\circ}\text{C}$ 。这个区域的时间为一般为  $30\sim 60\text{s}$ （实际焊接时最好  $60\text{s}\sim 90\text{s}$ ），视元件大小不同而不同。假如这个区的温度设得太高，会使温升速率超过  $2\sim 3^{\circ}\text{C}/\text{Sec}$ ，或达到的峰值温度比理想的高，会引起 PCB 的过分变形，并损坏元器件。

（5）冷却区：焊料凝固，形成平滑光亮的焊点。冷却速率  $4\sim 5^{\circ}\text{C}/\text{Sec}$ ，较快的冷却速率可得到较细的颗粒结构和较强的焊接强度与较亮的焊点。但太快会引起元件内部的热应力。

## 8 产品标识



图 8.1 Marking 说明

表 8-1 丝印说明

Note 1	Pin 点	
Note 2	公司 LOGO	
Note 3	芯片名称	
Note 4	B3576	封装球数
	X	C: 商业版; I: 工业版
	mm	区分核数
	nn	区分细分型号
Note 5	芯片生产批次	