

PHYTIUM 飞腾

# FT-2000A/2 高性能通用 微处理器数据手册

(V1.12)

2020 年 1 月

天津飞腾信息技术有限公司

[www.phytium.com.cn](http://www.phytium.com.cn)

版权所有© 天津飞腾信息技术有限公司 2020

此文档用于指导用户的相关应用和开发工作。天津飞腾信息技术有限公司对此文档内容拥有版权，并受法律保护





## 目录

<b>1 简介 .....</b>	<b>1</b>
1.1 技术指标.....	1
1.2 功耗.....	1
1.3 功能框图.....	2
1.4 封装.....	2
1.5 相关文档.....	2
<b>2 接口说明 .....</b>	<b>3</b>
2.1 接口信号说明.....	3
2.1.1 引脚列表.....	3
2.1.2 复用引脚说明.....	32
2.2 DDR3 SDRAM 接口 .....	33
2.2.1 DDR3 SDRAM 接口信号说明 .....	33
2.2.2 DDR3 SDRAM 接口电特性 .....	34
2.3 PCIe 接口.....	36
2.3.1 PCIe 接口信号说明 .....	37
2.3.2 PCIe 接口电特性 .....	37
2.4 千兆以太网(RGMII)接口 .....	37
2.4.1 RGMII 接口信号说明 .....	37
2.4.2 RGMII 接口电特性 .....	37
2.5 DMAC 接口.....	39
2.5.1 DMAC 接口信号说明 .....	39
2.6 LBC 接口.....	40
2.6.1 LBC 接口信号说明 .....	40
2.6.2 LBC 接口电特性 .....	42
2.7 SPI 接口.....	44
2.7.1 SPI 接口信号说明 .....	44

2.7.2	SPI 接口电特性 .....	45
2.8	UART 接口 .....	45
2.8.1	UART 接口信号说明 .....	45
2.8.2	UART 接口电特性 .....	45
2.9	LPC 接口 .....	46
2.9.1	LPC 接口信号说明 .....	46
2.9.2	LPC 接口电特性 .....	46
2.10	I2C 接口 .....	47
2.10.1	I2C 接口信号说明 .....	47
2.10.2	I2C 接口电特性 .....	47
2.11	GPIO 接口 .....	49
2.11.1	GPIO 接口信号说明 .....	49
2.11.2	GPIO 接口电特性 .....	49
2.12	WDT .....	50
<b>3</b>	<b>时钟管理 .....</b>	<b>51</b>
3.1	时钟需求 .....	51
<b>4</b>	<b>电源管理 .....</b>	<b>52</b>
4.1	电源参数 .....	52
<b>5</b>	<b>电气特性 .....</b>	<b>53</b>
5.1	极限工作条件 .....	53
5.2	典型工作参数 .....	53
<b>6</b>	<b>封装特性说明 .....</b>	<b>54</b>
6.1	封装尺寸 .....	54
6.2	信号位置分布 .....	54

## 图目录

图 1.1	FT-2000A/2 功能框图.....	2
图 2.1	FT-2000A/2 处理器接口信号框图.....	3
图 2.2	DDR3 SDRAM 控制器输出时钟.....	35
图 2.3	DDR3 SDRAM 读时序举例.....	35
图 2.4	DDR3 SDRAM 写时序举例.....	36
图 2.5	单端信号斜率 $SRQ_{se} = [VOH(AC) - VOL(AC)] / \Delta TR_{se}$ .....	36
图 2.6	差分信号斜率 $SRQ_{diff} = [VOH_{diff}(AC) - VOL_{diff}(AC)] / \Delta TR_{diff}$ .....	36
图 2.7	命令和地址时序.....	36
图 2.8	MDIO 写操作时序.....	38
图 2.9	MDIO 读操作.....	39
图 2.10	RGMII 发送通道时序.....	39
图 2.11	RGMII 接收通道时序.....	39
图 2.12	局部总线与 GPCM 设备的 Byte 接口.....	41
图 2.13	局部总线与 GPCM 设备的 Word 接口.....	42
图 2.14	GPCM 基本写时序.....	43
图 2.15	GPCM 基本读时序.....	43
图 2.16	UPM 写时序.....	44
图 2.17	UPM 读时序.....	44
图 2.18	SPI 时序图.....	45
图 2.19	UART 时序图.....	46
图 2.20	LPC 基本时序.....	47
图 2.21	I2C 接收时序.....	49
图 2.22	I2C 发送时序.....	49
图 2.23	GPIO 开关特性图.....	50
图 6.1	塑料封装外形尺寸.....	54

图 6.2 BGA MAP 结构图.....	55
------------------------	----

## 表目录

表 2-1 DDR3 SDRAM 引脚.....	3
表 2-2 通用 IO 类引脚.....	7
表 2-3 PCIe 引脚.....	13
表 2-4 电源引脚.....	14
表 2-5 保留引脚.....	31
表 2-6 引脚复用表.....	32
表 2-7 DDR3 SDRAM 接口电特性.....	34
表 2-8 PCIe 接口电特性.....	37
表 2-9 RGMII 接口电特性.....	38
表 2-10 片选对应管脚.....	41
表 2-11 LBC 接口电特性.....	42
表 2-12 SPI 接口电特性.....	45
表 2-13 UART 接口电特性.....	45
表 2-14 I2C 接口电特性.....	47
表 2-15 GPIO 接口电特性.....	49
表 3-1 时钟需求.....	51
表 4-1 电压种类及要求表.....	52
表 6-1 塑料封装外形尺寸.....	54

## 1 简介

FT-2000A/2 嵌入式微处理器，兼容 ARM v8 指令系统，主频达到 1GHz，集成多种 I/O 接口，工业级工作温度范围是 -40~85°C。可应用于多种嵌入式计算机，以及网络设备等通用信息系统。

### 1.1 技术指标

FT-2000A/2 的主要技术指标如下：

#### 1) 功能指标

- 兼容 ARM v8 64 位指令系统；
- 支持 32 位指令模式；
- 支持单精度、双精度浮点运算指令；
- 处理能力  $\geq 2800\text{MIPS}$ （最高频率）
- 支持向量处理指令。

#### 2) 结构指标

- 集成 32KB 的一级指令 Cache 和 32KB 的一级数据 Cache；
- 集成 1MB 的二级 Cache；
- 集成 1 个 DDR3 存储接口，最高速率 800MT/s；
- 集成 1 个 X8 PCIe 2.0 接口，可以拆分成两个 X4 PCIe 2.0 接口；
- 集成 2 个 10/100/1000 自适应以太网接口（RGMII）；
- 集成 1 个局部总线接口（LBC）；
- 集成 1 个 LPC 接口；
- 集成可编程中断控制器、I2C、UART、SPI 和 GPIO 接口等慢速接口。

### 1.2 功耗

- 单核典型功耗 5W；



- 双核典型功耗 8W。

### 1.3 功能框图

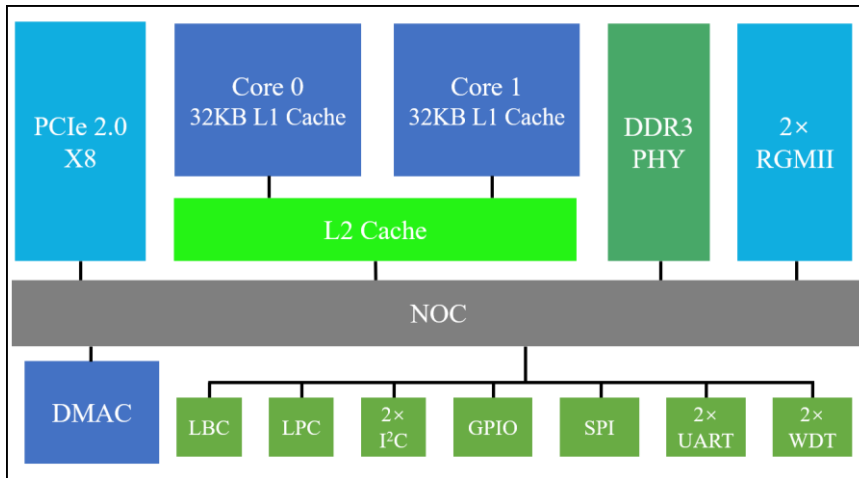


图 1.1 FT-2000A/2 功能框图

### 1.4 封装

FT-2000A/2 采用 896 引出端塑料倒装焊球栅阵列（FC-PBGA）封装，外形尺寸按 GB/T 7092 的规定。

### 1.5 相关文档

- 1、FT-2000A/2 硬件设计手册
- 2、FT-2000A/2 软件编程手册

## 2 接口说明

### 2.1 接口信号说明

FT-2000A/2 的接口信号简图如图 2.1 所示。

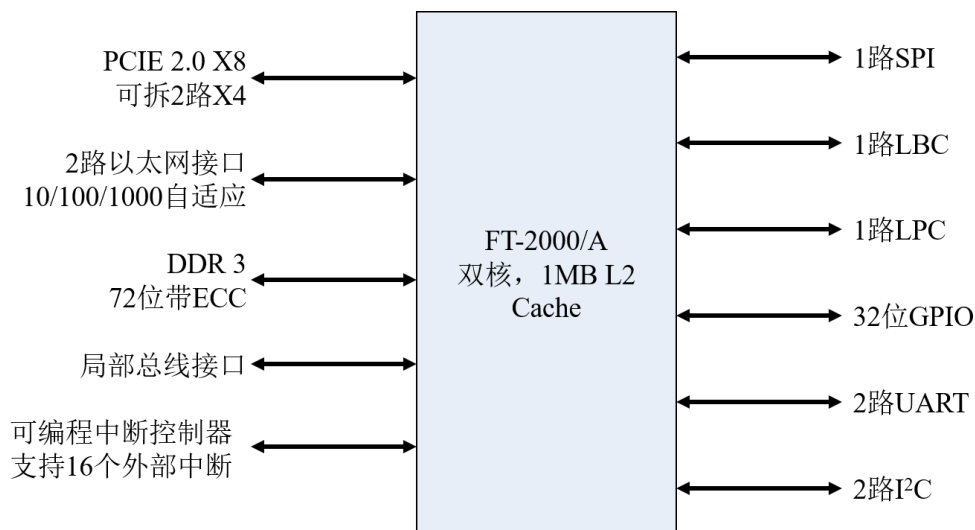


图 2.1 FT-2000A/2 处理器接口信号框图

#### 2.1.1 引脚列表

##### 2.1.1.1 DDR3 SDRAM 引脚

表 2-1 DDR3 SDRAM 引脚

信号名	引脚编号	信号类型	功能说明
mem_address[0]	D6	O	地址
mem_address[1]	A10	O	地址
mem_address[2]	B10	O	地址
mem_address[3]	B11	O	地址
mem_address[4]	A11	O	地址
mem_address[5]	E9	O	地址
mem_address[6]	D9	O	地址
mem_address[7]	B12	O	地址
mem_address[8]	E10	O	地址
mem_address[9]	A12	O	地址
mem_address[10]	B7	O	地址
mem_address[11]	D10	O	地址
mem_address[12]	E11	O	地址
mem_address[13]	B4	O	地址
mem_address[14]	B13	O	地址
mem_address[15]	D13	O	地址

mem_bank[0]	D5	O	Bank 地址
mem_bank[1]	A7	O	Bank 地址
mem_bank[2]	E13	O	Bank 地址
mem_cas_n	A5	O	列指令
mem_cke[0]	B14	O	时钟使能
mem_cke[1]	E14	O	时钟使能
mem_cke[2]	A13	O	时钟使能
mem_cke[3]	A14	O	时钟使能
mem_clk[0]	A9	O	时钟
mem_clk[1]	D8	O	时钟
mem_clk[2]	D7	O	时钟
mem_clk[3]	A8	O	时钟
mem_clk_n[0]	B9	O	时钟
mem_clk_n[1]	E8	O	时钟
mem_clk_n[2]	E7	O	时钟
mem_clk_n[3]	B8	O	时钟
mem_cs_n[0]	B6	O	片选
mem_cs_n[1]	D4	O	片选
mem_cs_n[2]	B2	O	片选
mem_cs_n[3]	B3	O	片选
mem_data[0]	G29	I/O	数据
mem_data[1]	H29	I/O	数据
mem_data[2]	H30	I/O	数据
mem_data[3]	G30	I/O	数据
mem_data[4]	D30	I/O	数据
mem_data[5]	C30	I/O	数据
mem_data[6]	B30	I/O	数据
mem_data[7]	C29	I/O	数据
mem_data[8]	D27	I/O	数据
mem_data[9]	E27	I/O	数据
mem_data[10]	D28	I/O	数据
mem_data[11]	E26	I/O	数据
mem_data[12]	E24	I/O	数据
mem_data[13]	E23	I/O	数据
mem_data[14]	D24	I/O	数据
mem_data[15]	D23	I/O	数据
mem_data[16]	B27	I/O	数据
mem_data[17]	B28	I/O	数据
mem_data[18]	A27	I/O	数据
mem_data[19]	A28	I/O	数据
mem_data[20]	B24	I/O	数据
mem_data[21]	B23	I/O	数据

mem_data[22]	A24	I/O	数据
mem_data[23]	A23	I/O	数据
mem_data[24]	E20	I/O	数据
mem_data[25]	E21	I/O	数据
mem_data[26]	D21	I/O	数据
mem_data[27]	D20	I/O	数据
mem_data[28]	E17	I/O	数据
mem_data[29]	D16	I/O	数据
mem_data[30]	D17	I/O	数据
mem_data[31]	E16	I/O	数据
mem_data[32]	L2	I/O	数据
mem_data[33]	K1	I/O	数据
mem_data[34]	K2	I/O	数据
mem_data[35]	L1	I/O	数据
mem_data[36]	P1	I/O	数据
mem_data[37]	P2	I/O	数据
mem_data[38]	R1	I/O	数据
mem_data[39]	R2	I/O	数据
mem_data[40]	G4	I/O	数据
mem_data[41]	G5	I/O	数据
mem_data[42]	F4	I/O	数据
mem_data[43]	H5	I/O	数据
mem_data[44]	K5	I/O	数据
mem_data[45]	L5	I/O	数据
mem_data[46]	K4	I/O	数据
mem_data[47]	L4	I/O	数据
mem_data[48]	D2	I/O	数据
mem_data[49]	D1	I/O	数据
mem_data[50]	C1	I/O	数据
mem_data[51]	E1	I/O	数据
mem_data[52]	G2	I/O	数据
mem_data[53]	G1	I/O	数据
mem_data[54]	H2	I/O	数据
mem_data[55]	H1	I/O	数据
mem_data[56]	P4	I/O	数据
mem_data[57]	N5	I/O	数据
mem_data[58]	P5	I/O	数据
mem_data[59]	R5	I/O	数据
mem_data[60]	U4	I/O	数据
mem_data[61]	V4	I/O	数据
mem_data[62]	U5	I/O	数据
mem_data[63]	V5	I/O	数据

mem_data[64]	B20	I/O	数据
mem_data[65]	B21	I/O	数据
mem_data[66]	A20	I/O	数据
mem_data[67]	A19	I/O	数据
mem_data[68]	A17	I/O	数据
mem_data[69]	B17	I/O	数据
mem_data[70]	A16	I/O	数据
mem_data[71]	B16	I/O	数据
mem_dm[0]	F30	I/O	数据模板
mem_dm[1]	D26	I/O	数据模板
mem_dm[2]	A26	I/O	数据模板
mem_dm[3]	D19	I/O	数据模板
mem_dm[4]	M1	I/O	数据模板
mem_dm[5]	H4	I/O	数据模板
mem_dm[6]	E2	I/O	数据模板
mem_dm[7]	R4	I/O	数据模板
mem_dm[8]	B19	I/O	数据模板
mem_dqs_m[0]	E29	I/O	数据选通
mem_dqs_m[1]	D25	I/O	数据选通
mem_dqs_m[2]	B25	I/O	数据选通
mem_dqs_m[3]	D18	I/O	数据选通
mem_dqs_m[4]	N2	I/O	数据选通
mem_dqs_m[5]	J4	I/O	数据选通
mem_dqs_m[6]	F1	I/O	数据选通
mem_dqs_m[7]	T5	I/O	数据选通
mem_dqs_m[8]	A18	I/O	数据选通
mem_dqs_p[0]	E30	I/O	数据选通
mem_dqs_p[1]	E25	I/O	数据选通
mem_dqs_p[2]	A25	I/O	数据选通
mem_dqs_p[3]	E18	I/O	数据选通
mem_dqs_p[4]	N1	I/O	数据选通
mem_dqs_p[5]	J5	I/O	数据选通
mem_dqs_p[6]	F2	I/O	数据选通
mem_dqs_p[7]	T4	I/O	数据选通
mem_dqs_p[8]	B18	I/O	数据选通
mem_odt[0]	B5	O	终端配置电阻
mem_odt[1]	A3	O	终端配置电阻
mem_odt[2]	A4	O	终端配置电阻
mem_odt[3]	A2	O	终端配置电阻
MEM_PARITY_ERROR[0]	D11	I	奇偶校验
MEM_PARITY_ERROR[1]	E12	I	奇偶校验
MEM_PARITY_ERROR[2]	D12	I	奇偶校验

MEM_PARITY_ERROR[3]	F13	I	奇偶校验
mem_parity_in	E6	O	纠错
mem_ras_n	A6	O	行指令
mem_reset_n	D14	O	复位
mem_we_n	E5	O	读写指令

### 2.1.1.2 通用 IO 类引脚

表 2-2 通用 IO 类引脚

信号名	引脚编号	信号类型	功能说明
shutdown	AE29	O	在所有两个处理器核的电源都关断后，通知板级管理模块可以关断整个 CPU 的电源
clk_ref	AK19	I	50MHz 参考时钟
ddr_phy_jtag_test	Y26	I	功能模式下拉
spi_lbc_select	AG27	I	复位后选择从 spi 启动（置 0）或从 lbc 启动（置 1）
por_n	AG26	I	上电复位信号，低有效
reset_n	AG21	I	硬件热复位信号，低有效
cru_dti_rst_ok	AG25	O	复位完成信号
clk_lpc	AG24	I	33MHz 的 LPC 工作时钟
cru_scl	AF20	I	调试 i2c scl, slave
cru_sda	AG20	B	调试 i2c sda, slave
dmac_c0_dreq_n	AK5	I	dmac channel0 外部控制传输请求信号
dmac_c0_dack_n	AK6	O	dmac channel0 外部控制传输应答信号
dmac_c0_ddone_n	AJ5	O	dmac channel0 外部控制传输完成信号
dmac_c1_dreq_n	AJ6	I	dmac channel1 外部控制传输请求信号
dmac_c1_dack_n	AK7	O	dmac channel1 外部控制传输应答信号
dmac_c1_ddone_n	AJ7	O	dmac channel1 外部控制传输完成信号
ieu_errint	V30	O	硬件不可修复故障的输出信号
gvp_trig_out	W29	IO	内部观察逻辑的触发输出，或者外部中断输入信号 4，依赖于管脚复用配置
gvp_obv_out[0]	W30	IO	内部观察逻辑的数据位 0 输出，或者外部中断输入信号 5，依赖于管脚复用配置
gvp_obv_out[1]	Y29	IO	内部观察逻辑的数据位 1 输出，或者外部中断输入信号 6，依赖于管脚复用配置
gvp_obv_out[2]	AA26	IO	内部观察逻辑的数据位 2 输出，或者外部中断输入信号 7，依赖于管脚复用配置
gvp_obv_out[3]	P23	IO	内部观察逻辑的数据位 3 输出，或者外部中断输入信号 8，依赖于管脚复用配置
gvp_obv_out[4]	Y30	IO	内部观察逻辑的数据位 4 输出，或者外部中断输入信号 9，依赖于管脚复用配置
gvp_obv_out[5]	W23	IO	内部观察逻辑的数据位 5 输出，或者外

			部中断输入信号 10, 依赖于管脚复用配置
gvp_obv_out[6]	AB24	IO	内部观察逻辑的数据位 6 输出, 或者外部中断输入信号 11, 依赖于管脚复用配置
gvp_obv_out[7]	P24	IO	内部观察逻辑的数据位 7 输出, 或者外部中断输入信号 12, 依赖于管脚复用配置
fdbg_nrst	AA29	I	DS5JTAG 接口 nrst
fdbg_tdi	AB30	I	DS5JTAG 接口 tdi
fdbg_swditms	AA30	I	DS5JTAG 接口 tms
fdbg_tck	AC30	I	DS5JTAG 接口 tck
fdbg_tdo	AB29	O	DS5JTAG 接口 tdo
fdbg_swdo	AC29	B	DS5JTAG 接口 swdo, 仅 serialwire 协议时使用, 目前用不到
trace_clk	AD23	O	trace 时钟输出
sjtag_tdi	W24	I	硅后调试 JTAG 的 TDI
sjtag_tms	T23	I	硅后调试 JTAG 的 TMS
sjtag_nrst	U23	I	硅后调试 JTAG 的 nTRST
sjtag_tck	V24	I	硅后调试 JTAG 的 TCK
sjtag_tdo	U24	O	硅后调试 JTAG 的 TDO
ext_int[0]	AC22	I	外部中断输入信号 0
ext_int[1]	V23	I	外部中断输入信号 1
ext_int[2]	T24	I	外部中断输入信号 2
ext_int[3]	AC21	I	外部中断输入信号 3
mcu_sda	U2	B	mcu i2c sda 信号
mcu_scl	U1	B	mcu i2c scl 信号
ta_out_mm	V1	O	LBC 调试信号: 每次 lbc 总线操作一次, ta_out_mm 会输出一个脉冲信号。通过检测该信号是否有脉冲输出, 来判断 lbc 是否正常工作。
ldata_addr_o_lbc[0]	V2	B	LBC 复用的地址/数据总线第 0 位
ldata_addr_o_lbc[1]	W1	B	LBC 复用的地址/数据总线第 1 位
ldata_addr_o_lbc[2]	W2	B	LBC 复用的地址/数据总线第 2 位
ldata_addr_o_lbc[3]	Y1	B	LBC 复用的地址/数据总线第 3 位
ldata_addr_o_lbc[4]	Y2	B	LBC 复用的地址/数据总线第 4 位
ldata_addr_o_lbc[5]	U8	B	LBC 复用的地址/数据总线第 5 位
ldata_addr_o_lbc[6]	V7	B	LBC 复用的地址/数据总线第 6 位
ldata_addr_o_lbc[7]	Y4	B	LBC 复用的地址/数据总线第 7 位
ldata_addr_o_lbc[8]	Y5	B	LBC 复用的地址/数据总线第 8 位
ldata_addr_o_lbc[9]	AA1	B	LBC 复用的地址/数据总线第 9 位
ldata_addr_o_lbc[10]	AA2	B	LBC 复用的地址/数据总线第 10 位

ldata_addr_o_lbc[11]	AA4	B	LBC 复用的地址/数据总线第 11 位
ldata_addr_o_lbc[12]	AA5	B	LBC 复用的地址/数据总线第 12 位
ldata_addr_o_lbc[13]	AB1	B	LBC 复用的地址/数据总线第 13 位
ldata_addr_o_lbc[14]	AB2	B	LBC 复用的地址/数据总线第 14 位
ldata_addr_o_lbc[15]	AB4	B	LBC 复用的地址/数据总线第 15 位
ldata_addr_o_lbc[16]	AB5	B	LBC 复用的地址/数据总线第 16 位
ldata_addr_o_lbc[17]	V8	B	LBC 复用的地址/数据总线第 17 位
ldata_addr_o_lbc[18]	AC1	B	LBC 复用的地址/数据总线第 18 位
ldata_addr_o_lbc[19]	AC2	B	LBC 复用的地址/数据总线第 19 位
ldata_addr_o_lbc[20]	W7	B	LBC 复用的地址/数据总线第 20 位
ldata_addr_o_lbc[21]	AC4	B	LBC 复用的地址/数据总线第 21 位
ldata_addr_o_lbc[22]	AC5	B	LBC 复用的地址/数据总线第 22 位
ldata_addr_o_lbc[23]	AD1	B	LBC 复用的地址/数据总线第 23 位
ldata_addr_o_lbc[24]	AD2	B	LBC 复用的地址/数据总线第 24 位
ldata_addr_o_lbc[25]	AD4	B	LBC 复用的地址/数据总线第 25 位
ldata_addr_o_lbc[26]	AD5	B	LBC 复用的地址/数据总线第 26 位
ldata_addr_o_lbc[27]	W8	B	LBC 复用的地址/数据总线第 27 位
ldata_addr_o_lbc[28]	AE1	B	LBC 复用的地址/数据总线第 28 位
ldata_addr_o_lbc[29]	AE2	B	LBC 复用的地址/数据总线第 29 位
ldata_addr_o_lbc[30]	Y7	B	LBC 复用的地址/数据总线第 30 位
ldata_addr_o_lbc[31]	AE4	B	LBC 复用的地址/数据总线第 31 位
lcs_o_lbc_7	AE5	O	LBC 片选 7
lale_o_lbc	AF1	O	LBC 外部地址锁存允许
lwe_lbs_o_lbc[0]	Y8	O	LBC 写允许字节选通 0
lwe_lbs_o_lbc[1]	AA7	O	LBC 写允许字节选通 1
lwe_lbs_o_lbc[2]	AF2	O	LBC 写允许字节选通 2
lwe_lbs_o_lbc[3]	AA8	O	LBC 写允许字节选通 3
lbctl_o_lbc	AB7	O	LBC 数据缓冲控制
lgpl0_o_lbc	AF4	O	LBC 通用线路 0
lgpl1_o_lbc	AF5	O	LBC 通用线路 1
lgpl2_o_lbc	AB8	O	LBC 通用线路 2
lgpl3_o_lbc	AC7	O	LBC 通用线路 3
lgta_lupwait_i_lbc	AG1	B	LBC 通用线路 4
lgpl5_o_lbc	AG2	O	LBC 通用线路 5
la_4_0[0]	AC8	O	LBC 地址线 0
la_4_0[1]	AD7	O	LBC 地址线 1
la_4_0[2]	AG4	O	LBC 地址线 2
la_4_0[3]	AG5	O	LBC 地址线 3
la_4_0[4]	AD8	O	LBC 地址线 4
ps_conf[0]	AH1	I	LBC 数据位宽选择 0
ps_conf[1]	AH2	I	LBC 数据位宽选择 1
dir_lgta_lupwait_lgpl4	AE7	O	LBC 通用线路 4、等待方向控制信号



dir_data_addr_lbc	AE8	O	LBC 复用数据/地址方向控制信号：主要用于电平转换芯片使用，用于指示 ldata_addr_o_lbc 的输入与输出方向。
uart_1_SIO_sin	L29	I	串口 1 数据输入
uart_1_SIO_sout	L30	O	串口 1 数据输出
uart_0_SIO_sin	K29	I	串口 0 数据输入
uart_0_SIO_sout	K30	O	串口 0 数据输出
gpio_portC[0]	M24	B	GPIO C 第 0 位输入输出；复用串口 0 Data Carrier 检测 Modem 状态输入信号
gpio_portC[1]	M26	B	GPIO C 第 1 位输入输出；复用串口 0 Modem Control 数据终端 ready 输出信号
gpio_portC[2]	M27	B	GPIO C 第 2 位输入输出；复用串口 0 Data Set Ready Modem 状态输入信号
gpio_portC[3]	N27	B	GPIO C 第 3 位输入输出；复用串口 0 Modem Control 发送请求输出信号
gpio_portC[4]	N26	B	GPIO C 第 4 位输入输出；复用清除发送 Modem 状态输入信号
gpio_portC[5]	P26	B	GPIO C5 输入输出；复用 Ring Indicator Modem 状态输入信号
spi_ext_csn[0]	AJ1	O	给 FLASH 片选信号，低有效；复用 LBC 片选 0
spi_ext_csn[1]	AJ2	O	给 FLASH 片选信号，低有效；复用 LBC 片选 1
spi_ext_csn[2]	AJ3	O	给 FLASH 片选信号，低有效；复用 LBC 片选 2
spi_ext_csn[3]	AJ4	O	给 FLASH 片选信号，低有效；复用 LBC 片选 3
spi_ext_sck	AK2	O	SPI 总线的时钟信号，默认为输入时钟 clk 的 16 分频；复用 LBC 片选 4
spi_ext_so	AK3	O	SPI 总线输出数据信号；复用 LBC 片选 5
ext_spi_si	AK4	I	SPI 总线输入数据信号；复用 LBC 片选 6
gpio_portC[6]	P27	B	GPIO C 第 6 位输入输出；复用串行中断传输方向（1'b1：输出；1'b0：输入）
gpio_portC[7]	J27	B	GPIO C 第 7 位输入输出；复用串行中断信号
gpio_portD[0]	T26	B	GPIO D 第 0 位输入输出；复用 lpc 新周期的开始和结束
gpio_portD[1]	R26	B	GPIO D 第 1 位输入输出；

gpio_portD[2]	R27	B	GPIO D 第 2 位输入输出；
gpio_portD[3]	J26	B	GPIO D 第 3 位输入输出； 复用 lpc LAD 数据传输方向（1'b1: 输出；1'b0: 输入）
gpio_portD[4]	T27	B	GPIO D 第 4 位输入输出； 复用 LPC 命令、地址、数据信息传输线 0
gpio_portD[5]	M29	B	GPIO D 第 5 位输入输出； 复用 LPC 命令、地址、数据信息传输线 1
gpio_portD[6]	L23	B	GPIO D 第 6 位输入输出； 复用 LPC 命令、地址、数据信息传输线 2
gpio_portD[7]	M30	B	GPIO D 第 7 位输入输出； 复用 LPC 命令、地址、数据信息传输线 3
gpio_portB[7]	L24	B	GPIO B 第 7 位输入输出； 复用 DMA 或者 Bus master 请求信号， 支持单通道 DMA 请求
gpio_portA[0]	R29	O	GPIO A 第 0 位输入输出；
gpio_portA[1]	P29	O	GPIO A 第 1 位输入输出；
gpio_portA[2]	M23	O	GPIO A 第 2 位输入输出；
gpio_portA[3]	N29	O	GPIO A 第 3 位输入输出；
gpio_portA[4]	K26	O	GPIO A 第 4 位输入输出；
gpio_portA[5]	T29	O	GPIO A 第 5 位输入输出；
gpio_portA[6]	N30	I	GPIO A 第 6 位输入输出；
gpio_portA[7]	K27	I	GPIO A 第 7 位输入输出；
gpio_portB[0]	R30	I	GPIO B 第 0 位输入输出；
gpio_portB[1]	P30	I	GPIO B 第 1 位输入输出；
gpio_portB[2]	U29	I	GPIO B 第 2 位输入输出； cru 内部扫描链链头
gpio_portB[3]	T30	O	GPIO B 第 3 位输入输出；
gpio_portB[4]	U30	O	GPIO B 第 4 位输入输出；
gpio_portB[5]	N24	B	GPIO B 第 5 位输入输出； 复用 I2C 1 接口的时钟信号 SCL
gpio_portB[6]	N23	B	GPIO B 第 6 位输入输出； 复用 I2C 1 接口的数据信号 SDA
i2c_0_scl	L27	B	I2C 0 接口的时钟信号
i2c_0_sda	L26	B	I2C 0 接口的数据信号
phy0_gen_clk_rx	AH30	I	phy0_gen_clk_rx
gen_gmac0_clk_tx	AJ30	O	gen_gmac0_clk_tx
phy_gmac0_phy_rxd_i[0]	AG30	I	phy_gmac0_phy_rxd_i_0

phy_gmac0_phy_rxd_i[1]	AG29	I	phy_gmac0_phy_rxd_i_1
phy_gmac0_phy_rxd_i[2]	AF30	I	phy_gmac0_phy_rxd_i_2
phy_gmac0_phy_rxd_i[3]	AF29	I	phy_gmac0_phy_rxd_i_3
phy_gmac0_phy_rxdv_i	AH29	I	phy_gmac0_phy_rxdv_i
gmac0_phy_phy_txd_o[0]	AJ29	O	gmac0_phy_phy_txd_o_0
gmac0_phy_phy_txd_o[1]	AK29	O	gmac0_phy_phy_txd_o_1
gmac0_phy_phy_txd_o[2]	AJ28	O	gmac0_phy_phy_txd_o_2
gmac0_phy_phy_txd_o[3]	AK28	O	gmac0_phy_phy_txd_o_3
gmac0_phy_phy_txen_o	AH28	O	gmac0_phy_phy_txen_o
gmac0_phy_gmii_mdc_o	AK27	O	gmac0_phy_gmii_mdc_o
gmac0_phy_mdio	AJ27	B	gmac0_phy_mdio
phy1_gen_clk_rx	AK24	I	phy1_gen_clk_rx
gen_gmac1_clk_tx	AK23	O	gen_gmac1_clk_tx
phy_gmac1_phy_rxd_i[0]	AK25	I	phy_gmac1_phy_rxd_i_0
phy_gmac1_phy_rxd_i[1]	AJ25	I	phy_gmac1_phy_rxd_i_1
phy_gmac1_phy_rxd_i[2]	AK26	I	phy_gmac1_phy_rxd_i_2
phy_gmac1_phy_rxd_i[3]	AJ26	I	phy_gmac1_phy_rxd_i_3
phy_gmac1_phy_rxdv_i	AJ24	I	phy_gmac1_phy_rxdv_i
gmac1_phy_phy_txd_o[0]	AJ22	O	gmac1_phy_phy_txd_o_0
gmac1_phy_phy_txd_o[1]	AK22	O	gmac1_phy_phy_txd_o_1
gmac1_phy_phy_txd_o[2]	AJ21	O	gmac1_phy_phy_txd_o_2
gmac1_phy_phy_txd_o[3]	AK21	O	gmac1_phy_phy_txd_o_3
gmac1_phy_phy_txen_o	AJ23	O	gmac1_phy_phy_txen_o
gmac1_phy_gmii_mdc_o	AK20	O	gmac1_phy_gmii_mdc_o
gmac1_phy_mdio	AJ20	B	gmac1_phy_mdio
efuse_avdd_ctrl	K24	O	efuse 烧录高电压请求信号
linkup	AE30	O	PCIE x8 控制器 linkup 指示信号
peu_phy_jtag_trst_n	AF23	I	PCIE 的 tap 控制器复位信号, 功能下为 0
peu_phy_jtag_tck	AF22	I	PCIE 的 tap 控制器时钟信号, 功能下为 0
peu_phy_jtag_tms	AG23	I	PCIE 的 tap 控制器状态信号, 功能下为 0
peu_phy_jtag_tdi	AG22	I	PCIE 的 tap 控制器数据信号, 功能下为 0
peu_phy_jtag_tdo	AF21	O	PCIE 的 tap 控制器输出信号
CRU_SE	AC18	I	cru 内部扫描链扫描使能
CRU_CLK_SEL	AB27	I	cru 内部扫描链时钟选择
CRU_SCAN_CLK	AF19	I	cru 内部扫描链时钟
CRU_CLK_STOP	AG19	I	cru 内部扫描链时钟停顿
DDR_PHY_TDI	AA27	I	测试类信号

DDR_PHY_TDO	Y27	O	测试类信号
DDR_PHY_TMS	AF8	I	测试类信号
EDT_BYPASS	AF27	I	edt 逻辑旁路信号, 功能下为 0
EDT_CLOCK	W27	I	edt 逻辑时钟, 功能下为 0
EDT_UPDATE	AB26	I	edt 逻辑更新信号, 功能下为 0
HDT_MB_DONE_STATE	AC24	O	全芯片 MBIST 完成信号
HDT_MB_FAIL_STATE	AD24	O	全芯片 MBIST 故障输出信号
FORCE_MB_START	AC23	I	全芯片 MBIST 启动信号
INSTANCEID[0]	AD30	I	cpu instance id
INSTANCEID[1]	AE26	I	cpu instance id
IP_ATE	AF25	I	IP 测试项选择信号, 功能下为 0
OSC_XIN	G26		RTC 时钟
OSC_XOUT	G27		RTC 时钟
TEST_CLK	U26	I	测试类信号
TEST_CLK_SEL	AC20	I	测试类信号
TEST_CLK_STOP	Y23	I	测试类信号
TEST_EN	Y24	I	测试类信号
TEST_SE	R23	I	测试类信号
LV_TDI	AD26	I	测试类信号
LV_TDO	AC26	O	测试类信号
LV_TMS	AC27	I	测试类信号
LV_TRST	AD27	I	测试类信号
PEU_AC_JTAG_BS_OUT	AF7	O	测试类信号
PEU_AC_JTAG_TCK	AH7	I	测试类信号
PEU_AC_JTAG_TDI	AG7	I	测试类信号
PEU_AC_JTAG_TMS	AG8	I	测试类信号
PEU_AC_JTAG_TRST_N	AH8	I	测试类信号
RTC_PWR_DOWN	J23		
RTC_RST_N	J24	I	RTC 复位

### 2.1.1.3 PCIe 引脚

表 2-3 PCIe 引脚

信号名	引脚编号	信号类型	功能说明
peu_rxn[0]	AE17	I	数据
peu_rxn[1]	AD16	I	数据
peu_rxn[2]	AE15	I	数据
peu_rxn[3]	AD14	I	数据
peu_rxn[4]	AE13	I	数据
peu_rxn[5]	AD12	I	数据

peu_rxn[6]	AE11	I	数据
peu_rxn[7]	AD10	I	数据
peu_rxp[0]	AF17	I	数据
peu_rxp[1]	AC16	I	数据
peu_rxp[2]	AF15	I	数据
peu_rxp[3]	AC14	I	数据
peu_rxp[4]	AF13	I	数据
peu_rxp[5]	AC12	I	数据
peu_rxp[6]	AF11	I	数据
peu_rxp[7]	AC10	I	数据
peu_txn[0]	AJ17	O	数据
peu_txn[1]	AH16	O	数据
peu_txn[2]	AJ15	O	数据
peu_txn[3]	AH14	O	数据
peu_txn[4]	AJ13	O	数据
peu_txn[5]	AH12	O	数据
peu_txn[6]	AJ11	O	数据
peu_txn[7]	AH10	O	数据
peu_txp[0]	AK17	O	数据
peu_txp[1]	AG16	O	数据
peu_txp[2]	AK15	O	数据
peu_txp[3]	AG14	O	数据
peu_txp[4]	AK13	O	数据
peu_txp[5]	AG12	O	数据
peu_txp[6]	AK11	O	数据
peu_txp[7]	AG10	O	数据
peu_phy0_refclkn	AK9		参考时钟
peu_phy0_refclkp	AJ9		参考时钟
peu_phy_resref0	W14		阻抗匹配
peu_phy_resref1	W12		阻抗匹配

#### 2.1.1.4 电源引脚

表 2-4 电源引脚

电源名称	引脚编号	功能说明
VREF	L12	0.75V 参考电压
EFUSE_AVDD	V19	Efuse 电源, 2.5V
PLL_AVDD	V18	锁相环电源, 1.1V
PLL_AVDD	W17	锁相环电源, 1.1V
POST_VDD	AA16	IO 电源, 2.5/3.3V
POST_VDD	AA18	IO 电源, 2.5/3.3V

POST_VDD	T11	IO 电源, 2.5/3.3V
POST_VDD	V11	IO 电源, 2.5/3.3V
POST_VDD	Y19	IO 电源, 2.5/3.3V
PEU_PHY_SDS_VDDA0	AA14	PCIe 模拟电源, 1.1V
PEU_PHY_SDS_VDDA1	AA12	PCIe 模拟电源, 1.1V
PEU_PHY_SDS_VDDHV0	Y13	PCIe 数字电源, 2.5V
PEU_PHY_SDS_VPTX0	Y15	PCIe 发送电源, 1.1V
PEU_PHY_SDS_VPTX4	Y11	PCIe 发送电源, 1.1V
POST_VDD_RTC	W20	RTC 电源 3V/3.3V, 与 VDD_RTC 同时使用
VDD_RTC	W19	RTC 电源 1.1V, 与 POST_VDD_RTC 同时使用
VDD	AA10	内核电源, 1.1V
VDD	AA20	
VDD	AA22	
VDD	AB17	
VDD	AB19	
VDD	AB21	
VDD	G16	
VDD	G18	
VDD	G20	
VDD	G22	
VDD	G24	
VDD	H7	
VDD	H9	
VDD	H11	
VDD	H13	
VDD	H15	
VDD	H17	
VDD	H19	
VDD	H21	
VDD	H23	
VDD	H25	
VDD	J8	

VDD	J10	
VDD	J12	
VDD	J14	
VDD	J16	
VDD	J18	
VDD	J20	
VDD	J22	
VDD	K7	
VDD	K9	
VDD	K11	
VDD	K13	
VDD	K15	
VDD	K17	
VDD	K19	
VDD	K21	
VDD	L8	
VDD	L10	
VDD	L20	
VDD	L22	
VDD	M7	
VDD	M9	
VDD	M11	
VDD	M13	
VDD	M15	
VDD	M17	
VDD	M19	
VDD	M21	
VDD	N8	
VDD	N10	
VDD	N14	
VDD	N16	
VDD	N18	

VDD	N20	
VDD	N22	
VDD	P7	
VDD	P9	
VDD	P11	
VDD	P13	
VDD	P15	
VDD	P17	
VDD	P19	
VDD	P21	
VDD	R8	
VDD	R10	
VDD	R14	
VDD	R16	
VDD	R18	
VDD	R20	
VDD	R22	
VDD	T7	
VDD	T9	
VDD	T13	
VDD	T15	
VDD	T17	
VDD	T19	
VDD	T21	
VDD	U10	
VDD	U12	
VDD	U14	
VDD	U16	
VDD	U18	
VDD	U20	
VDD	U22	
VDD	V9	



VDD	V13	
VDD	V15	
VDD	V21	
VDD	W10	
VDD	W16	
VDD	W22	
VDD	Y9	
VDD	Y21	
VDDQ	C3	DDR 电源, 1.5V
VDDQ	C5	
VDDQ	C7	
VDDQ	C9	
VDDQ	C11	
VDDQ	C13	
VDDQ	F6	
VDDQ	F8	
VDDQ	F10	
VDDQ	F12	
VDDQ	F14	
VDDQ	L14	
VDDQ	L16	
VDDQ	L18	
VDDQ	N12	
VDDQ	R12	
VSS	A15	地
VSS	A21	
VSS	A22	
VSS	A29	
VSS	AA3	
VSS	AA6	
VSS	AA9	
VSS	AA11	

VSS	AA13	
VSS	AA15	
VSS	AA17	
VSS	AA19	
VSS	AA21	
VSS	AA25	
VSS	AA28	
VSS	AB3	
VSS	AB6	
VSS	AB9	
VSS	AB10	
VSS	AB11	
VSS	AB12	
VSS	AB13	
VSS	AB14	
VSS	AB15	
VSS	AB16	
VSS	AB18	
VSS	AB20	
VSS	AB22	
VSS	AB25	
VSS	AB28	
VSS	AC3	
VSS	AC6	
VSS	AC9	
VSS	AC11	
VSS	AC13	
VSS	AC15	
VSS	AC17	
VSS	AC25	
VSS	AC28	
VSS	AD3	

VSS	AD6	
VSS	AD9	
VSS	AD11	
VSS	AD13	
VSS	AD15	
VSS	AD17	
VSS	AD25	
VSS	AD28	
VSS	AE3	
VSS	AE6	
VSS	AE9	
VSS	AE10	
VSS	AE12	
VSS	AE14	
VSS	AE16	
VSS	AE18	
VSS	AE19	
VSS	AE20	
VSS	AE21	
VSS	AE22	
VSS	AE23	
VSS	AE24	
VSS	AE25	
VSS	AE28	
VSS	AF3	
VSS	AF6	
VSS	AF9	
VSS	AF10	
VSS	AF12	
VSS	AF14	
VSS	AF16	
VSS	AF18	

VSS	AF28	
VSS	AG3	
VSS	AG6	
VSS	AG9	
VSS	AG11	
VSS	AG13	
VSS	AG15	
VSS	AG17	
VSS	AG18	
VSS	AG28	
VSS	AH3	
VSS	AH4	
VSS	AH5	
VSS	AH6	
VSS	AH9	
VSS	AH11	
VSS	AH13	
VSS	AH15	
VSS	AH17	
VSS	AH18	
VSS	AH19	
VSS	AH20	
VSS	AH21	
VSS	AH22	
VSS	AH23	
VSS	AH24	
VSS	AH25	
VSS	AH26	
VSS	AH27	
VSS	AJ8	
VSS	AJ10	
VSS	AJ12	

VSS	AJ14	
VSS	AJ16	
VSS	AJ18	
VSS	AJ19	
VSS	AK8	
VSS	AK10	
VSS	AK12	
VSS	AK14	
VSS	AK16	
VSS	AK18	
VSS	B1	
VSS	B15	
VSS	B22	
VSS	B26	
VSS	B29	
VSS	C2	
VSS	C4	
VSS	C6	
VSS	C8	
VSS	C10	
VSS	C12	
VSS	C14	
VSS	C15	
VSS	C16	
VSS	C17	
VSS	C18	
VSS	C19	
VSS	C20	
VSS	C21	
VSS	C22	
VSS	C23	
VSS	C24	

VSS	C25	
VSS	C26	
VSS	C27	
VSS	C28	
VSS	D3	
VSS	D15	
VSS	D22	
VSS	D29	
VSS	E3	
VSS	E4	
VSS	E15	
VSS	E19	
VSS	E22	
VSS	E28	
VSS	F3	
VSS	F5	
VSS	F7	
VSS	F9	
VSS	F11	
VSS	F15	
VSS	F16	
VSS	F17	
VSS	F18	
VSS	F19	
VSS	F20	
VSS	F21	
VSS	F22	
VSS	F23	
VSS	F24	
VSS	F25	
VSS	F26	
VSS	F27	

VSS	F28	
VSS	F29	
VSS	G3	
VSS	G6	
VSS	G7	
VSS	G8	
VSS	G9	
VSS	G10	
VSS	G11	
VSS	G12	
VSS	G13	
VSS	G14	
VSS	G15	
VSS	G17	
VSS	G19	
VSS	G21	
VSS	G23	
VSS	G25	
VSS	G28	
VSS	H3	
VSS	H6	
VSS	H8	
VSS	H10	
VSS	H12	
VSS	H14	
VSS	H16	
VSS	H18	
VSS	H20	
VSS	H22	
VSS	H24	
VSS	H26	
VSS	H27	

VSS	H28	
VSS	J1	
VSS	J2	
VSS	J3	
VSS	J6	
VSS	J7	
VSS	J9	
VSS	J11	
VSS	J13	
VSS	J15	
VSS	J17	
VSS	J19	
VSS	J21	
VSS	J25	
VSS	J28	
VSS	J29	
VSS	J30	
VSS	K3	
VSS	K6	
VSS	K8	
VSS	K10	
VSS	K12	
VSS	K14	
VSS	K16	
VSS	K18	
VSS	K20	
VSS	K22	
VSS	K25	
VSS	K28	
VSS	L3	
VSS	L6	
VSS	L7	



VSS	L9	
VSS	L11	
VSS	L13	
VSS	L15	
VSS	L17	
VSS	L19	
VSS	L21	
VSS	L25	
VSS	L28	
VSS	M2	
VSS	M3	
VSS	M4	
VSS	M5	
VSS	M6	
VSS	M8	
VSS	M10	
VSS	M12	
VSS	M14	
VSS	M16	
VSS	M18	
VSS	M20	
VSS	M22	
VSS	M25	
VSS	M28	
VSS	N3	
VSS	N4	
VSS	N6	
VSS	N7	
VSS	N9	
VSS	N11	
VSS	N13	
VSS	N15	

VSS	N17	
VSS	N19	
VSS	N21	
VSS	N25	
VSS	N28	
VSS	P3	
VSS	P6	
VSS	P8	
VSS	P10	
VSS	P12	
VSS	P14	
VSS	P16	
VSS	P18	
VSS	P20	
VSS	P22	
VSS	P25	
VSS	P28	
VSS	R3	
VSS	R6	
VSS	R7	
VSS	R9	
VSS	R11	
VSS	R13	
VSS	R15	
VSS	R17	
VSS	R19	
VSS	R21	
VSS	R25	
VSS	R28	
VSS	T1	
VSS	T2	
VSS	T3	

VSS	T6	
VSS	T8	
VSS	T10	
VSS	T12	
VSS	T14	
VSS	T16	
VSS	T18	
VSS	T20	
VSS	T22	
VSS	T25	
VSS	T28	
VSS	U3	
VSS	U6	
VSS	U7	
VSS	U9	
VSS	U11	
VSS	U13	
VSS	U15	
VSS	U17	
VSS	U19	
VSS	U21	
VSS	U25	
VSS	U28	
VSS	V3	
VSS	V6	
VSS	V10	
VSS	V12	
VSS	V14	
VSS	V16	
VSS	V17	
VSS	V20	
VSS	V22	

VSS	V25	
VSS	V28	
VSS	W3	
VSS	W4	
VSS	W5	
VSS	W6	
VSS	W9	
VSS	W11	
VSS	W13	
VSS	W15	
VSS	W18	
VSS	W21	
VSS	W25	
VSS	W28	
VSS	Y3	
VSS	Y6	
VSS	Y10	
VSS	Y12	
VSS	Y14	
VSS	Y16	
VSS	Y17	
VSS	Y18	
VSS	Y20	
VSS	Y22	
VSS	Y25	
VSS	Y28	

### 2.1.1.5 FT\_TEST 引脚功能模式接法

表 2-5 FT\_TEST 引脚功能模式引脚

Number	Name	PIN_Number	功能模式接法
1*	<b>FT_DDR_PHY_JTAG_TEST</b>	<b>Y26</b>	<b>下拉</b>
2	FT_DDR_PHY_TDI	AA27	下拉
3	FT_DDR_PHY_TDO	Y27	浮空
4	FT_DDR_PHY_TMS	AF8	下拉

5	FT_DFT_AC_MODE	AD22	下拉
6	FT_DFT_AC_SEQENT_3_EN	R24	下拉
7	FT_DFT_CAP_EN	AA23	下拉
<b>8*</b>	<b>FT_DFT_MCP_HOLD</b>	<b>AD20</b>	<b>下拉</b>
<b>9*</b>	<b>FT_DFT_RAM_HOLD</b>	<b>AD21</b>	<b>下拉</b>
<b>10*</b>	<b>FT_DFT_SCAN_EN</b>	<b>AD29</b>	<b>下拉</b>
<b>11*</b>	<b>FT_DFT_SCAN_MODE</b>	<b>AC19</b>	<b>下拉</b>
<b>12*</b>	<b>FT_DFT_SCAN_RESET</b>	<b>V29</b>	<b>上拉</b>
<b>13*</b>	<b>FT_DFT_SCAN_SET</b>	<b>U27</b>	<b>下拉</b>
14	FT_DFT_TCK_1	V26	下拉
15	FT_DFT_TCK_2	V27	下拉
16	FT_DFT_TCK_3	W26	下拉
17	FT_DFT_TCK_4	AB23	下拉
18	FT_DFT_TCK_5	AD18	下拉
19	FT_DFT_TCK_6	AE27	下拉
20	FT_DFT_TCK_7	AF26	下拉
21	FT_DFT_TCK_8	AF24	下拉
22	FT_DFT_TCK_9	AA24	下拉
<b>23*</b>	<b>FT_DFT_UPDATE_PLL</b>	<b>AD19</b>	<b>下拉</b>
24	FT_EDT_BYPASS	AF27	下拉
25	FT_EDT_CLOCK	W27	下拉
26	FT_EDT_UPDATE	AB26	下拉
27	FT_FDBG_NTRST	AA29	下拉
28	FT_FDBG_SWDTMS	AA30	下拉
29	FT_FDBG_SWDO	AC29	下拉
30	FT_FDBG_TCK	AC30	下拉
31	FT_FDBG_TDI	AB30	下拉
32	FT_FDBG_TDO	AB29	下拉
<b>33*</b>	<b>FT_FORCE_MB_START</b>	<b>AC23</b>	<b>下拉</b>
34	FT_GVP_OBV_OUT[0]	W30	下拉
35	FT_GVP_OBV_OUT[1]	Y29	下拉
36	FT_GVP_OBV_OUT[2]	AA26	下拉
37	FT_GVP_OBV_OUT[3]	P23	下拉
38	FT_GVP_OBV_OUT[4]	Y30	下拉
39	FT_GVP_OBV_OUT[5]	W23	下拉
40	FT_GVP_OBV_OUT[6]	AB24	下拉
41	FT_GVP_OBV_OUT[7]	P24	下拉
42	FT_GVP_TRIG_OUT	W29	下拉
43	FT_HDT_MB_DONE_STATE	AC24	下拉
44	FT_HDT_MB_FAIL_STATE	AD24	下拉
<b>45*</b>	<b>FT_IP_ATE</b>	<b>AF25</b>	<b>下拉</b>
46	FT_LV_TDI	AD26	下拉

47	FT_LV_TDO	AC26	浮空
<b>48*</b>	<b>FT_LV_TMS</b>	<b>AC27</b>	<b>下拉</b>
<b>49*</b>	<b>FT_LV_TRST</b>	<b>AD27</b>	<b>下拉</b>
50	FT_PEU_AC_JTAG_BS_OUT	AF7	浮空
51	FT_PEU_AC_JTAG_TCK	AH7	下拉
52	FT_PEU_AC_JTAG_TDI	AG7	下拉
53	FT_PEU_AC_JTAG_TMS	AG8	下拉
<b>54*</b>	<b>FT_PEU_AC_JTAG_TRST_N</b>	<b>AH8</b>	<b>下拉</b>
55	FT_PEU_PHY_JTAG_TCK	AF22	下拉
56	FT_PEU_PHY_JTAG_TDI	AG22	下拉
57	FT_PEU_PHY_JTAG_TDO	AF21	浮空
58	FT_PEU_PHY_JTAG_TMS	AG23	下拉
<b>59*</b>	<b>FT_PEU_PHY_JTAG_TRST_N</b>	<b>AF23</b>	<b>下拉</b>
60	FT_SJTAG_NTRST	U23	下拉
61	FT_SJTAG_TCK	V24	下拉
62	FT_SJTAG_TDI	W24	下拉
63	FT_SJTAG_TDO	U24	浮空
64	FT_SJTAG_TMS	T23	下拉
65	FT_TEST_CLK	U26	下拉
66	FT_TEST_CLK_SEL	AC20	下拉
67	FT_TEST_CLK_STOP	Y23	下拉
<b>68*</b>	<b>FT_TEST_EN</b>	<b>Y24</b>	<b>下拉</b>
<b>69*</b>	<b>FT_TEST_SE</b>	<b>R23</b>	<b>下拉</b>
70	FT_TRACE_CLK	AD23	浮空
<b>71*</b>	<b>FT_GPIO_PORTA0</b>		<b>上拉</b>
<b>72*</b>	<b>FT_GPIO_PORTA1</b>		<b>上拉</b>
注：以上 1~70 项：字体加粗且标*项必须选择表中接法，其他部分建议采用表中接法；以上 71~72 项：上电时上拉，上电完成可释放。			

### 2.1.1.6 保留引脚

表 2-5 保留引脚

信号名	引脚编号	信号类型	功能说明
DFT_AC_MODE	AD22	I	dft 扫描实速测试信号，1 为实速测试，0 为慢速测试
DFT_AC_SEQENT_3_EN	R24	I	功能下为 0，AC 测试时选择是否释放 3 拍高频时钟
DFT_CAP_EN	AA23	I	dft 扫描实速测试 capture 信号，为 1 时进入捕获模式
DFT_MCP_HOLD	AD20	I	用于控制芯片内部多周期时序逻辑的保持状态，支持 DFT 测试。功能模式下为 0
DFT_RAM_HOLD	AD21	I	功能下为 0，DFT 模式时 SRAM 是否 HOLD

DFT_SCAN_EN	AD29	I	dft 扫描链扫描使能信号，1 为 shift 模式，0 为 capture 模式
DFT_SCAN_MODE	AC19	I	功能下为 0，扫描模式使能信号
DFT_SCAN_RESET	V29	I	dft 扫描链置位信号，功能下为 1
DFT_SCAN_SET	U27	I	dft 扫描链置位信号，功能下为 0
DFT_TCK_1	V26	I	dft 扫描测试时钟，功能下为 0
DFT_TCK_2	V27	I	dft 扫描测试时钟，功能下为 1
DFT_TCK_3	W26	I	dft 扫描测试时钟，功能下为 2
DFT_TCK_4	AB23	I	dft 扫描测试时钟，功能下为 3
DFT_TCK_5	AD18	I	dft 扫描测试时钟，功能下为 4
DFT_TCK_6	AE27	I	dft 扫描测试时钟，功能下为 5
DFT_TCK_7	AF26	I	dft 扫描测试时钟，功能下为 6
DFT_TCK_8	AF24	I	dft 扫描测试时钟，功能下为 7
DFT_TCK_9	AA24	I	dft 扫描测试时钟，功能下为 8
DFT_UPDATE_PLL	AD19	I	dft 模式下 pll 配置完后的时钟更新信号，功能下为 0
EFUSE_BYPASS_RST	K23	I	是否采用 efuse 对内核及调试模块的各类配置，为 1 bypass，不采用

### 2.1.2 复用引脚说明

表 2-6 引脚复用表

CPU_port_Name	func0	func1	func2
pad_gvp_trig_out	gvp_trig_out	ext_int_4	
pad_gvp_obv_out[0]	gvp_obv_out_0	ext_int_5	
pad_gvp_obv_out[1]	gvp_obv_out_1	ext_int_6	
pad_gvp_obv_out[2]	gvp_obv_out_2	ext_int_7	
pad_gvp_obv_out[3]	gvp_obv_out_3	ext_int_8	
pad_gvp_obv_out[4]	gvp_obv_out_4	ext_int_9	
pad_gvp_obv_out[5]	gvp_obv_out_5	ext_int_10	
pad_gvp_obv_out[6]	gvp_obv_out_6	ext_int_11	
pad_gvp_obv_out[7]	gvp_obv_out_7	ext_int_12	
pad_force_mb_start	force_mb_start	ext_int_13	
pad_hdt_mb_done_state	hdt_mb_done_state	ext_int_14	
pad_hdt_mb_fail_state	hdt_mb_fail_state	ext_int_15	
pad_gpio_portC[0]	gpioc_0	uart_0_dcd_n	trace_ctl
pad_gpio_portC[1]	gpioc_1	uart_0_dtr_n	trace_data_0
pad_gpio_portC[2]	gpioc_2	uart_0_dsr_n	trace_data_1
pad_gpio_portC[3]	gpioc_3	uart_0_SIO_rts_n	trace_data_2
pad_gpio_portC[4]	gpioc_4	uart_0_SIO_cts_n	trace_data_3
pad_gpio_portC[5]	gpioc_5	uart_0_ri_n	trace_data_4
pad_spi_ext_csn[0]	spi_ext_csn_0	lcs_o_lbc_0	

pad_spi_ext_csn[1]	spi_ext_csn_1	lcs_o_lbc_1	
pad_spi_ext_csn[2]	spi_ext_csn_2	lcs_o_lbc_2	
pad_spi_ext_csn[3]	spi_ext_csn_3	lcs_o_lbc_3	
pad_spi_ext_sck	spi_ext_sck	lcs_o_lbc_4	
pad_spi_ext_so	spi_ext_so	lcs_o_lbc_5	
pad_ext_spi_si	ext_spi_si	lcs_o_lbc_6	
pad_gpio_portC[6]	gpioc_6	lpc_ext_irq_outen	trace_data_5
pad_gpio_portC[7]	gpioc_7	lpc_ext_irq_n	trace_data_6
pad_gpio_portD[0]	gpiod_0	lpc_ext_lframe_n	trace_data_7
pad_gpio_portD[1]	gpiod_1		trace_data_8
pad_gpio_portD[2]	gpiod_2		trace_data_9
pad_gpio_portD[3]	gpiod_3	lpc_ext_lad_outen	trace_data_10
pad_gpio_portD[4]	gpiod_4	lpc_ext_lad_0	trace_data_11
pad_gpio_portD[5]	gpiod_5	lpc_ext_lad_1	trace_data_12
pad_gpio_portD[6]	gpiod_6	lpc_ext_lad_2	trace_data_13
pad_gpio_portD[7]	gpiod_7	lpc_ext_lad_3	trace_data_14
pad_gpio_portB[7]	gpiob_7	lpc_ldrq_n	trace_data_15
pad_gpio_portA[0]		gpioa_0	
pad_gpio_portA[1]		gpioa_1	
pad_gpio_portA[2]		gpioa_2	
pad_gpio_portA[3]		gpioa_3	
pad_gpio_portA[4]		gpioa_4	
pad_gpio_portA[5]		gpioa_5	
pad_gpio_portA[6]		gpioa_6	
pad_gpio_portA[7]		gpioa_7	
pad_gpio_portB[0]		gpiob_0	
pad_gpio_portB[1]		gpiob_1	
pad_gpio_portB[2]		gpiob_2	
pad_gpio_portB[3]		gpiob_3	
pad_gpio_portB[4]		gpiob_4	peu_linkup_1
pad_gpio_portB[5]	i2c_1_scl	gpiob_5	
pad_gpio_portB[6]	i2c_1_sda	gpiob_6	

## 2.2 DDR3 SDRAM 接口

### 2.2.1 DDR3 SDRAM 接口信号说明

1) 工作频率:

■ DDR3: 400MHz

2) 峰值带宽:

■ 6.4 GB/s (0.4GHz\*2\*8B)



## 3) DIMM:

- 72 bits (64 data + 8 ECC)
- 支持 UDIMM、RDIMM、SODIMM
- 支持 X8 模式，不支持 X4 颗粒
- 单 Rank 最大支持 8GB (不含 ECC)
- 最大支持 4 rank

## 2.2.2 DDR3 SDRAM 接口电特性

表 2-7 DDR3 SDRAM 接口电特性

特性	符号	测试条件 (除另有规定外: Tc=-40~85°C; VDDC=1.15V; VDDP=3.3V; VDD_REF=0.75V; VDDQ=1.5V)	极限值		单位
			最小	最大	
DDR3 SDRAM 时钟信号电特性 <sup>a, b, c, d</sup>					
平均时钟周期	$t_{CK(avg)}$	见图 2.2	2.5	3.3	ns
平均高电平时间	$t_{CH(avg)}$		0.47	0.53	$t_{CK(avg)}$
平均低电平时间	$t_{CL(avg)}$		0.47	0.53	$t_{CK(avg)}$
DDR3 SDRAM 数据信号电特性 <sup>a, b, c, d</sup>					
DQS, DQS#到DQ的偏移	$t_{DQSQ}$	见图 2.3、图 2.4	--	200	ps
DQ相对DQS, DQS#的保持时间	$t_{QH}$		0.38	--	$t_{CK(avg)}$
DQ相对DQS, DQS#的建立时间, 参考为 Vih(dc) / Vil(dc)	$t_{DS(base)}$		125	--	ps
DQ相对DQS, DQS#的保持时间, 参考为 Vih(dc)/Vil(dc)	$t_{DH(base)}$		150	--	ps
DQ和DM输出脉冲宽度	$t_{DOPW}$		600	--	ps
单端信号输出斜率	$S_{RQse}$	见图 2.5	2.5	5	V/ns
DDR3 SDRAM 数据选通信号电特性 <sup>a, b, c, d</sup>					
DQS, DQS#差分输入高电平时间	$t_{QSH}$	见图 2.3、图 2.4	0.38	--	$t_{CK(avg)}$
DQ, DQS#差分输入低电平时间	$t_{QSL}$		0.38	--	$t_{CK(avg)}$
DQS, DQS#差分输出低电平时间	$t_{DQSL}$		0.45	0.55	$t_{CK(avg)}$
DQS, DQS# 差分输出高电	$t_{DQSH}$		0.45	0.55	$t_{CK(avg)}$

平时间					
DQS, DQS# 上升沿相对 CK, CK# 上升沿时间间隔	$t_{DQSS}$		-0.25	0.25	$t_{CK(avg)}$
DQS, DQS# 下降沿相对 CK, CK# 上升沿的时间间隔	$t_{DSH}$		0.2	--	$t_{CK(avg)}$
差分输出信号斜率	$S_{RQdiff}$	见图 2.5、图 2.6	5	10	V/ns
DDR3 SDRAM 命令和地址信号电特性 <sup>a, b, c, d</sup>					
命令和地址信号组相对 CK, CK# 的建立时间	$t_{IS}$	见图 2.7	350	--	ps
命令和地址信号组相对 CK, CK# 的保持时间	$t_{IH}$		275	--	ps
控制和地址信号组输出脉冲宽度	$t_{OPW}$		900	--	ps
<sup>a</sup> 低→高跳变和高→低跳变的参考点分别为 $V_{IL}$ 最大值和 $V_{IH}$ 最小值。 <sup>b</sup> 低→高跳变和高→低跳变的参考点分别为 $V_{OL}$ 最大值和 $V_{OH}$ 最小值。 <sup>c</sup> $C=CLK\_REF$ 周期时间, 单位 ns。例如: $CLK\_REF$ 的频率为 10MHz, 则 $C=100ns$ 。 <sup>d</sup> 通过功能测试保证, 不测试。					

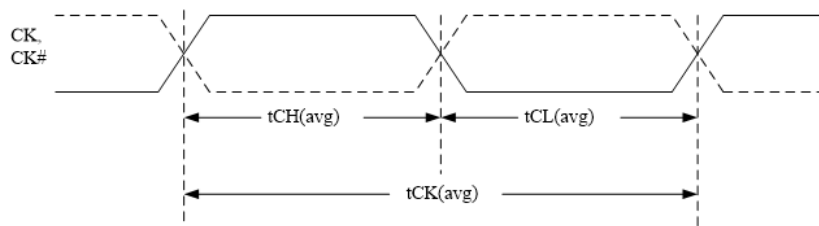


图 2.2 DDR3 SDRAM 控制器输出时钟

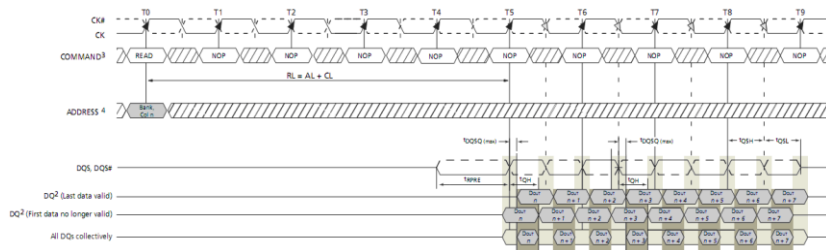


图 2.3 DDR3 SDRAM 读时序举例

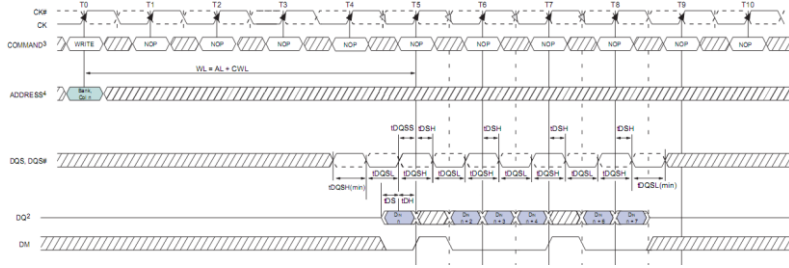


图 2.4 DDR3 SDRAM 写时序举例

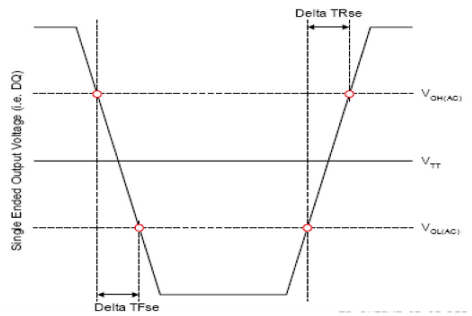


图 2.5 单端信号斜率  $SRQ_{se} = [VOH(AC) - VOL(AC)] / \Delta TR_{se}$

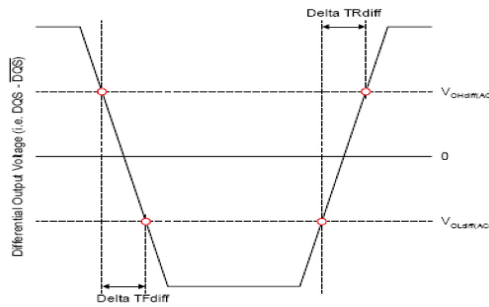


图 2.6 差分信号斜率  $SRQ_{diff} = [VOH_{diff}(AC) - VOL_{diff}(AC)] / \Delta TR_{diff}$

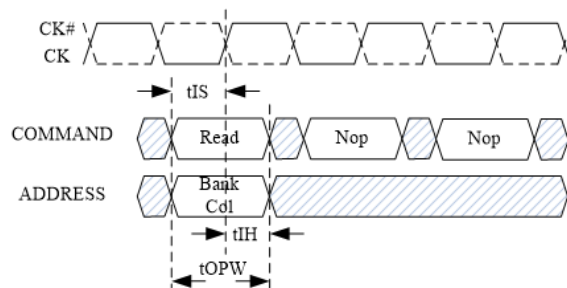


图 2.7 命令和地址时序

### 2.3 PCIe 接口

### 2.3.1 PCIe 接口信号说明

PCIe 接口特性如下：

1. 支持 PCIe 2.0 规范，兼容 PCIe 1.0 规范；
2. 支持 Root Complex 和 End Point 两种模式；
3. 共 8lane，支持 X8 接口（兼容 X4/X2/X1）以及拆分成 2 个 X4 接口（各兼容 X2/X1）；
4. 两个 X4 接口支持 P2P；
5. 内部集成 DMA 引擎，两个通道。

### 2.3.2 PCIe 接口电特性

表 2-8 PCIe 接口电特性

特性	符号	测试条件 (除另有规定外： Tc=-40~85°C； VDDC=1.15V； VDDP=3.3V； VDD_REF=0.75V； VDDQ=1.5V)	极限值		单位
			最小	最大	
PCIe读操作和写操作时序 <sup>a,b,c,d</sup>					
发送差分摆幅	$V_{tx-diff-pp}$		0.8	1.2	V
发送眼宽	$T_{tx-eye}$		--	0.75UI	
接收眼高	$T_{rx-eye}$		--	0.4UI	
<sup>a</sup> 低→高跳变和高→低跳变的参考点分别为 $V_{IL}$ 最大值和 $V_{IH}$ 最小值。 <sup>b</sup> 低→高跳变和高→低跳变的参考点分别为 $V_{OL}$ 最大值和 $V_{OH}$ 最小值。 <sup>c</sup> C=CLK_REF 周期时间，单位 ns。例如：CLK_REF 的频率为 10MHz，则 C=100ns。 <sup>d</sup> 通过功能测试保证，不测试。					

## 2.4 千兆以太网(RGMII)接口

### 2.4.1 RGMII 接口信号说明

以太网控制器（RGMII）的主要功能是在兼容 IEEE802.3-2005 标准的以太网中发送和接收数据，支持 RGMII 的 PHY 接口。

RGMII 接口特点：

1. 支持速率 1000Mbps/100Mbps/10Mbps。
2. 支持 IEEE 802.3-2005 Ethernet MAC，Reduced Gigabit Media Independent Interface (RGMII)。

### 2.4.2 RGMII 接口电特性

表 2-9 RGMII 接口电特性

特性	符号	(除另有规定外: Tc=-40~85°C; VDDC=1.15V; VDDP=3.15~3.45V; VDD_REF=0.75V; VDDQ=1.5V)	极限值		单位
			最小	最大	
MDIO写操作时序 <sup>a,b,c,d</sup>					
Mdc时钟周期	<i>Mdc_cyc</i>	图 2.8	8	248	ns
MDIO读操作时序 <sup>a,b,c,d</sup>					
Mdc时钟周期	<i>Mdc_cyc</i>	图 2.9	8	248	ns
RGMII发送通道时序 <sup>a,b,c,d</sup>					
Clk_tx正沿落后 phy_txd_o数据的偏差	<i>Tskew</i>	图 2.10	100	200	ps
Clk_tx负沿落后 phy_txd_o数据的偏差	<i>Tskew_negT</i>		100	200	ps
Phy采样时钟落后于 gmac输出时钟的偏差	<i>Phy_clk_delay</i>		0	3.4	ns
Phy接收通道时钟采样 数据的建立时间	<i>Tsetup</i>		0.1	3.4	ns
Phy接收通道时钟采样 数据的保持时间	<i>Thold</i>		0.6	3.9	ns
RGMII接收通道时序 <sup>a,b,c,d</sup>					
Gmac接收通道时钟落后 于Phy输出时钟的偏差	<i>Cpu_clk_delay</i>	图 2.11	1.0	2.0	ns
Gmac接收通道时钟采样 数据的建立时间	<i>Tsetup</i>		1.0	2.0	ns
Gmac接收通道时钟采样 数据的保持时间	<i>Thold</i>		2.0	3.0	ns
<sup>a</sup> 低→高跳变和高→低跳变的参考点分别为 V <sub>IL</sub> 最大值和 V <sub>IH</sub> 最小值。 <sup>b</sup> 低→高跳变和高→低跳变的参考点分别为 V <sub>OL</sub> 最大值和 V <sub>OH</sub> 最小值。 <sup>c</sup> C=CLK_REF 周期时间, 单位 ns。例如: CLK_REF 的频率为 10MHz, 则 C=100ns。 <sup>d</sup> 通过功能测试保证, 不测试。					

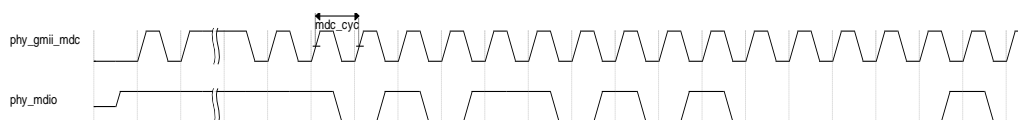


图 2.8 MDIO 写操作时序

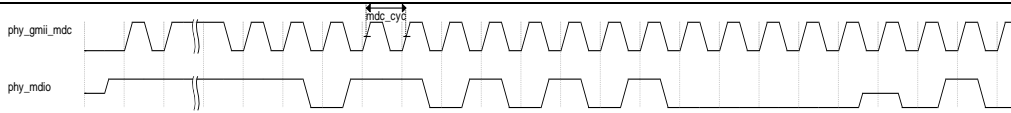


图 2.9 MDIO 读操作

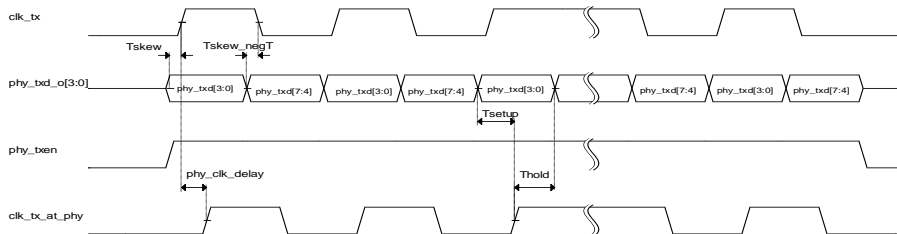


图 2.10 RGMII 发送通道时序

上图说明 clk\_tx 为芯片输出时钟，通过在 PHY 上加 phy\_clk\_delay 使得接收端出现 clk\_tx\_at\_phy 时钟。

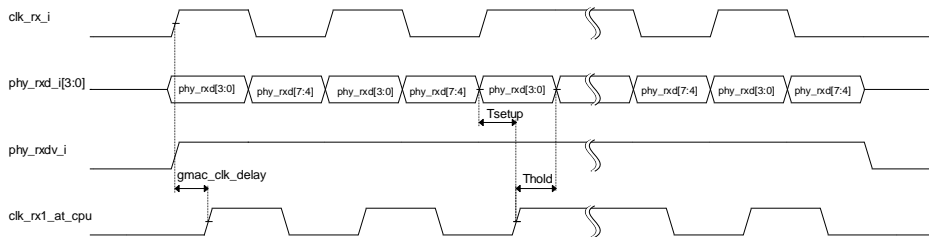


图 2.11 RGMII 接收通道时序

上图说明，clk\_rx\_i 在默认情况下的时钟，通过调整 PHY 的时钟延时 gmac\_clk\_delay,使得在 CPU 接口上出现 clk\_rx1\_at\_cpu 的时钟。

## 2.5 DMAC 接口

### 2.5.1 DMAC 接口信号说明

Dmac 是 FT-2000A/2 中用来进行 DMA 控制的模块，通过该模块，可以完成从内存-内存、LBC-内存以及 PCIe-PCIe (peer to peer) 的 DMA 操作，其他 DMA 操作，如 PCIe-内存、RGMII-内存等，由 PCIe 控制器及 RGMII 控制器内部的 DMA 模块完成。

Dmac 模块的基本功能是作为主模块，从 DMA 源地址读取数据，缓存在本

地 FIFO 中，再将数据写入 DMA 目的地址，从而减少数据移动过程中对内核资源的占用。

Dmac 模块的功能特性包括：

1. 具有两个独立的 DMA 通道。
2. 具有基本和扩展两种 DMA 操作模式，两种模式下都支持直接模式和链接模式，直接模式由软件直接指定 DMA 参数，链接模式由软件初始化的描述符指定 DMA 参数，多个描述符可以连接为链。
3. 通过片外接口，可以由片外进行 DMA 的启动、暂停、停止等操作。
4. 支持 32 Byte 对齐的数据传输。
5. 完成 DMA 操作或发生错误时，可以报中断。
6. 不支持虚拟化，采用物理地址进行 DMA 操作，物理地址宽度 40 位。
7. DMA 数据的一致性可以配置为由软件或硬件保证，当由软件保证一致性时，L2 cache 不会对 DMA 的数据进行监听，DMA 的效率更高。

## 2.6 LBC 接口

### 2.6.1 LBC 接口信号说明

LBC 的主要部分是存储器控制器，该控制器提供了到多种类型存储设备和外部设备的无缝接口。该控制器负责控制八个存储体(bank)，这八个存储体由一个 GPCM 和可多达二个的 UPMs 所共享。因此它支持 EPROM、flash EPROM、可突发 RAM 和其他一些外部设备的最小粘结逻辑接口。外部地址锁存信号 (LAL)允许地址和数据信号的多路复用，减少信号数量。

1. LBC 与 SPI 复用 0~1GB 的地址空间，LBC 与 SPI 不能同时使用。通过 spi\_lpc\_select 管脚来配制，当 spi\_lpc\_select=0 时，SPI 使用 0~1GB;当 spi\_lpc\_select=1 时，LBC 使用 0-1GB。

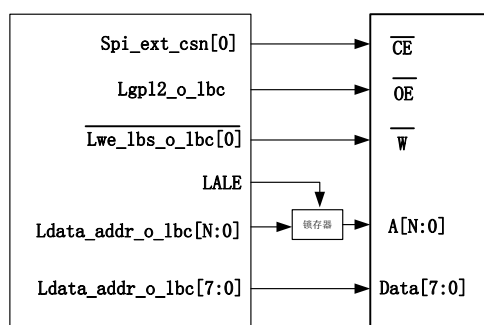
2. Ps\_conf[1:0]设置数据宽度，2'b00:16 位数据宽度，2'b11:32 位数据宽度，2'b01 或 2'b10:8 位数据宽度。

3. 默认情况启动 cs0，片选与 SPI 的管脚复用。片选对应的管脚为表 2-10 所示。

表 2-10 片选对应管脚

spi_ext_csn[0]	AJ1	O		给 FLASH 片选信号，低有效；LBC 片选 0
spi_ext_csn[1]	AJ2	O		给 FLASH 片选信号，低有效；LBC 片选 1
spi_ext_csn[2]	AJ3	O		给 FLASH 片选信号，低有效；LBC 片选 2
spi_ext_csn[3]	AJ4	O		给 FLASH 片选信号，低有效；LBC 片选 3
spi_ext_so	AK3	O		SPI 总线输出数据信号；LBC 片选 5
ext_spi_si	AK4	I	down	SPI 总线输入数据信号；LBC 片选 6
lcs_o_lbc_7	AE5	O		LBC 片选 7

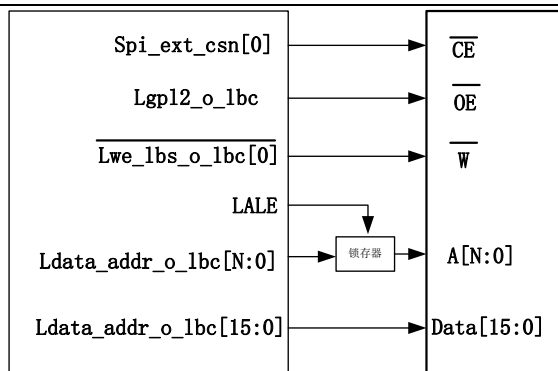
1. LBC 的地址总和数据线是复用的。通过 LALE 信号锁存地址的。la\_4\_0[4:0]为低 5 独立地址。
2. 写字节使能信号 lwe\_lbs\_o\_lbc[3:0], 对于 PCB 板直接用 lwe\_lbs\_o\_lbc[0] 即可。
3. dir\_data\_addr\_lbc 管脚做为 ldata\_addr\_o\_lbc[31:0]管脚方向控制信号，dir\_data\_addr\_lbc=1 时表示输出，dir\_data\_addr\_lbc=0 时表示输入。
4. 如果 CPU 的 IO 管脚是 2.5V 时，还需要做电平转换，一般建议用 CPLD 做地址锁存和电平转换。
5. OE 管脚与 lgp12 是复用，无需配制管脚复用。
6. 如果与 CPU 的 IO 电压与外围芯片电压一致设计参考图 2.12 和图 2.13。



地址锁存器是从最低位地址开始锁存，高位地址N根据需求进行设置。

图 2.12 局部总线与 GPCM 设备的 Byte 接口





地址锁存器是从最低位地址开始锁存，高位地址N根据需求进行设置。

图 2.13 局部总线与 GPCM 设备的 Word 接口

### 2.6.2 LBC 接口电特性

LBC 的输出时序可以根据具体需求进行相应的编程，LBC 信号都是由 LBC 控制器内部 100M 同步时钟产生的。器件集成 LBC 接口，特性如表 2-11 所示。

表 2-11 LBC 接口电特性

特性	符号	(除另有规定外： Tc=-40~85°C； VDDC=1.15V； VDDP= 3.15~3.45V； VDD_REF=0.75V； VDDQ=1.5V)	极限值		单位
			最小	最大	
GPCM写操作时序 <sup>a,b,c,d,e</sup>					
LBC时钟周期	Local_cyc	图 2.14	10	40	ns
地址锁存使能时间	Tlale		10*n	40*n	ns
地址锁存保持时间	Ta		10	10	ns
地址锁存后片选时间	Tdcs		0	80	ns
片选使能时间	Tcs		10*(n+1)	40*(n+1)	ns
写使能时间	Twe		10*n	40*n	ns
GPCM读操作时序 <sup>a,b,c,d,e</sup>					
LBC时钟周期	Local_cyc	图 2.15	10	40	ns
地址锁存使能时间	Tlale		10*n	40*n	ns
地址锁存保持时间	Ta		10	10	ns
地址锁存后片选时间	Tdcs		0	40	ns
片选使能时间	Tcs		10*(n+1)	10*(n+1)	ns
读使能时间	Toe		10*n	40*n	ns
UPM写操作时序 <sup>a,b,c,d,e</sup>					
LBC时钟周期	Local_cyc	图 2.16	10	40	ns
地址锁存使能时间	Tlale		10*n	40*n	ns
地址锁存保持时间	Ta		10	10	ns

地址锁存后片选时间	$T_{dcs}$	图 2.17	0	$40*n$	ns
片选使能时间	$T_{cs}$		$10*(n+1)$	$10*(n+1)$	ns
写使能时间	$T_{we}$		$10*n$	$40*n$	ns
UPM读操作时序 <sup>a,b,c,d,e</sup>					
LBC时钟周期	$Local\_cyc$	图 2.17	10	40	ns
地址锁存使能时间	$T_{lale}$		$10*n$	$40*n$	ns
地址锁存保持时间	$T_a$		10	10	ns
片选使能时间	$T_{cs}$		$10*(n+1)$	$40*(n+1)$	ns
写使能时间	$T_{we}$		$10*n$	$10*n$	ns
<p>a 低→高跳变和高→低跳变的参考点分别为 <math>V_{IL}</math> 最大值和 <math>V_{IH}</math> 最小值。</p> <p>b 低→高跳变和高→低跳变的参考点分别为 <math>V_{OL}</math> 最大值和 <math>V_{OH}</math> 最小值。</p> <p>c <math>C=CLK\_REF</math> 周期时间，单位 ns。例如：CLK_REF 的频率为 10MHz，则 <math>C=100ns</math>。</p> <p>d 通过功能测试保证，不测试。</p> <p>e 由于 LBC 模块的时序可以通过编程控制的，表格中的 n 最小值取值 1，最大值需要根据每个信号编程值而定，并且相关的时间都是 10ns 的整数位。</p>					

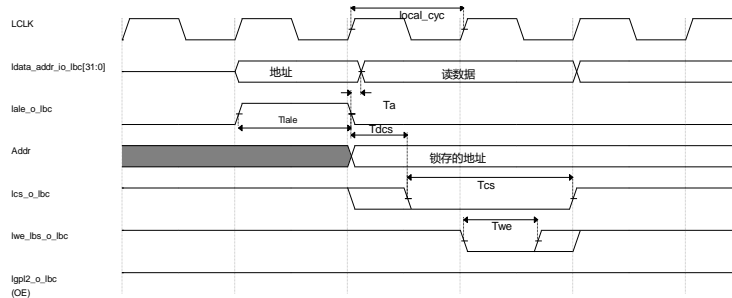


图 2.14 GPCM 基本写时序

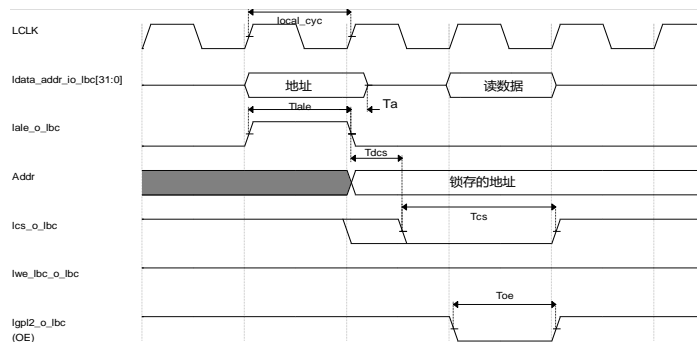


图 2.15 GPCM 基本读时序

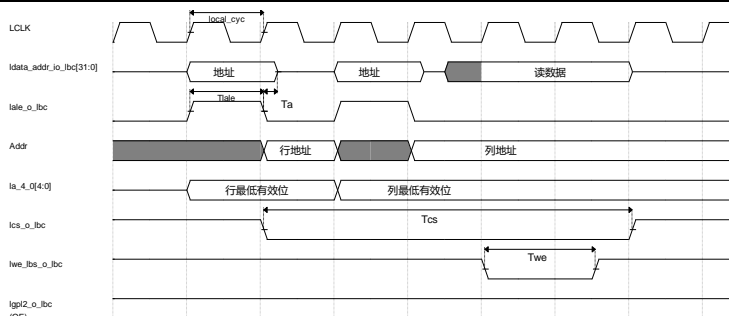


图 2.16 UPM 写时序

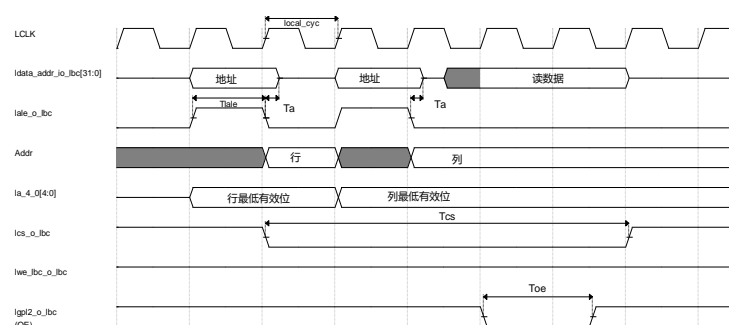


图 2.17 UPM 读时序

## 2.7 SPI 接口

### 2.7.1 SPI 接口信号说明

SPI 接口仅支持连接用于存储 BIOS 用的 FLASH 芯片。

支持的功能：

1. 支持状态寄存器的硬件保护模式(Hardware Protected Mode, wp 输入为 0 且状态寄存器的 SRWD 位为 1。
2. 支持动态修改 SCK 频率：设计上保证：(1) 复位后 SCK 频率初值足够低，能够正确读出 Flash 内容；(2) 修改 SCK 频率配置寄存器前不存在 pending 的 SPI 事务。

不支持的功能：

1. 不支持 hold。hold 是 SPI FLASH 的一个输入引脚，为低时将中断当前通信。
2. 不支持加速模式。当 wp 输入接 9v 左右的电压时，FLASH 的编程和擦除将被加速。不支持这一模式。
3. 可以支持大容量 Flash（比如 64M），硬件不需要做特殊处理，软件配置 Flash 芯片工作模式即可。

## 2.7.2 SPI 接口电特性

表 2-12 SPI 接口电特性

特性	符号	(除另有规定外: Tc=-40~85°C; VDDC=1.15V; VDDP= 3.15~3.45V; VDD_REF=0.75V; VDDQ=1.5V)	极限值		单位
			最小	最大	
SPI 信号电特性					
CS 下降沿与 SCK 上升沿延时	$t_{CSS}$	见图 2.18	--	1	$\mu\text{s}$
CS 下降沿与 SO 上升沿延时	$t_{CSD}$		--	10	$\mu\text{s}$

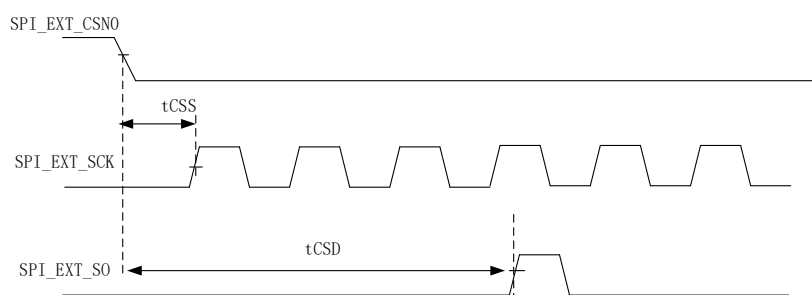


图 2.18 SPI 时序图

## 2.8 UART 接口

### 2.8.1 UART 接口信号说明

UART (Universal Asynchronous Receiver/Transmitter) 为通用异步接收/发送装置。本芯片中集成了一个全线制串口 (UART0) 和两线制串口 (UART1)。

### 2.8.2 UART 接口电特性

表 2-13 UART 接口电特性

特性	符号	测试条件 (除另有规定外: Tc=-40~85°C, VDDC=1.1V; VDDP=3.1-3.5V; VDD_REF=0.75V; VDDQ=1.5V)	极限值		单位
			最小	最大	
串口时序 <sup>a,b,c,d</sup>					
rx <sub>d</sub> 和tx <sub>d</sub> 低电平时间	$t_L$	见图 2.19	666	--	ns

rxd和txd高电平时间	$t_H$		666	--	
rxd和txd信号上升时间	$t_{RT}$		--	1	
rxd和txd信号下降时间	$t_{FT}$		--	1	
rxd和txd信号高电平	$V_H$		3.25	3.3	V
rxd 和 txd 信号低电平	$V_L$		0	0.25	
信号传输 gnd 低电平	$v_{GND}$		0	0.25	V

<sup>a</sup> 低→高跳变和高→低跳变的参考点分别为  $V_L$  最大值和  $V_H$  最小值。  
<sup>b</sup> 低→高跳变和高→低跳变的参考点分别为  $V_{OL}$  最大值和  $V_{OH}$  最小值。  
<sup>c</sup>  $C=CLK\_REF$  周期时间, 单位 ns。例如:  $CLK\_REF$  的频率为 10MHz, 则  $C=100ns$ 。  
<sup>d</sup> 通过功能测试保证, 不测试。

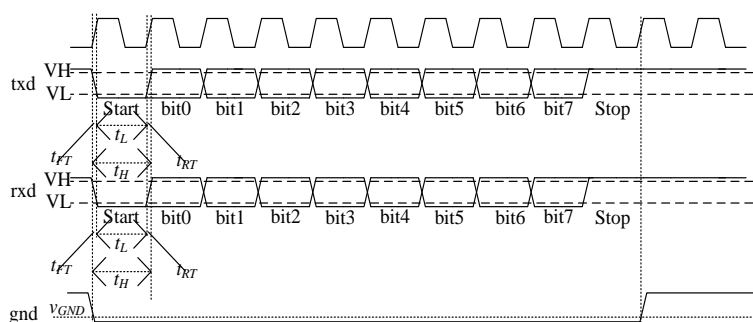


图 2.19 UART 时序图

## 2.9 LPC 接口

### 2.9.1 LPC 接口信号说明

除 LPC\_CLK 外, 其他 LPC 信号均为 GPIO 复用, 对应关系如下:

- FT\_GPIO\_PORTB7——LDRQ\_N
- FT\_GPIO\_PORTC7——IRQ\_N
- FT\_GPIO\_PORTD0——LPC\_FRAME
- FT\_GPIO\_PORTD4——LAD0
- FT\_GPIO\_PORTD5——LAD1
- FT\_GPIO\_PORTD6——LAD2
- FT\_GPIO\_PORTD7——LAD3

### 2.9.2 LPC 接口电特性

表 10 LPC 接口电特性

特性	符号	(除另有规定外: Tc=-40~85°C; VDDC=1.15V; VDDP=3.15~3.45V; VDD_REF=0.75V; VDDQ=1.5V)	极限值		单位
			最小	最大	
LPC信号电特性 <sup>a,b,c,d</sup>					
LPC时钟周期	$T_h$	图 2.20	--	33	ns
LPC请求开始保持时间	$T_{start}$		--	33	ns
LPC请求传输时间	$T_{trans}$		--	330	ns
<sup>a</sup> 低→高跳变和高→低跳变的参考点分别为 $V_{IL}$ 最大值和 $V_{IH}$ 最小值。 <sup>b</sup> 低→高跳变和高→低跳变的参考点分别为 $V_{OL}$ 最大值和 $V_{OH}$ 最小值。 <sup>c</sup> $C=CLK\_REF$ 周期时间, 单位 ns。例如: $CLK\_REF$ 的频率为 10MHz, 则 $C=100ns$ 。 <sup>d</sup> 通过功能测试保证, 不测试。					

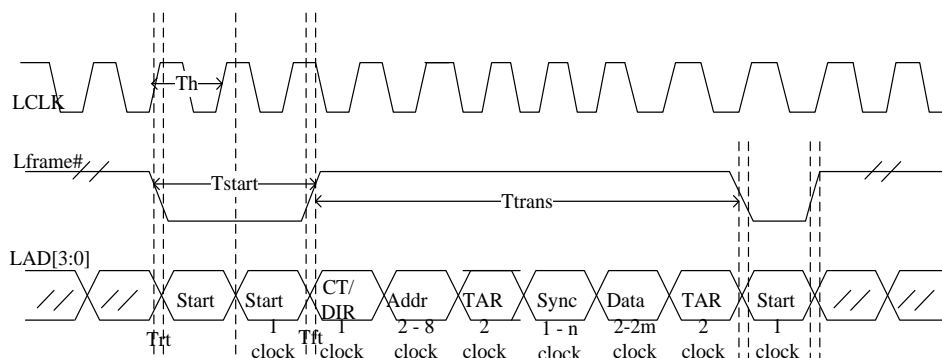


图 2.20 LPC 基本时序

## 2.10 I2C 接口

### 2.10.1 I2C 接口信号说明

I2C (Inter-Integrated Circuit) 分别包含一条串行数据线 SDA 与一条串行时钟线 SCL。I2C 用于连接微控制器及其外围设备, 是微电子通信控制领域广泛采用的一种总线标准。它是同步通信的一种特殊形式, 具有接口线少, 控制方式简单, 器件封装形式小, 通信速率较高等优点。

芯片包含 2 个 I2C 接口, 分别为 I2C0 和 I2C1, 可以分别配置为主或从模式。

### 2.10.2 I2C 接口电特性

表 2-14 I2C 接口电特性

特性	符号	(除另有规定外: Tc=-40~85°C, VDDC=1.15V;	极限值		单位
			最小	最大	

		VDDP=3.15~3.45V; VDD_REF=0.75V; VDDQ=1.5V)				
I2C接收时序 <sup>a,b,c,d</sup>						
周期时间, SCL	$t_c(SCL)$	见图 2.21	10	--	$\mu s$	
建立时间,SCL为高之前SDA低(对重启动的START条件)	$t_{su}(SCLH-SDAL)$		4.7	--	$\mu s$	
保持时间, SCL为低之后SDA低(对START和重启动的START条件)	$t_h(SCLL-SDAL)$	见图 2.21	4	--	$\mu s$	
脉冲持续时间, SCL低	$t_w(SCLL)$		4.7	--	$\mu s$	
脉冲持续时间, SCL高	$t_w(SCLH)$		4	--	$\mu s$	
建立时间, SDA在SCL高之前有效	$t_{su}(SDAV-SDLH)$		250	--	ns	
保持时间, SDA在SCL高之后有效	$t_h(SDA-SDLL)$		0	--	$\mu s$	
脉冲持续时间, 在STOP和START条件之间SDA为高	$t_w(SDAH)$		4.7	--	$\mu s$	
上升时间, SDA	$t_r(SDA)$		--	1000	ns	
上升时间, SCL	$t_r(SCL)$		--	1000	ns	
下降时间, SDA	$t_f(SDA)$		--	300	ns	
下降时间, SCL	$t_f(SCL)$		--	300	ns	
建立时间, 在SDA高之前SCL高(对STOP条件)	$t_{su}(SCLH-SDAH)$		4	--	$\mu s$	
脉冲持续时间, spike(必须抑制)	$t_w(SP)$		--	--	ns	
每条总线上的电容负载	$C_b$		--	400	pF	
I2C发送时序 <sup>a,b,c,d</sup>						
周期时间, SCL	$t_c(SCL)$		见图 2.22	10	--	$\mu s$
延迟时间, SCL为高到SDA为低(对重启动的START条件)	$t_d(SCLH-SDAL)$	4.7		--	$\mu s$	
延迟时间, SDA为低到SCL为低(对START和重启动的START条件)	$t_h(SDAL-SCLL)$	4		--	$\mu s$	
脉冲持续时间, SCL低	$t_w(SCLL)$	见图 2.22	4.7	--	$\mu s$	
脉冲持续时间, SCL高	$t_w(SCLH)$		4	--	$\mu s$	
延迟时间, SDA有效到SCL为高	$t_d(SDAV-SDLH)$		250	--	ns	
有效时间, SCL低之后SDA有效	$t_v(SDLL-SDAV)$		0	--	$\mu s$	
脉冲持续时间, 在STOP和START条件之间SDA为高	$t_w(SDAH)$		4.7	--	$\mu s$	
上升时间, SDA	$t_r(SDA)$		--	1000	ns	
上升时间, SCL	$t_r(SCL)$		--	1000	ns	
下降时间, SDA	$t_f(SDA)$		--	300	ns	
下降时间, SCL	$t_f(SCL)$		--	300	ns	
延迟时间, SCL高到SDA高(对STOP条件)	$t_d(SCLH-SDAH)$		4	--	$\mu s$	
每条总线上的电容负载	$C_b$		--	12	pF	

- a 低→高跳变和高→低跳变的参考点分别为  $V_{IL}$  最大值和  $V_{IH}$  最小值。
- b 低→高跳变和高→低跳变的参考点分别为  $V_{OL}$  最大值和  $V_{OH}$  最小值。
- c  $C=CLK\_REF$  周期时间，单位 ns。例如：CLK\_REF 的频率为 10MHz，则  $C=100ns$ 。
- d 通过功能测试保证，不测试。

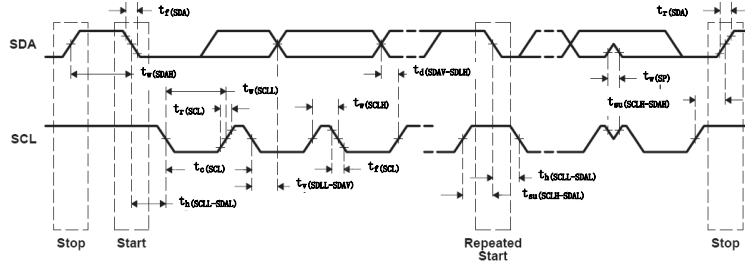


图 2.21 I2C 接收时序

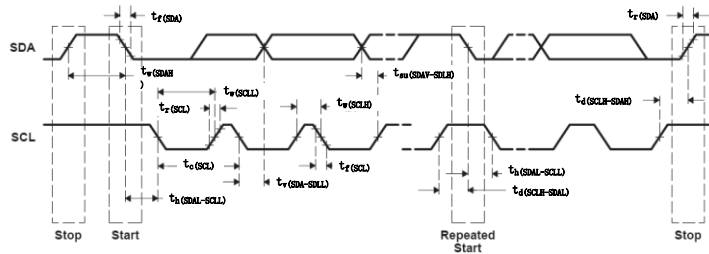


图 2.22 I2C 发送时序

## 2.11 GPIO 接口

### 2.11.1 GPIO 接口信号说明

芯片集成了 4 组，每组 8bit，共计 32bit GPIO。这些 GPIO 多数与其他功能引脚复用，具体见复用引脚说明 P32。

### 2.11.2 GPIO 接口电特性

表 2-15 GPIO 接口电特性

特性	符号	测试条件 (除另有规定外： $T_c = -40 \sim 85^\circ C$ ; $V_{DDC} = 1.15V$ ; $V_{DDP} = 3.15 \sim 3.45V$ ; $V_{DD\_REF} = 0.75V$ ; $V_{DDQ} = 1.5V$ )	极限值		单位
			最小	最大	
GPIO 信号电特性					
通用 IO 上升时间 <sup>a</sup>	$t_{RT}$	见图 2.23	--	15	ns
通用 IO 下降时间 <sup>a</sup>	$t_{FT}$		--	15	ns

<sup>a</sup> 低→高跳变和高→低跳变的参考点分别为  $V_{OL}$  最大值和  $V_{OH}$  最小值。



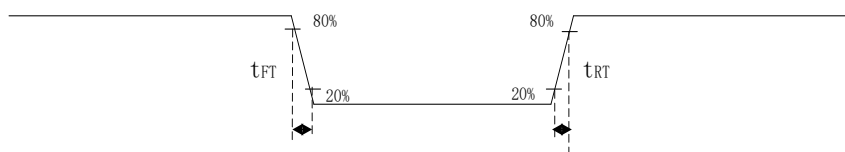


图 2.23 GPIO 开关特性图

## 2.12 WDT

FT-2000A/2 集成了 2 个 WDT，支持喂狗操作。当 WDT 初始化完成后，计数器第一次超时后产生中断，上报到中断管理模块，第二次超时后产生中断/复位，复位请求上报到时钟复位管理模块。

## 3 时钟管理

### 3.1 时钟需求

表 3-1 时钟需求

时钟	频率	频差	jitter	电压
clk_ref	50MHz	$\leq 20\text{ppm}$	$\leq 42\text{ps}$	VDD_IO
clk_lpc	33MHz	$\leq 20\text{ppm}$	——	VDD_IO
clk_pcie	100MHz	$\leq 50\text{ppm}$	1ps(phase)	VDD_IO

## 4 电源管理

### 4.1 电源参数

表 4-1 电压种类及要求表

电源种类	符号	电压
内核电源	VDD_CORE	1.1V
MCU 电源	P1V5_DDR3	1.5V
PCIE 模拟部分电源	VDDA	1.1V
PCIE 数字部分电源	VDDHV0	2.5V
IO 电源	VDD_IO	2.5V/3.3V
锁相环电源	PLL_AVDD	1.1V
Efuse 电源	EFUSE_AVDD	2.5V

## 5 电气特性

### 5.1 极限工作条件

- a) 内核电压 (VDDC) : -0.3~1.5V
- b) IO 电压 (VDDP) : -0.3~3.6V
- c) DDR 电压 (VDDQ) : -0.3~1.8V
- d) DDR 参考电压 (VDD\_REF) : -0.3~0.9V
- e) 贮存温度( $T_{stg}$ ): -65~150°C

### 5.2 典型工作参数

推荐工作条件如下:

内核电压(VDDC):	$1.15 \times (1 \pm 5\%)V$
IO 电压(VDDP):	$3.3 \times (1 \pm 5\%)V$
DDR IO 电压(VDDQ):	$1.5 \times (1 \pm 5\%)V$
DDR 参考电压范围 (VDD_REF):	$0.75 \times (1 \pm 5\%)V$
工作温度( $T_C$ ):	-40~85°C

## 6 封装特性说明

### 6.1 封装尺寸

FT-2000A/2 采用 896 引出端塑料倒装焊球栅阵列 (FC-PBGA) 封装, 外形尺寸按 GB/T 7092 的规定, 外壳外封装外形如图 6.1 所示。

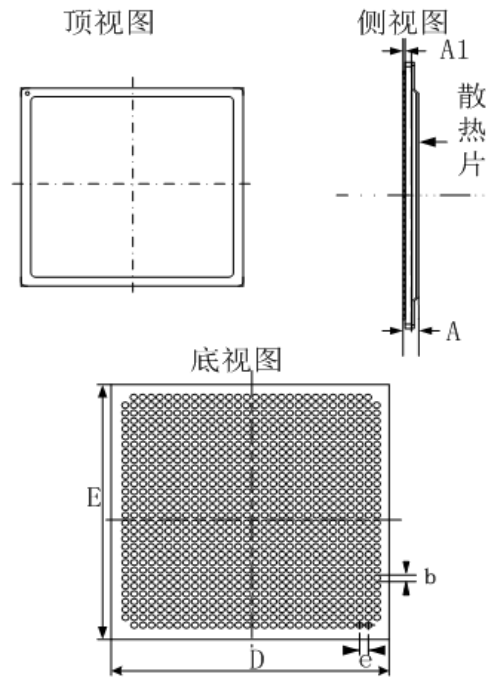


图 6.1 塑料封装外形尺寸

表 6-1 塑料封装外形尺寸

尺寸符号	最小/mm	公称/mm	最大/mm
A	2.73	--	3.15
A1	0.3	--	0.7
D	30.8	--	31.2
E	30.8	--	31.2
e	--	1.00	--
b	0.5	--	0.7

### 6.2 信号位置分布

