

PHYTIUM 飞腾

FT-2000+高性能通用微处理器
数据手册

(V2.1)

天津飞腾信息技术有限公司

二零二零年五月

版本历史

以下为此文档释放过的更新版本

| 日期 | 版本号 | 作者 | 更新说明 |
|------------|-----|--------|--|
| 2017.02.18 | 1.0 | 技术支持部 | 初版。 |
| 2017.02.20 | 1.1 | 技术支持部 | 修订电气特性。 |
| 2017.09.26 | 1.2 | 技术支持部 | 修改部分技术指标描述、修改装焊曲线内容。 |
| 2017.09.26 | 1.3 | 技术支持部 | 修改部分技术指标描述、调整 PCIE 部分寄存器列表格式。 |
| 2018.06.20 | 1.4 | 技术支持部 | 修订功能参数，增加功能描述。 |
| 2018.09.29 | 1.5 | 技术支持部 | 增加芯片结构描述章节；修订 GPIO 复用的描述；修改表格序号。 |
| 2018.12.25 | 1.6 | 技术支持部 | 修改部分引脚描述。 |
| 2019.05.09 | 1.7 | 技术支持部 | 新增芯片介绍、中断分配说明；新增 LPC 接口部分寄存器；调整文档结构。 |
| 2019.8.28 | 1.8 | 高性能研发部 | 整理寄存器说明，引脚说明。 |
| 2019.10.30 | 1.9 | 高性能研发部 | 补充 32 核形态描述。 |
| 2020.3.2 | 2.0 | 高性能研发部 | 修订加电时序，调整 pcie、ddr 和 core 的加电顺序，在上电完成前压低复位信号；修订 UART2 基址。 |
| 2020.5.6 | 2.1 | 高性能研发部 | 修订引脚电气特性，增加产品形态描述，补充 TDP 信息，增加产品标识说明，修订中断描述；将加电时序挪到硬件设计指导手册。 |

技术支持邮箱：support@phytium.com.cn

版权所有© 天津飞腾信息技术有限公司 2019。

此文档用于指导用户的相关应用和开发工作。天津飞腾信息技术有限公司对此文档内容拥有版权，并受法律保护。

PHYTUM

目 录

| | |
|------------------------|----|
| 目 录 | 4 |
| 1 简介 | 1 |
| 1.1 技术指标 | 1 |
| 1.2 结构描述 | 2 |
| 1.3 产品形态 | 4 |
| 1.4 最大功耗 | 5 |
| 2 接口描述 | 6 |
| 2.1 DDR 接口 | 6 |
| 2.2 PCIE 接口 | 6 |
| 2.2.1 翻转说明 | 6 |
| 2.2.2 寄存器说明 | 7 |
| 2.3 LPC 接口 | 16 |
| 2.3.1 寄存器说明 | 16 |
| 2.4 SPI 接口 | 20 |
| 2.4.1 寄存器说明 | 20 |
| 2.5 UART 接口 | 28 |
| 2.5.1 寄存器说明 | 29 |
| 2.6 I2C 接口 | 42 |
| 2.6.1 寄存器说明 | 42 |
| 2.7 WDT 接口 | 57 |
| 2.7.1 寄存器说明 | 57 |
| 2.8 GPIO 接口 | 59 |
| 2.8.1 GPIO 复用说明 | 59 |
| 2.8.2 GPIO 寄存器说明 | 62 |
| 2.9 调测试接口 | 65 |
| 3 外设中断说明 | 66 |
| 4 电气特性 | 67 |
| 4.1 极限工作条件 | 67 |
| 4.2 工作电压范围 | 67 |
| 4.3 工作电流范围 | 67 |
| 4.4 通用引脚电气特性 | 68 |
| 4.5 PCIE 引脚电气特性 | 68 |
| 4.5.1 发送引脚电气特性 | 69 |
| 4.5.2 接收引脚电气特性 | 69 |
| 4.5.3 时钟电气特性 | 69 |
| 4.5.4 参考电阻电气特性 | 70 |
| 4.6 DDR 引脚电气特性 | 70 |
| 5 封装数据 | 71 |
| 6 装焊温度曲线 | 72 |
| 7 引脚描述 | 74 |
| 7.1 通用 IO 类引脚（123 PIN） | 74 |
| 7.2 PCIE 引脚（149 PIN） | 80 |

| | |
|------------------------------|-----|
| 7.3 DDR4 引脚 (1280 PIN) | 85 |
| 7.4 电源引脚 (2024 PIN) | 140 |
| 8 产品标识..... | 147 |

PHYTUM

1 简介

FT-2000+处理器芯片集成 64 个自主开发的 ARMv8 指令集兼容处理器内核 FTC662, 采用片上并行系统体系结构。通过集成高效处理器核心、基于数据亲和的大规模一致性存储架构、层次式二维 Mesh 互连网络, 优化存储访问延时, 提供业界领先的计算性能、访存带宽和 IO 扩展能力。FT-2000+ 主要应用于高性能、高吞吐率服务器领域, 如对处理能力和吞吐能力要求很高的行业大型业务主机、高性能服务器系统和大型互联网数据中心等。

1.1 技术指标

标准版技术指标如下:

- 兼容 ARM v8.0 体系结构, 支持 ARM64 指令集;
- 兼容 ARM v8 虚拟化体系结构, 支持业界主流的 KVM、Xen 虚拟机;
- 集成 64 个自研 FTC662 处理器核心;
- 核心时钟频率为 2.2GHz;
- 每个核心包含 L1 数据 Cache 32KB, L1 指令 Cache 32KB;
- L2 Cache 总共 32MB, 每 4 个核心共享 2MB L2;
- 每拍完成 4 个双精度浮点运算, 峰值性能 563.2GFlops@2.2GHz;
- 核心电压 0.85V, 典型功耗 100W;
- 集成 8 个 DDR4 存储控制器, 最高支持 3200, 最大内存容量 1TB;
- 集成 2 个 16 Lane PCI Express v3.0 接口 (可拆分成 2 个 X8), 1 个 X1 接口, 支持 RC 和 EP 模式;
- 集成 1 个 SPI 接口的 Flash 控制器, 每个支持 4 个片选, 单片最大支持容量为 512MB;
- 集成 4 个 UART, 其中 1 个为 9 线全功能串口, 3 个为 3 线调试串口;
- 集成 1 个 LPC 接口, 兼容 Intel Low Pin Count 协议;
- 集成 2 个 I2C master 控制器、4 个 8 位 GPIO 接口;
- BGA3576 封装, 1.0mm 球间距, 封装尺寸 61mmX61mm;
- 通用 IO 接口包括 UART、I2C、GPIO、LPC 等。

1.2 结构描述

芯片基于数据亲和的多核处理器体系架构，集成了 64 个处理器核，如下图所示。

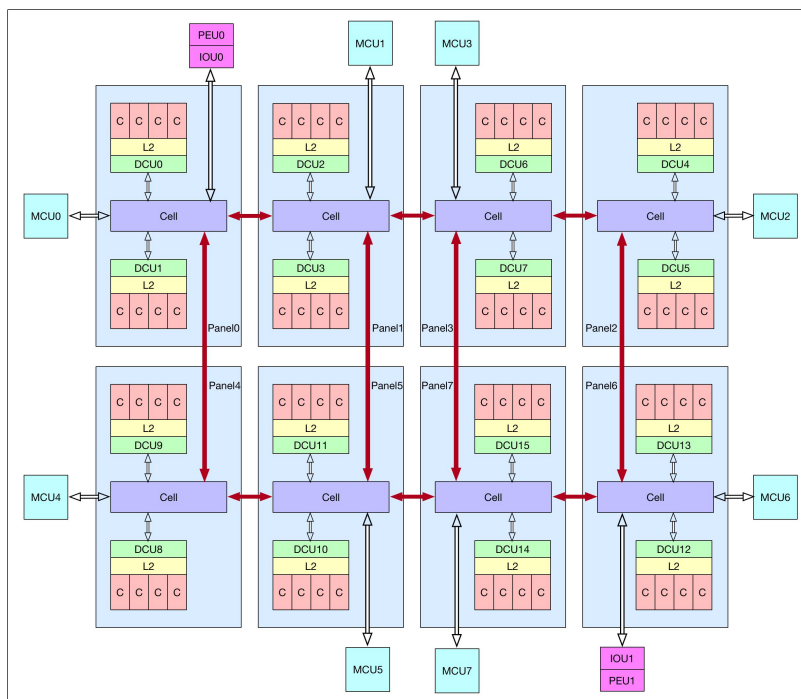


图 1-1 数据亲和多核处理器体系结构

芯片集成的 64 个处理器核心，划分为 8 个 Panel，每个 Panel 中有两个 Cluster（每个 Cluster 包含 4 个处理器核心）、4M 二级 cache、两个本地目录控制部件（DCU）、一个片上网络路由器节点（Cell）和一个紧密耦合的访存控制器（MCU）。Panel 之间通过片上网络接口连接，一致性维护报文、数据报文、调测试报文、中断报文等统一从同一套网络接口进行路由和通信。

处理器核为飞腾 FTC662 版本，采用四发射乱序超标量流水线结构，兼容 ARMv8 指令集，支持 ELO~EL 多个特权级。流水线分为取指、译码、分派、执行和写回五个阶段，采用顺序取指、乱序执行、顺序提交的多发射执行机制，取值宽度、译码宽度、分派宽度均是 4 条指令，共有 9 个执行部件（或者称为 9 条功能流水线），分别是 4 个整数部件、2 个浮点部件、1 个 load 部件、1 个 load/store 部件和 1 个系统管理指令执行部件。浮点流水线能够合并执行双路浮点 SIMD 指令，实现每拍可以执行 4 条双精度浮点操作的峰值性能。

基于数据亲和的多核处理器在体系结构级提供对数据局部性优化机制的支持。根据不同 Panel 和 Cluster 对存储空间的亲和度不同，将整个存储空间分成 8 个大空间，每个大空间对应一个距离最近的 Panel；每个大空间又分成 2 个子空间，每个 Cluster 对应一个子空间。任务部署和调度可以充分利用这些特性进行优化，与目前应用于 Petascale 系统的高性能多核微处理器相比，该结构支持将亲和度较高的多个线程映射到同一个 Panel 中，能够减少线程之间的全局通信，结合片上数据移动和迁移机制能够进一步优化全局通信延迟和能效。

基于数据亲和的多核处理器体系结构设计基于层次化实现局部与全局的协调和平衡。为了满足多核处理器对访存带宽和延迟的要求，芯片实现了层次式片上存储架构和层次式网络结构，支持高速片内 Cache 和大容量存储，亲和度高的任务通信频度高、数据同步量大，采用延迟短、带宽高的互连网络、和本地私有 Cache，亲和度弱的任务通信频度低，采用扩展性好但延迟较长的互连网络和分布共享的 Cache，对于需要跨 Panel 访存的应用尽量放置在较近的 Panel 中。采用分布式目录控制和存储，目录控制器和存储分布于各个 Panel，最大化并行处理一致性协议维护和访存。同时，通过灵活的地址映射模式，支持系统配置不同的访存能力。在亲和模式下，Panel 内部的目录控制器（DCU）只访问本地的访存模块（MCU），各个 Panel 之间的访存通道互不影响，具有最小的延迟和最大带宽；在部分模式下，DCU 根据配置可以访问任意的 MCU，支持系统配置不同规模的 DDR 通道数目。

1.3 产品形态

FT-2000+包含 3 种产品形态，详细规格见下表。

表 1-1 FT-2000+产品形态列表

| 产品分类 | FT-2000+标准版 | FT-2000+轻量版 | FT-2000+轻量 32 核版 |
|---------------------|-------------------------------|-------------------------------|-------------------------------|
| 外壳标识 | FT-2000+/64 B3576-PR | FT-2000+/64 B3576-TY | FT-2000+/64 B3576-TY32 |
| 订货号 | FT_2000+_64_6400_C | FT_2000+_64_6401_C | FT_2000+_64_3200_C |
| 软件字符串 | FT-2000+/64 | FT-2000+/64-TY | FT-2000+/64-TY32 |
| 主频 | 2.2GHz | 1.8GHz | 1.8GHz |
| 核数 | 64 | 64 | 32 |
| Cache | L2: 32MB | L2: 32MB | L2: 16MB |
| 接口 | 33lane PCIE3.0 8×DDR4/3200 | 33lane PCIE3.0 8×DDR4/3200 | 17lane PCIE3.0 4×DDR4/3200 |
| 典型功耗 | 100W | 95W | 80W |
| TDP ^[1] | 157W | 137W | 103W |
| 内核电压 | 0.85V | 0.85V | 0.85V |
| 质量等级 | 商业级 | 商业级 | 商业级 |
| MSL | ≤4 | ≤4 | ≤4 |
| ESD | ≥1000V | ≥1000V | ≥1000V |
| 环规 | ROHS2.0 | ROHS2.0 | ROHS2.0 |
| 芯片结温 T _j | 0~70°C | 0~95°C | 0~95°C |
| 扣合力 | 65Kg | 65Kg | 65Kg |
| [1]TDP 数据见 1.4 最大功耗 | | | |

在本文档关于结构、接口、中断和寄存器的描述中，FT-2000+轻量 32 核版只需要关心 Panel0~3、MCU0~3 和 PEU0 的相关内容，在第 7 章引脚描述中，以 PCIE1、LMU4、LMU5、LMU6 和 LMU7 为前缀的信号在 FT-2000+轻量 32 核版中不使用，可以采取悬空处理。

1.4 最大功耗

下图给出了 FT-2000+不同产品形态在不同结温 (T_j) 下的 TDP 功耗，测试集使用 Linpack 测试程序，核心电压设置为 0.88V。

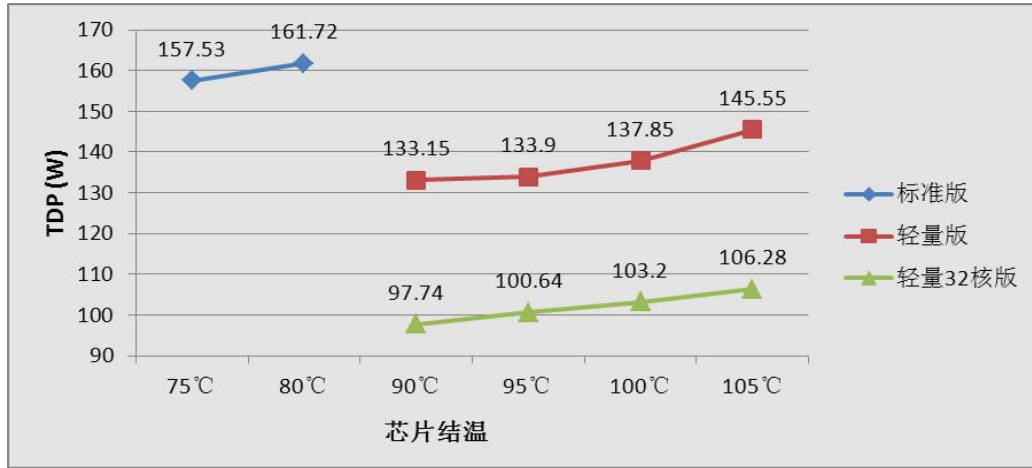


图 1-2 FT-2000+不同产品形态的 TDP 功耗

2 接口描述

2.1 DDR 接口

DDR 接口支持 X16、X8 和 X4 三种 DDR 颗粒类型，如下表所示。DDR 接口支持 1.2V DDR4 的 RDIMM、UDIMM、SODIMM、LRDIMM 等内存条类型。每个 DDR 通道支持 4 个 Rank，每通道最大容量为 128GB，总内存容量为 1TB。

表 2-1 DDR 接口支持的内存形式

| 颗粒芯片位宽 | 颗粒芯片数目 |
|------------------------|--------|
| X16 | 4 |
| X8 | 8 |
| X4 | 16 |
| 注：该表芯片数目中，不包含 ECC 内存颗粒 | |

2.2 PCIE 接口

PCIE 接口支持 PCIE3.0 规范，兼容 PCIE2.0、PCIE1.0 规范，其特点如下：

- 包含 2 个 x16 接口，每个接口可拆分为 2 个 x8 接口；
- 包含一个 x1 接口；
- 支持 EP 和 RC 模式（全部做 EP 或者全部做 RC）
- 可支持 X1，X2，X4，X8 ，支持翻转。

2.2.1 翻转说明

如果是整个 x16 插槽反转，支持两种情况的插卡：

- x16 的卡
- x8 的卡（要将控制器配置为分拆模式，且使用 C1 控制器）

如果是 x8 插槽反转，只能插 x8 的卡。

2.2.2 寄存器说明

2.2.2.1 寄存器基址

PEU0 寄存器基址：0x800_2CB0_0000

PEU1 寄存器基址：0x800_2CB0_1000

如无特殊说明，以下寄存器在 PEU0 和 PEU1 中各有一份。

2.2.2.2 寄存器列表

2.2.2.2.1 INTX 中断状态寄存器(0x000)

该寄存器只读，仅 PEU0 HPB 有意义。

表 2-2 INTX 中断状态寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|-------|--------------|-----|------|----------------------|
| 31:24 | RSV | 0x0 | RO | 为 1 表示存在相应的 intx 中断。 |
| 23 | peu1_c1_inta | 0x0 | RO | |
| 22 | peu1_c1_intb | 0x0 | RO | |
| 21 | peu1_c1_intc | 0x0 | RO | |
| 20 | peu1_c1_intd | 0x0 | RO | |
| 19 | peu1_c0_inta | 0x0 | RO | |
| 18 | peu1_c0_intb | 0x0 | RO | |
| 17 | peu1_c0_intc | 0x0 | RO | |
| 16 | peu1_c0_intd | 0x0 | RO | |
| 15:12 | RSV | 0x0 | RO | |
| 11 | peu0_c2_inta | 0x0 | RO | |
| 10 | peu0_c2_intb | 0x0 | RO | |
| 9 | peu0_c2_intc | 0x0 | RO | |
| 8 | peu0_c2_intd | 0x0 | RO | |
| 7 | peu0_c1_inta | 0x0 | RO | |
| 6 | peu0_c1_intb | 0x0 | RO | |
| 5 | peu0_c1_intc | 0x0 | RO | |
| 4 | peu0_c1_intd | 0x0 | RO | |
| 3 | peu0_c0_inta | 0x0 | RO | |

| | | | | |
|---|--------------|-----|----|--|
| 2 | peu0_c0_intb | 0x0 | RO | |
| 1 | peu0_c0_intc | 0x0 | RO | |
| 0 | peu0_c0_intd | 0x0 | RO | |

2.2.2.2.2 INTX 中断使能寄存器(0x004)

该寄存器仅 PEU0 HPB 有意义。

表 2-3 INTX 中断使能寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|---|---------|-----|------|-----------|
| 3 | intd_en | 0x0 | R/W | INTX 中断使能 |
| 2 | intc_en | 0x0 | R/W | |
| 1 | intb_en | 0x0 | R/W | |
| 0 | inta_en | 0x0 | R/W | |

2.2.2.2.3 杂散中断状态寄存器 (0x008)

表 2-4 杂散中断状态寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|-------|-----------------------|-----|------|-----------|
| 31:19 | RSV | 0x0 | RO | |
| 18 | c2_power_state_change | 0x0 | RO | c2 电源状态变化 |
| 17 | c2_local_int | 0x0 | RO | c2 本地中断 |
| 16 | c2_dma_int | 0x0 | RO | c2 dma 中断 |
| 15:11 | RSV | 0x0 | RO | |
| 10 | c1_power_state_change | 0x0 | RO | c1 电源状态变化 |
| 9 | c1_local_int | 0x0 | RO | c1 本地中断 |
| 8 | c1_dma_int | 0x0 | RO | c1 dma 中断 |
| 7:3 | RSV | 0x0 | RO | |
| 2 | c0_power_state_change | 0x0 | RO | c0 电源状态变化 |
| 1 | c0_local_int | 0x0 | RO | c0 本地中断 |
| 0 | c0_dma_int | 0x0 | RO | c0 dma 中断 |

2.2.2.2.4 杂散中断使能寄存器 (0x00c)

表 2-5 杂散中断使能寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|---|----------------|-----|------|-----------|
| 2 | c2_misc_int_en | 0x0 | R/W | c2 杂散中断使能 |
| 1 | c1_misc_int_en | 0x0 | R/W | c1 杂散中断使能 |
| 0 | c0_misc_int_en | 0x0 | R/W | c0 杂散中断使能 |

2.2.2.2.5 消息中断使能寄存器(0x010)

表 2-6 消息中断使能寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|---|---------------|-----|------|-----------|
| 2 | c2_msg_int_en | 0x0 | R/W | c2 消息中断使能 |
| 1 | c1_msg_int_en | 0x0 | R/W | c1 消息中断使能 |
| 0 | c0_msg_int_en | 0x0 | R/W | c0 消息中断使能 |

2.2.2.2.6 控制器错误状态寄存器(0x0C0)

该寄存器热复位保护，即热复位不影响该寄存器的值。

表 2-7 控制器错误状态寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|-------|----------------------|-----|------|----------------|
| 29 | R/W_timeout | 0x0 | RO | PIO 写超时(500us) |
| 28 | R/W_addr_err | 0x0 | RO | PIO 写地址错 |
| 27 | rd_timeout | 0x0 | RO | PIO 读超时(500us) |
| 26 | rd_addr_err | 0x0 | RO | PIO 读地址错 |
| 25 | sram_ue | 0x0 | RO | BIOS SRAM 不可纠错 |
| 24 | sram_ce | 0x0 | RO | BIOS SRAM 可纠错 |
| 23:21 | RSV | 0x0 | RO | 保留 |
| 20 | c2_fatal_error | 0x0 | RO | 致命错 |
| 19 | c2_non_fatal_error | 0x0 | RO | 非致命错 |
| 18 | c2_correctable_error | 0x0 | RO | 可纠错 |
| 17 | c2_phy_int | 0x0 | RO | phy 有错误事件 |
| 16 | c2_link_down | 0x0 | RO | 链路失效 |
| 15:13 | RSV | | | |
| 12 | c1_fatal_error | 0x0 | RO | 致命错 |

| | | | | |
|-----|----------------------|-----|----|-----------|
| 11 | c1_non_fatal_error | 0x0 | RO | 非致命错 |
| 10 | c1_correctable_error | 0x0 | RO | 可纠错 |
| 9 | c1_phy_int | 0x0 | RO | phy 有错误事件 |
| 8 | c1_link_down | 0x0 | RO | 链路失效 |
| 7:5 | RSV | | | |
| 4 | c0_fatal_error | 0x0 | RO | 致命错 |
| 3 | c0_non_fatal_error | 0x0 | RO | 非致命错 |
| 2 | c0_correctable_error | 0x0 | RO | 可纠错 |
| 1 | c0_phy_int | 0x0 | RO | phy 有错误事件 |
| 0 | c0_link_down | 0x0 | RO | 链路失效 |

2.2.2.2.7 控制器错误记录使能寄存器(0x0C4)

每一位与控制器错误事件状态寄存器对应，可读写，为 1 表示记录错误，否则不记录。

2.2.2.2.8 控制器错误中断使能寄存器(0x0C8)

每一位与控制器错误事件状态寄存器对应，可读写，为 1 表示发生错误时将发送中断。

2.2.2.2.9 控制器错误写 1 置寄存器(0x0CC)

每一位与控制器错误事件状态寄存器对应，写 1 将把对应位置 1，写 0 无效。

2.2.2.2.10 控制器错误写 1 清寄存器(0x0D0)

每一位与控制器错误事件状态寄存器对应，写 1 将把对应位清 0，写 0 无效。

2.2.2.2.11 控制器 MSI 使能寄存器(0x200)

两个 PEU 都要设。

表 2-8 控制器 MSI 使能寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|---|--------|-----|------|----------|
| 0 | msi_en | 0x0 | R/W | MSI 中断使能 |

2.2.2.2.12 控制器 MSI64 高位地址寄存器(0x208)

表 2-9 控制器 MSI64 高位地址寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|------|---------------|-----|------|------------|
| 31:0 | msi64_hi_addr | 0x0 | R/W | MSI64 高位地址 |

2.2.2.2.13 控制器 MSI64 低位地址寄存器(0x20C)

表 2-10 控制器 MSI64 低位地址寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|-------|---------------|-----|------|------------|
| 31:16 | msi64_lo_addr | 0x0 | R/W | MSI64 低位地址 |
| 15:0 | R | 0x0 | RO | 保留 |

2.2.2.2.14 BIOS SRAM 校验使能寄存器(0x600)

仅 PEU0 HPB 的有效。

表 2-11 BIOS SRAM 校验使能寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|---|-------------|-----|------|-----------------|
| 0 | sram_ecc_en | 0x0 | R/W | BIOS SRAM 的校验使能 |

2.2.2.2.15 VGA 使能寄存器 (0x700)

该寄存器必须两个 PEU 都设置且设为相同的值。

表 2-12 VGA 使能寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|---|----------------|-----|------|-----------------------|
| 4 | peu1_c1_vga_en | 0x0 | R/W | PEU1 控制器 1 的 vga_en 位 |
| 3 | peu1_c0_vga_en | 0x0 | R/W | PEU1 控制器 0 的 vga_en 位 |
| 2 | peu0_c2_vga_en | 0x0 | R/W | PEU0 控制器 2 的 vga_en 位 |
| 1 | peu0_c1_vga_en | 0x0 | R/W | PEU0 控制器 1 的 vga_en 位 |
| 0 | peu0_c0_vga_en | 0x0 | R/W | PEU0 控制器 0 的 vga_en 位 |

2.2.2.2.16 PIO 超时使能寄存器 (0x708)

表 2-13 PIO 超时使能寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|---|----------------|-----|------|------------|
| 0 | pio_timeout_en | 0x1 | R/W | PIO 操作超时使能 |

2.2.2.2.17 PIO 写超时地址寄存器 0 (0x710)

该寄存器热复位保护。

表 2-14 PIO 写超时地址寄存器 0

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|------|-----------------------|-----|------|------------|
| 31:0 | wr_timeout_addr[31:0] | 0x0 | RO | 超时的写操作地址低位 |

2.2.2.2.18 PIO 写超时地址寄存器 1 (0x714)

该寄存器热复位保护。

表 2-15 PIO 写超时地址寄存器 1

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|-------|------------------------|-----|------|------------|
| 31 | valid | 0x0 | RO | 有效位 |
| 30:18 | RSV | 0x0 | RO | 保留 |
| 17:16 | size | 0x0 | RO | 超时的写操作粒度 |
| 15:8 | length | 0x0 | RO | 超时的写操作长度 |
| 7:0 | wr_timeout_addr[39:32] | 0x0 | RO | 超时的写操作地址高位 |

2.2.2.2.19 PIO 读超时地址寄存器 0 (0x718)

该寄存器热复位保护。

表 2-16 PIO 读超时地址寄存器 0

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|------|-----------------|-----|------|------------|
| 31:0 | rd_timeout_addr | 0x0 | RO | 超时的读操作地址低位 |

2.2.2.2.20 PIO 读超时地址寄存器 1 (0x71c)

该寄存器热复位保护。

表 2-17 PIO 读超时地址寄存器 1

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|-------|------------------------|-----|------|------------|
| 31 | valid | 0x0 | RO | 有效位 |
| 30:18 | RSV | 0x0 | RO | 保留 |
| 17:16 | size | 0x0 | RO | 超时的读操作粒度 |
| 15:8 | length | 0x0 | RO | 超时的读操作长度 |
| 7:0 | rd_timeout_addr[39:32] | 0x0 | RO | 超时的读操作地址高位 |

2.2.2.2.21 PEU 分拆模式寄存器 (0x800)

注意：PEU0 和 PEU1 中的这个寄存器必须设为相同的值。该寄存器热复位保护。

表 2-18 PEU 分拆模式寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|-----|---------------|------|------|---|
| 3:2 | peu1_bif_mode | 2'b0 | R/W | Peu1 的分拆模式设置： 00: 不分拆，即 X16 01: 分拆，即两个 X8 |
| 1:0 | peu0_bif_mode | 2'b0 | R/W | Peu0 的分拆模式设置： 00: 不分拆，即 X16 01: 分拆，即两个 X8 |

2.2.2.2.22 PEU 设备类型寄存器 (0x804)

该寄存器热复位保护。

表 2-19 PEU 设备类型寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|---|-----------------|------|------|--|
| 2 | peu_c2_mode_sel | 1'b1 | R/W | 设置控制器工作模式： 0: Endpoint 1: root complex |
| 1 | peu_c1_mode_sel | 1'b1 | R/W | |
| 0 | peu_c0_mode_sel | 1'b1 | R/W | |

2.2.2.2.23 PEU 链路训练使能寄存器 (0x80C)

表 2-20 PEU 链路训练使能寄存器

| 位 | 名称 | 默认 | 读写方式 | 说明 |
|---|----|----|------|----|
|---|----|----|------|----|

| | | 值 | | |
|---|---------------------|---|-----|---------------|
| 2 | c2_link_training_en | 0 | R/W | 为 1 表示使能链路训练。 |
| 1 | c1_link_training_en | 0 | R/W | |
| 0 | c0_link_training_en | 0 | R/W | |

2.2.2.2.24 PEU 控制器链路数目设置寄存器(0x838)

该寄存器热复位保护。

表 2-21 PEU 控制器链路数目设置寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|-----|--------------------|--------|------|--|
| 5:4 | c1_lane_count[1:0] | 2'b11 | | 指定链路数目。 2'b11: x8 2'b10: x4 2'b01: x2 2'b00: x1 |
| 3 | RSV | | | |
| 2:0 | c0_lane_count[2:0] | 3'b100 | | 指定链路数目。 3'b100: x16 3'b011: x8 3'b010: x4 3'b001: x2 3'b000: x1 |

2.2.2.2.25 PEU 链路状态寄存器(0x83c)

表 2-22 PEU 链路状态寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|-------|---------------|-----|------|--|
| 17:16 | c2_link_speed | 0x0 | RO | c2 的链路速度 00: 2.5G 01: 5G 10: 8G |
| 15:14 | RSV | 0x0 | RO | |
| 13:12 | c1_link_width | 0x0 | RO | c1 的链路宽度 11: x8 10: x4 |

| | | | | |
|-------|---------------|-----|----|--|
| | | | | 01: x2 00: x1 |
| 11:10 | RSV | 0x0 | RO | |
| 9:8 | c1_link_speed | 0x0 | RO | c1 的链路速度 00: 2.5G 01: 5G 10: 8G |
| 7 | RSV | 0x0 | RO | |
| 6:4 | c0_link_width | 0x0 | RO | c0 的链路宽度 100: x16 011: x8 010: x4 001: x2 000: x1 |
| 3:2 | RSV | 0x0 | RO | |
| 1:0 | c0_link_speed | 0x0 | RO | c0 的链路速度 00: 2.5G 01: 5G 10: 8G |

2.2.2.2.26 总线模式寄存器(0xa20)

该寄存器热复位保护。两个 peu 必须设为相同的值。

表 2-23 总线模式寄存器

| 位 | 名称 | 默认值 | 读写方式 | 说明 |
|---|----------|-----|------|-----------------------|
| 0 | bus_mode | 0x0 | R/W | 0 表示单根树形结构，1 表示多根树形结构 |

2.2.2.2.27 控制器寄存器

基地址：0x800_2C80_0000

表 2-24 控制器寄存器

| 地址偏移 | 大小 | 描述 |
|-------------------|------|-----------------|
| 0x0_0000~0x0_FFFF | 64KB | peu0_c0 寄存器地址空间 |
| 0x1_0000~0x1_FFFF | 64KB | peu0_c1 寄存器地址空间 |

| | | |
|-------------------|------|-----------------|
| 0x2_0000~0x2_FFFF | 64KB | peu0_c2 寄存器地址空间 |
| 0x3_0000~0x3_FFFF | 64KB | peu1_c0 寄存器地址空间 |
| 0x4_0000~0x4_FFFF | 64KB | peu1_c1 寄存器地址空间 |

控制器内 64KB 空间分配:

表 2-25 控制器内 64KB 空间分配

| 地址位 | 15 | 14 | 13 | 12 | 11:0 |
|-----|----|----|----|----|-----------------|
| EP | 0 | x | 0 | 0 | 功能 0 配置寄存器 |
| | 0 | x | 0 | 1 | 虚功能 0 配置寄存器 |
| RC | 0 | 0 | 0 | 0 | root port 配置寄存器 |
| | 0 | 1 | 0 | 0 | 保留 |

配置寄存器说明参见 PCIE 规范。

2.3 LPC 接口

LPC (Low Pin Count) 主要用来连接鼠标、键盘、串口、低速 Flash 等设备。LPC 接口采用 1.8V 的 LVCMOS, 因而在连接 LPC 设备时需要进行电平转换。芯片集成了一个 LPC 控制器, LPC 接口建议通过 CPLD/FPGA, 进行电平的转换。LPC 接口建议通过 CPLD/FPGA, 一方面进行电平的转换, 另一方面可以对信号灵活进行处理。

LPC 的时钟信号为 GPIOD2_EXT_LPC_LCK, 时钟频率为 33MHz, 必须由外部提供。

2.3.1 寄存器说明

2.3.1.1 基地址

表 2-26 LPC 基地址

| 名称 | 基地址 |
|-----|-----------------|
| LPC | 0x800_2000_0000 |

2.3.1.2 寄存器列表

表 2-27 LPC 寄存器说明

| 名称 | 含义 | 地址 | 默认值 | 读写类型 |
|------------------------|------------------|------------|-----------------|------|
| Int_apb_spce_conf[7:0] | 配置 APB 接口地址的设备类型 | 0x7FF_FFFC | 8'b111 00100 | R/W |
| reg_long_timeout[31:0] | 长等待超时控制寄存器 | 0x7FF_FFF8 | 32'h0 | R/W |

| | | | | |
|---------------------------|---|------------|-----------------------|-----|
| int_state[31:0] | 中断状态 (串行中断)bit29~0:串行中断, bit30DMA 请求中断 | 0x7FF_FFF4 | 32'h0 | RO |
| clr_int[31:0] | 清除中断寄存器 | 0x7FF_FFF0 | 32'h0 | R/W |
| firmware_len_conf[3:0] | firmware memory 类型的报文长度配置寄存器 (暂未使用) | 0x7FF_FFEC | | R/W |
| nu_serirq_config[31:0] | 配置寄存器 (bit31: 针对读数据每次读 4 bytes 数据使能标志 (1'b1: 读 1byte); bit1~0:起始周期配置(2'b11: 8; 2'b10:6; 否则 4, 默认 4 clk), bit2: 串行中断模式配置默认连续模式默认为连续模式), bit3~4: 支持的串行中断设备数量(2'b01 代表 32 否则 16 默认 16) | 0x7FF_FFE8 | 32'h80 00_000 0 | R/W |
| error_stt[2:0] | 错误状态寄存器, 记录最近一次发生错误的状态 | 0x7FF_FFE4 | 3'h0 | RO |
| Firmwr_id_conf_strtb[2:0] | firmware memory设备ID选择配置寄存器 3'b001 22: 19作为ID 3'b010 23: 20作为ID 3'b011 24: 21作为ID 默认30: 27作为ID | 0x7FF_FFE0 | 4'h0 | R/W |
| Dma_chnnlnu_conf[2:0] | DMA 设备 ID 配置寄存器 | 0x7FF_FFDC | 3'h6 | R/W |
| int_mask[1:0] | 中断屏蔽寄存器 | 0x7FF_FFD8 | 2'h3 | R/W |
| start_cycle_reg[4:0] | 配置启动周期 | 0x7FF_FFD4 | 5'h0 | R/W |
| mem_highbit_addr[4:0] | mem 访问的高 5bit 地址 | 0x7FF_FFD0 | 5'h0 | R/W |

注: 操作 LPC 的寄存器时, 请确保 LPC 的外部电路连接正常, 否则读写 LPC 寄存器会失败。

2.3.1.2.1 int_apb_spc_conf 寄存器 (0x7FF_FFFC)

表 2-28 int_apb_spc_conf 寄存器

| 位 | 名称 | 读写类型 | 默认值 | 说明 |
|-------|------------------|------|------|--|
| [7:0] | int_apb_spc_conf | R/W | 0xe4 | 配置 APB 接口地址的设备类型, 用户根据需要配置相应地址空间的 LPC 设备类型 00: IO 访问 01: memory 访问 10: Firmware memory 访问 11: DMA 访问 |

地址的高两位可以是 2'b00/2'b01/2'b10/2'b11, 分别对应该配置寄存器的[1:0]/[3:2]/[5:4]/[7:6]位。

2.3.1.2.2 reg_long_timeout 寄存器 (0x7FF_FFF8)

表 2-29 reg_long_timeout 寄存器

| 位 | 名称 | 读写类型 | 默认值 | 说明 |
|--------|------------------|------|-----|------------|
| [31:0] | reg_long_timeout | R/W | 0x0 | 长等待超时控制寄存器 |

2.3.1.2.3 int_state 寄存器 (0x7FF_FFF4)

表 2-30 int_state 寄存器

| 位 | 名称 | 读写类型 | 默认值 | 说明 |
|--------|-----------|------|-----|--|
| [31:0] | int_state | RO | 0x0 | 中断状态寄存器(串行中断) [29:0]: 串行中断; [30]: DMA 请求中断 |

2.3.1.2.4 clr_int 寄存器 (0x7FF_FFF0)

表 2-31 clr_int 寄存器

| 位 | 名称 | 读写类型 | 默认值 | 说明 |
|--------|---------|------|-----|--|
| [31:0] | clr_int | R/W | 0x0 | 清除中断寄存器，对应位写 0 清除相应的中断。 [29:0]: 串行中断; [30]: DMA 请求中断 |

2.3.1.2.5 nu_serirq_config 寄存器 (0x7FF_FFE8)

表 2-32 nu_serirq_config 寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|-------------|------|-----|--|
| [31] | rd4byt_en | R/W | 0x0 | 针对读数据每次读 4 字节的数据使能标志位 1: 读 1Byte 数据; 0: 读 4Bytes 数据 |
| [30:5] | - | - | - | 保留 |
| [4:3] | Number_conf | R/W | 0x0 | 支持的串行中断设备数量。 01: 支持 32 个 其他: 支持 16 个 默认为 16 |
| [2] | Mod_sel | R/W | 0x0 | 串行中断模式配置，默认连续模式 |

| | | | | |
|-------|----------|-----|-----|---|
| [1:0] | Strt_cnf | R/W | 0x0 | 中断起始周期配置。 11: 8 个时钟周期 10: 6 个时钟周期 其他: 4 个时钟周期 默认为 4 个时钟周期 |
|-------|----------|-----|-----|---|

2.3.1.2.6 err_stt 寄存器 (0x7FF_FFE4)

表 2-33 err_stt 寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|---------|------|-----|--|
| [2:0] | err_stt | RO | 0x0 | 错误状态寄存器，记录最近一次发生错误的状态，每一次新的错误将会覆盖上一次的错误类型，读取一次后将其置为无效。 000: 无效 001: 短等待超时错误 010: 长等待超时错误 100: SYNC error 110: 非法的读写操作 |

2.3.1.2.7 Firmwr_id_conf_strtb 寄存器 (0x7FF_FFE0)

表 2-34 Firmwr_id_conf_strtb 寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|----------------------|------|-----|--|
| [2:0] | Firmwr_id_conf_strtb | R/W | 0x0 | firmware memory 设备 ID 选择配置寄存器 001: [22:19]作为 ID 010: [23:20]作为 ID 011: [24:21]作为 ID 默认[30:27]作为 ID |

2.3.1.2.8 Dma_chnnlnu_conf 寄存器 (0x7FF_FFDC)

表 2-35 Dma_chnnlnu_conf 寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|------------------|------|-----|----------------------|
| [2:0] | Dma_chnnlnu_conf | R/W | 0x6 | DMA 设备 channel 配置寄存器 |

2.3.1.2.9 int_mask 寄存器 (0x7FF_FFD8)

表 2-36 int_mask 寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|----------|------|-----|----------------------------------|
| [2:0] | int_mask | R/W | 0x3 | 中断屏蔽寄存器，两位均写 1 为屏蔽中断，两位均写 0 为清楚。 |

2.3.1.2.10 start_cycle 寄存器 (0x7FF_FFD4)

表 2-37 start_cycle 寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|-------------|------|-----|---|
| [4:0] | start_cycle | R/W | 0x0 | Start_cycle 配置寄存器，仅可以配置 IO、MEM、DMA 请求的 start_cycle, 不可以配置 FIRMWR_MEM 请求的 start_cycle。且仅为单字节读写模式的时候可以使用。Bit4 为使能配置 start_cycle 配置寄存器，bit0~bit3 配置 start_cycle 节拍的内容。当 bit4 配置为 1 时 bit0 到 bit3 所配置的数据有效，为 0 时无效。 |

2.3.1.2.11 mem_highbit_addr 寄存器 (0x7FF_FFD0)

表 2-38 mem_highbit_addr 寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|------------------|------|-----|------------------------|
| [4:0] | mem_highbit_addr | R/W | 0x0 | Memory 请求的高 5 位地址配置寄存器 |

2.4 SPI 接口

SPI 接口用于连接存放 BIOS 代码的 FLASH 芯片和 SPI 接口的 TCM 模块。

2.4.1 寄存器说明

2.4.1.1 基地址

表 2-39 SPI 基地址

| 名称 | 基地址 |
|-----|-----------------|
| SPI | 0x800_0000_0000 |

2.4.1.2 寄存器列表

表 2-40 寄存器列表

| 偏移地址 | 寄存器名 | 说明 |
|-------------|---------------|--|
| 0x1fff_ff00 | SPI 配置寄存器 | 配置访问数据空间时产生的读写命令、SCK 分频等信息 |
| 0x1fff_ff04 | 错误使能寄存器 | 错误记录是否打开，决定错误时是否报错 |
| 0x1fff_ff0c | WP 寄存器 | 控制写保护位的输出 |
| 0x1fff_ff10 | CS 延迟寄存器 | 控制 SPI 命令结束后的延迟时间以满足手册上 CS time 的要求 |
| 0x1fff_ff14 | Flash 容量设置寄存器 | 设置所连接的 FLASH 容量，每个片选所接容量必须相同 |
| 0x1fff_ff18 | 写缓冲 flush 寄存器 | 写 1 将把写缓冲中的数据写入 FLASH |
| 0x1fff_ff1c | 安全访问控制寄存器 | 0 表示 SPI 目前只能接收来自 APB4 的安全访问。 1 表示 SPI 可以接收来自 APB4 的安全和非安全访问。 |
| 0x1fff_ff20 | 命令端口寄存器 | 通过端口方式访问 SPI 时设置的命令 |
| 0x1fff_ff24 | 地址端口寄存器 | 通过端口方式访问 SPI 时设置的地址 |
| 0x1fff_ff28 | 高位数据寄存器 | 通过端口方式访问 SPI 时的高 4 字节数据 |
| 0x1fff_ff2c | 低位数据寄存器 | 通过端口方式访问 SPI 时的低 4 字节数据，读写将触发 SPI 总线操作 |
| 0x1fff_ff30 | CS0 起始地址配置寄存器 | 设置 CS0 对应空间的起始地址 |
| 0x1fff_ff34 | CS1 起始地址配置寄存器 | 设置 CS1 对应空间的起始地址 |
| 0x1fff_ff38 | CS2 起始地址配置寄存器 | 设置 CS2 对应空间的起始地址 |
| 0x1fff_ff3c | CS3 起始地址配置寄存器 | 设置 CS3 对应空间的起始地址 |
| 0x1fff_ff40 | 时钟控制设置寄存器 | 设置 LSD 模块内其他子模块的时钟关断控制信号 |
| 0x1fff_ff44 | 时钟控制清除寄存器 | 清除 LSD 模块内其他子模块的时钟关断控制信号 |

2.4.1.2.1 SPI 配置寄存器 (0x1fff_ff00)

表 2-41 SPI 配置寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|-----------|------|-----|---|
| [7:6] | cmd_mode | R/W | 0x0 | 设置读写数据空间时所发出的 SPI 命令 00: 发 read(03)和 pp(02) ; 01: 发 4read(13)和 4pp(12); 10: 发 fast_read(0b)和 pp(02) 11: 发 4fast_read(0c)和 4pp(12) |
| [5] | addr_mode | R/W | 0x0 | 设置发出 read、fast_read 和 pp 命令时的地址模式 0: 3 字节地址 1: 4 字节地址* |
| [4] | dummy | R/W | 0x0 | 设置发出 fast_read 和 4fast_read 时是否发 dummy 字节 0: 不发 1: 发 |
| [3] | wr_mode | R/W | 0x0 | 0: 每次写请求直接发编程命令; 1: 写数据先放入缓冲, 多次写合并编程。 |
| [2:0] | sck_sel | R/W | 0x0 | 0: 如果定义了 SPEEDSIM_FLASH, sck 为输入时钟 clk 的 2 分频, 否则为 16 分频; 1: sck 为 pclk 的 2 分频; 2: sck 为 pclk 的 4 分频; 3: sck 为 pclk 的 8 分频; 4: sck 为 pclk 的 16 分频; 5: sck 为 pclk 的 32 分频; 6: sck 为 pclk 的 64 分频; 7: sck 为 pclk 的 128 分频。 |

2.4.1.2.2 错误使能寄存器 (0x1fff_ff04)

表 2-42 错误使能寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-----|--------|------|-----|--|
| [0] | err_en | R/W | 0x0 | 设置错误记录是否打开, 同时决定发生错误是否报错。 1: 表示发生错误将被记录并通过 pslverr 报错 |

2.4.1.2.3 WP 寄存器 (0x1fff_ff0c)

表 2-43 WP 寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-----|----|------|-----|---|
| [0] | wp | WO | 0x0 | 控制 WP 位的输出。 0: WP 输出为 0; 1: WP 输出为 1 |

2.4.1.2.4 CS 延迟寄存器 (0x1fff_ff10)

表 2-44 CS 延迟寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|----------|------|-----|--|
| [7:0] | cs_delay | R/W | 0x0 | 控制一次 SPI 命令结束后的延迟时间, 以满足 FLASH 数据手册上 CS time 的要求 |

2.4.1.2.5 Flash 容量设置寄存器 (0x1fff_ff14)

表 2-45 Flash 容量设置寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|----------------|------|-----|---|
| [2:0] | flash_capacity | R/W | 0x0 | 设置所连接的 FLASH 容量, 每个片选所接的 FLASH 容量必须相同。 0: 16MB 1: 32MB 2: 64MB 3: 128MB 4: 256MB 5: 512MB 6: 1GB 7: 非法值 |

2.4.1.2.6 写缓冲 flush 寄存器 (0x1fff_ff18)

表 2-46 写缓冲 flush 寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|---|----|------|-----|----|
|---|----|------|-----|----|

| | | | | |
|-----|-------|----|-----|-----------------------|
| [0] | flush | WO | 0x0 | 写 1 将把写缓冲中的数据写入 FLASH |
|-----|-------|----|-----|-----------------------|

2.4.1.2.7 安全访问控制寄存器 (0x1fff_ff1c)

表 2-47 安全访问控制寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-----|--------|------|-----|--|
| [0] | secure | R/W | 0x0 | 0 表示 SPI 目前只能接收来自 APB4 的安全访问。 1 表示 SPI 可以接收来自 APB4 的安全和非安全访问。 |

2.4.1.2.8 命令端口寄存器 (0x1fff_ff20)

表 2-48 命令端口寄存器

| 位 | 名称 | 读写类型 | 默认值 | 说明 |
|---------|------------|------|-----|-------------------------------|
| [17:16] | flash_sel | R/W | 0x0 | 选择要操作的 FLASH |
| [15:8] | command | R/W | 0x0 | 要发出的 SPI 命令 |
| [7] | - | - | 0x0 | 保留 |
| [6] | addr_mode0 | R/W | 0x0 | 是否带地址。 0: 不带地址; 1: 带地址 |
| [5] | addr_mode1 | R/W | 0x0 | 地址模式。 0: 3 字节地址; 1: 4 字节地址 |
| [4] | dummy | R/W | 0x0 | 是否发 dummy 字节。 0: 不发; 1: 发 |
| [3:0] | rw_num | R/W | 0x0 | 读写字节数目, 有效值为 0, 1, 2, 4, 8 |

2.4.1.2.9 地址端口寄存器 (0x1fff_ff24)

表 2-49 地址端口寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|------|------|-----|---------------------|
| [31:0] | addr | R/W | 0x0 | 通过端口方式访问 SPI 时设置的地址 |

2.4.1.2.10 高位数据寄存器 (0x1fff_ff28)

表 2-50 高位数据寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|------|------|-----|-------------------------|
| [31:0] | data | R/W | 0x0 | 通过端口方式访问 SPI 时的高 4 字节数据 |

2.4.1.2.11 低位数据寄存器 (0x1fff_ff2c)

表 2-51 低位数据寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|------|------|-----|--|
| [31:0] | data | R/W | 0x0 | 通过端口方式访问 SPI 时的低 4 字节数据，读写该寄存器将触发 SPI 总线操作 |

2.4.1.2.12 CS0 起始地址配置寄存器 (0x1fff_ff30)

表 2-52 CS0 起始地址配置寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|---------|------|-----|---|
| [7:0] | cs0_cfg | R/W | 0x0 | 设置 CS0 对应空间的起始地址。 16MB FLASH: 7:0 有效，对应 32 位地址的高 8 位 32MB FLASH: 7:1 有效，对应 32 位地址的高 7 位 64MB FLASH: 7:2 有效，对应 32 位地址的高 6 位 128MB FLASH: 7:3 有效，对应 32 位地址的高 5 位 256MB FLASH: 7:4 有效，对应 32 位地址的高 4 位 512MB FLASH: 7:5 有效，对应 32 位地址的高 3 位 1GB FLASH: 7:6 有效，对应 32 位地址的高 2 位 |

2.4.1.2.13 CS1 起始地址配置寄存器 (0x1fff_ff34)

表 2-53 CS0 起始地址配置寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|---------|------|-----|---|
| [7:0] | cs1_cfg | R/W | 0x1 | 设置 CS1 对应空间的起始地址。 16MB FLASH: 7:0 有效，对应 32 位地址的高 8 位 32MB FLASH: 7:1 有效，对应 32 位地址的高 7 位 64MB FLASH: 7:2 有效，对应 32 位地址的高 6 位 128MB FLASH: 7:3 有效，对应 32 位地址的高 5 位 256MB FLASH: 7:4 有效，对应 32 位地址的高 4 位 |

| | | | | |
|--|--|--|--|--|
| | | | | 512MB FLASH: 7:5 有效, 对应 32 位地址的高 3 位 1GB FLASH: 7:6 有效, 对应 32 位地址的高 2 位 |
|--|--|--|--|--|

2.4.1.2.14 CS2 起始地址配置寄存器 (0x1fff_ff38)

表 2-54 CS0 起始地址配置寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|---------|------|-----|--|
| [7:0] | cs2_cfg | R/W | 0x2 | 设置 CS2 对应空间的起始地址。 16MB FLASH: 7:0 有效, 对应 32 位地址的高 8 位 32MB FLASH: 7:1 有效, 对应 32 位地址的高 7 位 64MB FLASH: 7:2 有效, 对应 32 位地址的高 6 位 128MB FLASH: 7:3 有效, 对应 32 位地址的高 5 位 256MB FLASH: 7:4 有效, 对应 32 位地址的高 4 位 512MB FLASH: 7:5 有效, 对应 32 位地址的高 3 位 1GB FLASH: 7:6 有效, 对应 32 位地址的高 2 位 |

2.4.1.2.15 CS3 起始地址配置寄存器 (0x1fff_ff3c)

表 2-55 CS0 起始地址配置寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|---------|------|-----|--|
| [7:0] | cs3_cfg | R/W | 0x3 | 设置 CS3 对应空间的起始地址。 16MB FLASH: 7:0 有效, 对应 32 位地址的高 8 位 32MB FLASH: 7:1 有效, 对应 32 位地址的高 7 位 64MB FLASH: 7:2 有效, 对应 32 位地址的高 6 位 128MB FLASH: 7:3 有效, 对应 32 位地址的高 5 位 256MB FLASH: 7:4 有效, 对应 32 位地址的高 4 位 512MB FLASH: 7:5 有效, 对应 32 位地址的高 3 位 1GB FLASH: 7:6 有效, 对应 32 位地址的高 2 位 |

2.4.1.2.16 时钟控制设置寄存器 (0x1fff_ff40)

表 2-56 时钟控制设置寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|-------------|------|-----|---|
| [7:0] | clkctrl_set | R/W | 0x0 | 设置 LSD 模块内其他子模块的时钟关断控制信号。 对应位写 1 置位, 读返回实际状态 |

2.4.1.2.17 时钟控制清除寄存器 (0x1fff_ff44)

表 2-57 时钟控制清除寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|-------------|------|-----|---|
| [7:0] | clkctrl_clr | R/W | 0x0 | 设置 LSD 模块内其他子模块的时钟关断控制信号。 对应位写 1 清零, 读返回实际状态 |

2.4.1.2.18 容量寄存器 (0x14)

表 2-58 容量寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-------|----------------|------|-----|---|
| [2:0] | flash_capacity | R/W | 0x0 | 0: 16MB 1: 32MB 2: 64MB 3: 128MB 4: 256MB 5: 512MB 6: 1GB 7: 非法值 |

2.4.1.2.19 写缓冲寄存器 (0x18)

表 2-59 写缓冲寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|-----|-------|------|-----|------------------|
| [0] | flush | R/W | 0x0 | 写 1 将产生 flush 操作 |

2.4.1.2.20 命令端口寄存器 (0x20)

表 2-60 命令端口寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|---------|------------|------|-----|------------------|
| [17:16] | flash_sel | R/W | 0x0 | 选择要操作的 FLASH |
| [15:8] | command | R/W | 0x0 | 要发出的 SPI 命令 |
| [7] | reserved | R/W | 0x0 | 保留 |
| [6] | addr_mode0 | R/W | 0x0 | 是否带地址 0: 不带地址 |

| | | | | |
|-------|------------|-----|-----|--------------------------------|
| | | | | 1: 带地址 |
| [5] | addr_mode1 | R/W | 0x0 | 地址模式 0: 3 字节地址 1: 4 字节地址 |
| [4] | dummy | R/W | 0x0 | 是否发 dummy 字节 0: 不发 1: 发 |
| [3:0] | rw_num | R/W | 0x0 | 读写字节数目, 有效值为 0, 1, 2, 4, 8 |

2.4.1.2.21 地址端口寄存器 (0x24)

表 2-61 地址端口寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|------|------|-----|----|
| [31:0] | addr | R/W | 0x0 | 地址 |

2.4.1.2.22 高位寄存器 (0x28)

表 2-62 高位寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|------|------|-----|----------|
| [31:0] | data | R/W | 0x0 | 高 4 字节数据 |

2.4.1.2.23 低位寄存器 (0x2C)

表 2-63 低位寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|------|------|-----|----------|
| [31:0] | data | R/W | 0x0 | 低 4 字节数据 |

2.5 UART 接口

UART (Universal Asynchronous Receiver/Transmitter), 通用异步接收/发送装置, 定义了一种并行数据与串行数据进行转换的协议。芯片中包含 1 个 9 线接口 UART0 和 3 个 3 线制接口 UART1, UART2, 兼容 16550 标准。

2.5.1 寄存器说明

2.5.1.1 基地址

表 2-64 UART 基地址

| 名称 | 基地址 |
|-------|-----------------|
| UART0 | 0x800_2800_0000 |
| UART1 | 0x800_2800_1000 |
| UART2 | 0x800_2800_7000 |
| UART3 | 0x800_2800_8000 |

2.5.1.2 寄存器列表

表 2-65 UART 寄存器说明

| 偏移地址 | 名字 | 读写方式 | 默认值 | 说明 |
|------|-----|------|------|-----------------------------|
| 0x00 | RBR | RO | 0x0 | 接收缓存寄存器 LCR[7] bit = 0 |
| | THR | WO | 0x0 | 发送保持寄存器 LCR[7] bit = 0 |
| | DLL | R/W | 0x0 | 波特率除数低位字节 LCR[7] bit = 1 |
| 0x04 | DLH | R/W | 0x0 | 波特率除数高位字节 LCR[7] bit = 1 |
| | IER | R/W | 0x0 | 中断使能寄存器 LCR[7] bit = 0 |
| 0x08 | IIR | R | 0x01 | 中断识别寄存器 |
| | FCR | W | 0x0 | 先进先出控制寄存器 |
| 0x0C | LCR | R/W | 0x0 | 行控制寄存器 |
| 0x14 | LSR | R | 0x60 | 行状态寄存器 |
| 0x7C | USR | R | 0x6 | 串口状态寄存器 |

2.5.1.2.1 RBR(0x00)

表 2-66 RBR

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|---|----|------|-----|----|
|---|----|------|-----|----|

| | | | | |
|--------|-------------------------|----|-----|---|
| [31:8] | Reserved | RO | 0x0 | 保留 |
| [7] | Receive Buffer Register | RO | 0x0 | <p>UART 模式下串口接收端的数据 buffer 。当 Line Status Register (LSR) 数据就绪位 (DR) 被设置之后该寄存器上的数据才有效。</p> <p>在 non-FIFO (FIFO_MODE=NONE) 模式或者 FIFOs 被禁用 (FCR[0]设置为 0) 的情况下, RBR 中的数据必须在下一个数据到来之前被读取, 否则将被覆盖, 从而导致 over-run 错误。</p> <p>在 FIFO (FIFO_MODE!=NONE) 模式或者 FIFOs 可用 (FCR[0]设置为 1) 的情况下, 该寄存器会从头开始访问接收 FIFO, 如果接收 FIFO 满并且下一个数据到达之前该寄存器没有被读取, FIFO 里的数据会被保留, 但是任何准备进来的数据将丢失, 并导致 over-run 错误。</p> |

2.5.1.2.2 THR(0x00)

表 2-67 THR

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|---------------------------|------|-----|---|
| [31:8] | Reserved | R/W | 0x0 | 保留 |
| [7] | Transmit Holding Register | WO | 0x0 | UART 模式串口输出端的数据发送 (sir_out_n)。只有当 THR Empty (THRE) 位 (LSR[5]) 被设置之后数据 |

| | | | | |
|--|--|--|--|---|
| | | | | <p>才可以被写入。</p> <p>在 non-FIFO 模式或者 FIFOs 禁用 (FCR[0]=0) 并且 THRE 已被设置的情况下，向 THR 写入一个字符会清除 THRE，在 THRE 被重新设置之前任何向 THR 的写入都会导致 THR 数据被覆盖。</p> <p>在 FIFO 模式或者 FIFOs 可用 (FCR[0]=1) 并且 THRE 已被设置的情况下，在 FIFO 满之前可以向 THR 写入 X 个字符。X (default=16) 取决于你所配置的 FIFO Depth 的值。当 FIFO 满之后，任何写入都无效。</p> |
|--|--|--|--|---|

2.5.1.2.3 DLH(0x04)

表 2-68 DLH

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|----------------------|------|-----|---|
| [31:8] | Reserved | R/W | 0x0 | 保留 |
| [7] | Divisor Latch (High) | R/W | 0x0 | 16 位数据的高 8 位，用于存储 UART 波特率除数。如果 UART_16550_COMPATIBLE == No，只有在 DLAB(LCR[7]) 位设置和 UART 没有占用 (USR[0] 为 0) 的时候这个寄存才能被器访问；其他情况，只有在 DLAB (LCR[7]) 被设置，才能访问。输出波特率等于串口时钟 (pclk 为一个时钟，sclk 为两个时钟 |

| | | | | |
|--|--|--|--|--|
| | | | | <p>(CLOCK_MODE=ENABLE)) 频率除以 16 倍的波特率除数, 如下: 波特率=系统时钟/16*波特率除数。</p> <p>注意: 除数暂存器 (DLL 和 DHL) 设置为 0, 会禁用波特率时钟, 没有串行通信。</p> <p>此外, 一旦设置了 DLH, 在传输和接收数据之前应该至少等待 8 个最慢的 DW_apb_uart 时钟周期。</p> |
|--|--|--|--|--|

2.5.1.2.4 DLL(0x00)

表 2-69 DLL

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|---------------------|------|-----|---|
| [31:8] | Reserved | R/W | 0x0 | Reserved |
| [7] | Divisor Latch (Low) | R/W | 0x0 | <p>16 位数据的低 8 位, 用于 UART 波特率除数。</p> <p>如果 UART_16550_COMPATIBLE == No, 只有在 DLAB(LCR[7]) 位设置和 UART 没有占用(USR[0]为 0)的时候这个寄存才能被器访问; 其他情况, 只有在 DLAB (LCR[7]) 被设置, 才能访问。输出波特率等于串口时钟 (pclk 为一个时钟, sclk 为两个时钟 (CLOCK_MODE=ENABLE)) 频率除以 16 倍的波特率除数, 如下: 波特率=系统时钟/16*波特率除数。</p> |

| | | | | |
|--|--|--|--|---|
| | | | | 注意：除数暂存器（DLL 和 DHL）设置为 0，会禁用波特率时钟没有串行通信。此外，一旦设置了 DLL，在传输和接收数据之前应该至少等待 8 个最慢的 DW_apb_uart 时钟周期 |
|--|--|--|--|---|

2.5.1.2.5 IER(0x04)

表 2-70 IER

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|----------|------|-----|--|
| [31:8] | Reserved | RO | 0 | 保留 |
| [7] | PTIME | R/W | 0 | 只有当 THRE_MODE_USER == Enabled 时，可编程 THRE 中断模式才能开启并被写入。该位总是可读。用来启用/禁用中断的产生。 •0 = 禁用 •1 = 启用 |
| [6:4] | Reserved | RO | 0 | |
| [3] | EDSSI | R/W | 0 | 启用 Modem 状态中断。该位用来启用/禁用 Modem 状态中断的产生。其中断优先级为 4。 •0 = 禁用 •1 = 启用 |
| [2] | ELSI | R/W | 0 | 启用 Receiver Line 状态中断。该位用来启用/禁用 Receiver Line 状态中断的产生。其中断的优先级最高。 •0 = 禁用 •1 = 启用 |
| [1] | ETBEI | R/W | 0 | 启用 Transmit Holding Register Empty Interrupt。该位用来启用/禁用 Transmitter Holding Register Empty Interrupt 的产生。其断的优 |

| | | | | |
|-----|-------|-----|---|--|
| | | | | <p>优先级为 3。</p> <ul style="list-style-type: none"> •0 = 禁用 •1 = 启用 |
| [0] | ERBFI | R/W | 0 | <p>启用接收数据可用中断。该位用来启用/禁用接受数据可用中断和数据超时中断（在 FIFO 模式和 FIFO 打开）的产生。其中断的优先级为 2。</p> <ul style="list-style-type: none"> •0 = 禁用 •1 = 启用 |

2.5.1.2.6 IIR(0x08)

表 2-71 IIR

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|---------------------------|------|-----|--|
| [31:8] | Reserved | RO | 0 | 保留 |
| [7:6] | FIFOs Enabled (or FIFOSE) | RO | 0 | <p>用来显示 FIFOs 为启用还是禁用。</p> <ul style="list-style-type: none"> •0 = 禁用 •1 = 启用 |
| [5:4] | Reserved | N/A | 0 | 保留 |
| [3:0] | Interrupt ID (or IID) | RO | 0x1 | <p>中断 ID。来显示等待执行的最高优先级中断，可以是以下类型中的一个：</p> <ul style="list-style-type: none"> •0000 = modem status •0001 = no interrupt pending •0010 = THR empty •0100 = received data available •0110 = receiver line status •0111 = busy detect •1100 = character timeout <p>bit[3]表示只有 FIFOs 可用并且用于辨别一个 Character Timeout condition interrupt 时这个中断才起作用。</p> |

2.5.1.2.7 LCR(0x0C)

表 2-72 LCR

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|-------------------------|------|-----|--|
| [31:8] | Reserved | RO | 0 | 保留 |
| [7] | DLAB | R/W | 0 | 除数锁存访问位。如果 UART_16550_COMPATIBLE==NO, 则只有当 UART 空闲(USR[0]等于0)的时候可写; 否则总是可写, 可读。该位被用来使能除数锁存器(DLL 和 DLH)的读和写, 从而设置 UART 的波特率。该位在初始化波特率之后必须被清除以用来访问其他寄存器。 |
| [6] | Break (or BC) | R/W | 0 | Break 控制位。该位用来产生一个发送到接收设备的 break 状态。如果设置成 1, 串行输出被强制成 spacing (logic0) 状态。如果不在 Loopback 模式(取决于 MCR[4]), sout 信号将被强制成低电平直到 Break 位被清除。如果 SIR_MODE==Enable 并且为活动状态(MCR[6]设置成 1), sir_out_n 信号持续发送脉冲。如果在 Loopback 模式下, break 状态对于接收端来说是内部 loop back 并且 sir_out_n 线强制成低。 |
| [5] | Stick Parity (reserved) | RO | 0 | reserved |
| [4] | EPS | R/W | 0 | 偶校验选择位。如果 UART_16550_COMPATIBLE==NO, 则只有当 UART 空闲的时候可写, 否则一直可写, 可读。当校验使能的时候(PEN 设置成 1), 此位被用来选择奇还是偶校验。如果该位被设置成 1, 一个 logic 1s 偶数被发送并检查, 如果设置成 0, 一个 logic 1s 奇数被发送并检查 |

| | | | | |
|-------|---------------------------------------|-----|---|--|
| [3] | PEN | R/W | 0 | <p>校验使能位。如果 UART_16550_COMPATIBLE==NO， 则只有当 UART 空闲的时候可写，否则一直可写，可读。</p> <p>在发送串行字符时该位被用来使能或者禁用产生奇偶校验，在接收串行字符时该位被用来使能或者禁用奇偶检查</p> |
| [2] | STOP | R/W | 0 | <p>停止位个数选择位。如果 UART_16550_COMPATIBLE==NO， 则只有当 UART 空闲的时候可写，否则一直可写，可读。</p> <p>该位用来在外设发送和接收数据的时候选择每个字符的停止位个数。如果设置成 0，在串行数据中发送一个停止位。如果设置成 1，并且数据位设置成 5（LCR[1: 0]设置成 0），发送 1.5 个的停止位。否则发送两个停止位。不管选择了多少个停止位，接收端只检测第一个停止位。</p> <ul style="list-style-type: none"> •0 = 1 stop bit •1 = 1.5 停止位当 DLS(LCR[1: 0]等于 0)，否则 2 停止位 <p>注意：由于在传输一些配置和波特时钟除数值相关的字符中可能被插入一些空闲时间，所以 DW_apd_uart 停止位间隔可能会变长。</p> |
| [1:0] | DLS (or CLS, as used in legacy) | R/W | 0 | <p>数据长度选择位。如果 UART_16550_COMPATIBLE==NO， 则只有当 UART 空闲的时候可写，否则一直可写，可读。</p> <p>该位被用来选择外设发送和接收时每个字符的数据位个数。可供选择的个数范围如下</p> <ul style="list-style-type: none"> •00 = 5 bits •01 = 6 bits |

| | | | | |
|--|--|--|--|--|
| | | | | <ul style="list-style-type: none"> •10 = 7 bits •11 = 8 bits |
|--|--|--|--|--|

2.5.1.2.8 LSR(0X14)

表 2-73 LSR

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|----------|------|-----|--|
| [31:8] | Reserved | RO | 0 | 保留 |
| [7] | RFE | RO | 0 | <p>接收 FIFO 错误位。</p> <p>仅当 FFIFO_MODE!=NONE 并且 FIFO 使能时有效 (FCR [0]设置为 1)。</p> <p>该位用来指示在 FIFO 中至少有一个奇偶错误或帧错误或数据终止发送。</p> <ul style="list-style-type: none"> •0 = RX FIFO 没有错误 •1 = RX FIFO 错误 <p>当 LSR 被读取, 并且错误在接收 FIFO 顶端, 而且 FIFO 里没有其他错误时被清除。</p> |
| [6] | TEMT | RO | 1 | <p>发送器空位。</p> <p>仅当 FFIFO_MODE!=NONE 并且 FIFO 使能时有效 (FCR [0]设置为 1)。</p> <p>只要发送移位寄存器和 FIFO 都是空, 该位就置位</p> <p>如果在非 FIFO 模式或 FIFO 禁用, 只要发送器保持寄存器和发送移位寄存器都为空, 该位被设置。</p> |
| [5] | THRE | RO | 1 | <p>发送保持寄存器空标志位。</p> <p>如果 THRE_MODE_USER == Disabled 或禁用 THRE 模式 (不论 FIFO 的是否正在执行), 该位表明 THR 或发送 FIFO 为空。不论数据从 THR 或 TX FIFO 写到发送移位寄存器还是没有数据写到 THR 或 TX FIFO, 该位都会被置位。</p> <p>如果启用了 THRE 中断, 这也会突然引发 THRE 中断。如果</p> |

| | | | | |
|-----|----|----|---|--|
| | | | | <p>THRE_MODE_USER == Enabled 并且 FIFO_MODE!=NONE, 而且所有模式都处于激活状态 (IER[7] = 1 并且 FCR[0] = 1), 此时该位将指示发送 FIFO 是否满 (阈值由 FCR [4] 阈值设置), 而不是控制 THRE 中断。</p> |
| [4] | BI | RO | 0 | <p>发送中断位。</p> <p>该位用于指示串口输入数据时发生了中断,</p> <p>如果在 UART 模式 (SIR_MODE == Disabled), 每当输入的逻辑 0 的保持时间超过开始时间+数据位+停止位和奇偶校验的总和时, 该位置位。</p> <p>如果红外模式 (SIR_MODE == Enabled), 每当输入的逻辑 0 的保持时间超过开始时间+数据位+停止位和奇偶校验的总和时, 该位置位。</p> <p>当串口仅接收到一个字符, 并且该字符内所有位全部为 0 时, 该位置位。被中断的数据到达 FIFO 的顶端时, 该位被置位。</p> <p>读 LSR 将清除 BI 位。</p> <p>在 non-FIFO 模式下, BI 位一直置位, 直到 LSD 被读取。</p> |
| [3] | FE | RO | 0 | <p>帧错误位。</p> <p>这是用来表示在接收器中发生一个帧错误的。当接收的数据没有检测到一个有效的 STOP 位时将会发生帧错误。在 FIFO 模式中, 由于帧错误与接收字符有关, 当帧错误的字符到达 FIFO 的顶部时才设置该位, 当一个帧错误发生时, DW_apb_uart 尝试重新同步。他会假设错误是由于下一个字符的开始位错误造成的, 然后继续接收其他位。</p> <p>特别注意:</p> <p>如果 break interrupt(LSR[4])发生该位将</p> |

| | | | | |
|-----|----|----|---|---|
| | | | | <p>被置位。</p> <ul style="list-style-type: none"> •0 =无帧错误 •1 =帧错误 <p>读 LSR 将清除 FE 位。</p> |
| [2] | PE | RO | 0 | <p>当 LCR[3]=1 时,此时指示在接收器中的奇偶校验错误的发生。在 FIFO 模式中,由于奇偶错误与接收字符有关,当奇偶性错误的字符到达 FIFO 的顶部时才设置该位,</p> <p>特别注意:</p> <p>如果 break interrupt(LSR[4])发生该位将被置位。</p> <ul style="list-style-type: none"> •0 =无奇偶校验错误 •1 =奇偶校验错误 <p>读 LSR 将清除 PE 位。</p> |
| [1] | OE | RO | 0 | <p>溢出错误位。</p> <p>用来指示溢出错误的发生。如果在读取旧的数据前接收到一个新数据字符将发生这种情况。在 non-FIFO 模式下,当之前的字符没有从 RBR 中读出,此时一个新的字符到达接收器时 OE 位被置位。发生这种情况时, RBR 的数据被覆盖。在 FIFO 模式中,当 FIFO 已满且新字符到达接收器时溢出错误也会发生。此时在 FIFO 中的数据被保留,而在接收移位寄存器中的数据将会丢失。</p> <ul style="list-style-type: none"> •0 =无溢出错误。 •1 =溢出错误 <p>读 LSR 将清除 OE 位。</p> |
| [0] | DR | RO | 0 | <p>数据就绪位。</p> <p>用来指示在 RBR 或者接收 FIFO 中至少已接收一个字符</p> <ul style="list-style-type: none"> •0 =无数据就绪 •1 =数据就绪 <p>在 non-FIFO 模式下,读取 RBR 时该位</p> |

被清除，或者在 FIFO 模式下，接收 FIFO 为空时该位被清除。

2.5.1.2.9 USR(0x7C)

表 2-74 USR

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|----------|------|-----|---|
| [31:5] | Reserved | RO | 0 | 保留 |
| [4] | RFF | RO | 0 | 指示接收 FIFO 满。该位只有当 FIFO_STAT== YES 时有效。用来指示该接收 FIFO 全满。 <ul style="list-style-type: none"> •0 =接收 FIFO 未满足 •1 =接收 FIFO 满 当 RX FIFO 未满足该位被清零。 |
| [3] | RFNE | RO | 0 | 指示接收 FIFO 不为空。该位只有当 FIFO_STAT== YES 时有效。用来指示接收 FIFO 包含一个或多个条目。 <ul style="list-style-type: none"> •0 =接收 FIFO 为空 •1 =接收 FIFO 不为空 当 RX FIFO 为空时该位被清零。 |
| [2] | TFE | RO | 1 | 指示发送 FIFO 空。该位只有当 FIFO_STAT== YES 有效。用来指示发送 FIFO 完全是空的。 <ul style="list-style-type: none"> •0 =发送 FIFO 不为空 •1 =发送 FIFO 空 当 TX FIFO 不再是空，该位 |

| | | | | |
|-----|------|----|---|--|
| | | | | 被清零。 |
| [1] | TFNF | RO | 1 | <p>指示发送 FIFO 未滿。该位只有当 FIFO_STAT== YES 有效。用来指示在未滿发送 FIFO。</p> <ul style="list-style-type: none"> •0 =发送 FIFO 满 •1 =发送 FIFO 未滿 <p>当 TX FIFO 满时该位被清零。</p> |
| [0] | BUSY | RO | 0 | <p>指示 UART 忙。该位只有当 UART_16550_COMPATIBLE == NO 时有效，指示串口正在进行传输;该位清 0 时表明 DW_apb_uart 空闲或处于 idle 状态。</p> <ul style="list-style-type: none"> •0 = DW_apb_uart 空闲或处于 idle 状态 •1 = DW_apb_uart 忙（主动传输数据） <p>该位将在以下任意条件发生时设置为 1（忙）：</p> <ol style="list-style-type: none"> 1.正在进行数据传输 2.当不使用 FIFO 的访问模式和波特率除数为非零时，且当前传输数据在 THR 中。 3.接口正在进行数据接收 4.当 RBR 正在接收数据时，FIFO 访问模式不允许使用 <p>注意：尽管其他设备发送了一个新的字符，串口的 busy</p> |

| | | | | |
|--|--|--|--|---|
| | | | | <p>位却处于清除状态，也就是说，虽然一个新字符的 start 位刚到达 DW_apb_uart，但是在 THR 和 RBR 却没有数据，此时串口的 busy 位也处于清除状态。因为判定 start 位有效是在该位的中间，而不是起始位置，具体何时有效要根据波特率的分频设置。如果第二个系统时钟已经执行（CLOCK_MODE == Enabled），对该位的判定也会被较慢时钟推迟的几个周期。</p> |
|--|--|--|--|---|

2.6 I2C 接口

I2C（Inter-Integrated Circuit）总线分别包含一条串行数据线 SDA 与一条串行时钟线 SCL。I2C 用于连接微控制器及其外围设备，是微电子通信控制领域广泛采用的一种总线标准。它是同步通信的一种特殊形式，具有接口线少、控制方式简单、器件封装形式小、通信速率较高等优点。芯片包含 2 个 I2C 接口，分别为 I2C0 和 I2C1。

2.6.1 寄存器说明

2.6.1.1 基地址

表 2-75 I2C 基地址

| 名称 | 基地址 |
|------|-----------------|
| I2C0 | 0x800_2800_2000 |
| I2C1 | 0x800_2800_3000 |

2.6.1.2 寄存器列表

表 2-76 I2C 寄存器列表

| 偏移地址 | 名称 | 读写方式 | 默认值 | 说明 |
|------|--------|------|------|-----------|
| 0x00 | IC_CON | R/W | 0x7F | I2C 控制寄存器 |

| | | | | |
|------|------------------|-----|--------|-------------------------|
| 0x04 | IC_TAR | R/W | 0x1055 | I2C 目的地址寄存器 |
| 0x08 | IC_SAR | R/W | 0x55 | I2C 从设备地址寄存器 |
| 0x10 | IC_DATA_CMD | R/W | 0x0 | I2C 接收/发送数据 buff 和命令寄存器 |
| 0x14 | IC_SS_SCL_HCNT | R/W | 0x190 | I2C 标准速率时钟计数器, 高 32 位 |
| 0x18 | IC_SS_SCL_LCNT | R/W | 0x1D6 | I2C 标准速率时钟计数器, 低 32 位 |
| 0x1C | IC_FS_SCL_HCNT | R/W | 0x3C | I2C 快速速率时钟计数器, 高 32 位 |
| 0x20 | IC_FS_SCL_LCNT | R/W | 0x82 | I2C 快速速率时钟计数器, 低 32 位 |
| 0x24 | IC_HS_SCL_HCNT | R/W | 0x6 | I2C 高速速率时钟计数器, 高 32 位 |
| 0x28 | IC_HS_SCL_LCNT | R/W | 0x10 | I2C 高速速率时钟计数器, 低 32 位 |
| 0x30 | IC_INTR_MASK | R/W | 0x8FF | I2C 中断 mask 寄存器 |
| 0x34 | IC_RAW_INTERRUPT | RO | 0x0 | I2C 原始中断状态寄存器 |
| 0x38 | IC_RX_TL | R/W | 0x0 | I2C 接收 FIFO 门限寄存器 |
| 0x3C | IC_TX_TL | R/W | 0x0 | I2C 发送 FIFO 门限寄存器 |
| 0x6C | IC_ENABLE | R/W | 0x0 | I2C 使能寄存器 |
| 0x70 | IC_STATUS | RO | 0x6 | I2C 状态寄存器 |

2.6.1.2.1 IC_CON(0x00)

表 2-77 IC_CON(0x00)寄存器说明

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|------------------|------|-----------------------|--|
| [15:7] | - | - | - | - |
| [6] | IC_SLAVE_DISABLE | R/W | IC_SLAVE_DISABLE 配置参数 | 此位是 I2C Slave 功能是否关闭的控制位。即在使用 I2 功能时通过配置此参数控制 I2C Slave 功能是打开还是关闭。软件驱动可以在系统复位后配置此参数, 即通过软件配置 |

| | | | | |
|-----|--|-----|---------------------------|---|
| | | | | <p>Slave 的使能或关闭并不是必需的。在默认状态下和复位状态下 I2C 的 Slave 功能均是使能的。如果此位设置为 1，则 I2C 控制器只能作为 Master 使用，不能响应反向 Slave 的请求。</p> <p>0:使能 I2C Slave 功能 1: 关闭 I2C Slave 功能</p> |
| [5] | IC_RESTART_EN | R/W | IC_RESTART_EN 配置参数 | <p>此位设置作为 I2C Master 使用时是否支持 restart 功能。某些 I2C Slave 设备不能处理 Restart 信号，但多数 I2C Slave 设备均能处理 Restart 信号。</p> <p>0: 不支持 Restart 1: 支持 Restart</p> <p>当设备不支持 RESTART 功能时，I2C 的 Master 控制器支持以下功能：</p> <ul style="list-style-type: none"> •不发送起始字节 •不支持 Hs 工作模式 •不能进行 10 位地址读操作。 <p>在不支持 Restart 功能时进行以上操作，IC_RAW_INTR_STAT 寄存器中的 TX_BART 标志会被置起。</p> |
| [4] | C_10BIT_ADDR_MASTER or C_10BIT_ADDR_MASTER_rd_only | R/W | IC_10BIT_ADDR_MASTER 配置参数 | <p>当 I2C_DYNAMIC_TAR_UPDATE 参数为 0 (“No”) 时，此位为 IC_10BIT_ADDR_MASTER，控制其作为 I2C Master 时使用 7 位地址模式还是 10 位地址模式进行通信。</p> <p>当 I2C_DYNAMIC_TAR_UPDATE 参数为 1 (“Yes”) 时，此位为 IC_10BIT_ADDR_MASTER_rd_only，读写方式为只读状态，从此处读取的值为 IC_TAR 的第 12 位所设置的值，其含义为：</p> <p>0: 7 位地址模式 1: 10 位地址模式</p> |
| [3] | IC_10BIT_ADDR_SLAVE | R/W | IC_10BIT_ADDR_SLAVE 配置参数 | <p>当工作在 slave 模式时，此位用来选择 I2C 控制器响应 7 位地址访问模式还是响应 10 位地址访问请求模式</p> <p>0: 7 位地址模式。</p> <p>此模式下，对于 10 位地址访问请求，I2C 控制器忽略请求，不响应；对于 7 位地址访问请求，I2C 控制器将请求中的 7 位地址与 IC_SAR 寄存器中的 7 位地址值进行比对，若两者一致则响应，若不一致则不响应。</p> <p>1: 10 位地址模式。</p> |

| | | | | |
|-------|-------------|-----|---------------------------|---|
| | | | | 此模式下，I2C 控制器只响应与 IC_SAR 寄存器中的 10 位地址相匹配的 10 位地址访问请求。 |
| [2:1] | SPEED | R/W | IC_MAX_SPEED_MODE 配置参数 | 此参数用来设定 I2C 控制器工作在 Master 模式时的速率。此参数值的范围为 1~IC_MAX_SPEED_MODE。如果软件设定的值不在 1~IC_MAX_SPEED_MODE 范围内，硬件会将其更改为 IC_MAX_SPEED_MODE，以起到保护作用。 1: 标准模式 (0 to 100 Kbit/s) 2: 快速模式 (≤ 400 Kbit/s) 3: 高速模式 (≤ 3.4 Mbit/s) |
| [0] | MASTER_MODE | R/W | IC_MASTER_MODE 配置参数 | 此位是 I2C Master 的使能位。 0: 关闭 master 功能 1: 使能 master 功能 |

2.6.1.2.2 IC_TAR(0x04)

表 2-78 IC_TAR(0x04)寄存器说明

| 位 | 名称 | 读取方式 | 默认值 | 说明 |
|---------|----------------------|------|------------------------------|--|
| [15:13] | - | - | - | - |
| [12] | IC_10BIT_ADDR_MASTER | R/W | IC_10BIT_ADDR_MASTER 配置参数 | 此位用来选择工作在 I2C Master 时使用 7 位地址模式还是 10 位地址模式进行通信。 0: 7 位地址模式 1: 10 位地址模式 声明：此位只有在 I2C_DYNAMIC_TAR_UPDATE 为“YES”时才有效。 |
| [11] | SPECIAL | R/W | 0 | 此位用来选择 I2C 通信使用广播呼叫地址格式还是使用 START BYTE 格式 0: 使用 IC_TAR 地址格式，忽略 GC_OR_START 设置 1: 使用 GC_OR_START 设定的格式 |
| [10] | GC_OR_START | R/W | 0 | 如果位 11 (SPECIAL)为 1，此位设定 DW_apb_i2c 使用广播呼叫地址格式还是 START BYTE 格式。 0: 使用广播呼叫地址格式。 此模式下只能进行写操作。如果尝试在此模式下进行读操作，则 IC_RAW_INTR_STAT 寄存器中的第 6 位 (TX_ABRT) 将会被置位。如果 SPECIAL 位一直为 1， |

| | | | | |
|-------|--------|-----|--------------------------------|--|
| | | | | I2C 控制器则会一直工作在这种模式下。 1: START BYTE 格式 |
| [9:0] | IC_TAR | R/W | IC_DEFAULT_TAR_SLAVE_ADDR 配置参数 | 此处用来存放 Master 通信的目的地址。使用广播呼叫地址格式时此参数可以忽略，使用 START BYTE 格式时只需 CPU 向此处进行一次写操作。 |

2.6.1.2.3 IC_SAR(0x08)

表 2-79 IC_SAR(0x08)寄存器说明

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|---------|--------|------|----------------------------|---|
| [15:10] | - | - | - | - |
| [9:0] | IC_SAR | R/W | IC_DEFAULT_SLAVE_ADDR 配置参数 | IC_SAR 存放 I2C 工作在 Slave 模式下的 Slave 地址。7 位地址模式下只使用 IC_SAR[6:0]。只有在关闭 I2C 接口功能时 (IC_ENABLE=0) 才能更新 IC_SAR 的值，在 I2C 接口处于使能状态时不能改变 IC_SAR 的值。 |

2.6.1.2.4 IC_DATA_CMD(0x10)

表 2-80 IC_DATA_CMD(0x10)寄存器说明

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|---------|---------|------|-----|--|
| [15:11] | - | - | - | - |
| [10] | RESTART | WO | - | <p>此位设置是否在发送或接收一个字节数据前发起 RESTART，且只有在 IC_EMPTYFIFO_HOLD_MASTER_EN 为 1 时有效。</p> <ul style="list-style-type: none"> •1- 如果 IC_RESTART_EN=1，不管传输方向与上次传输一致还是相反，在发送或接收数据前会发起一个 RESTART；如果 IC_RESTART_EN=0，则使用 START/Stop 配对模式，每次以 START 作为一次传输的开始，以 Stop 结束一次传输。 •0-如果 IC_RESTART_EN=1，则只有在传输方向与上次发生改变时发起一个 RESTART；如果 IC_RESTART_EN=0，则使用 START/Stop 配对模式，每次以 START 作为一次传输的开始，以 Stop 结束一次传输。 |
| [9] | STOP | WO | - | 此位设置是否在发送或接收到一个字节数据后发起 |

| | | | | |
|-------|-----|----|---|---|
| | | | | <p>STOP，且只有在 IC_EMPTYFIFO_HOLD_MASTER_EN 为 1 时有效。</p> <ul style="list-style-type: none"> •1 – 不管 Tx FIFO 是否为空，在发送或接收数据后都会发起一个 STOP。如果 Tx FIFO 不为空，则在发送或接收数据后，总线的 Master 端会立即通过产生 START 和申请总线仲裁的方式开始一次新的通信。 •0 – 不管 Tx FIFO 是否为空，在发送或接收数据后都不发起 STOP。如果 Tx FIFO 不为空，则继续发送或接收当前通信的其他数据字节（由 CMD 位决定是发送还是接收）；如果 Tx FIFO 为空，总线的 Master 端会持续拉低 SCL 信号线并将总线挂起，直到 Tx FIFO 中有新的有效值。 |
| [8] | CMD | WO | 0 | <p>此位是 I2C 控制器工作在 Master 模式时进行读写操作的控制位。控制器工作在 Slave 模式时，此位值无效。</p> <ul style="list-style-type: none"> •1 = 读 •0 = 写 <p>In slave-receiver mode, this bit is a “don’t care”工作在 Slave 接收模式时不需要考虑 CMD 位的设定。工作在 Slave 发送模式时，CMD=0 表示 IC_DATA_CMD 中的数据将被发送。</p> <p>在对 CMD 位进行操作时需要考虑以下情况：无论 IC_RAW_INTR_STAT 中的 SPECIAL 位（第 11 位）是否被清 0，在发送广播呼叫地址格式后进行读操作都会导致 TX_ABRT 中断被置位（IC_RAW_INTR_STAT 寄存器中的第 6 位）；如果在收到 RD_REQ 中断后软件置 CMD 位为 1 也同样会导致 TX_ABRT 中断事件的发生，即 TX_ABRT 位被置 1。</p> |
| [7:0] | DAT | WO | 0 | <p>DAT 中存放用来发送的数据或从 I2C 总线上接收到的数据。在开始一次读操作时向 DAT 中写入数据将被 DW_apb_i2c 忽略，但此时从 DAT 读取的数据则是从 I2C 总线接口接收到的数据。</p> |

2.6.1.2.5 IC_SS_SCL_HCNT(0x14)

表 2-81 IC_SS_SCL_HCNT(0X14)寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|----------|------|------------|----------------------|
| [15:0] | IC_SS_SC | R/W | IC_SS_SCL_ | 该寄存器必须在 I2C 总线传输之前进行 |

| | | | | |
|--|--------|--|------------------------------------|---|
| | L_HCNT | | HIGH_COUNT configuration parameter | <p>设计，用于明确正确的 I/O 时序。。该寄存器用于设置标准速率下 SCL 高电平持续时间的计数值。</p> <p>该寄存器仅当 I2C 接口在不使能情况下（当 IC_ENABLE=0 时）可写。其他情况下的写操作无效。</p> <p>寄存器最小取值为 6，比 6 小的值无法设置，若设置值小于 6，则硬件将寄存器值设置为 6。当 APB_DATA_WIDTH=8 时，寄存器设置的顺序尤为关键，此时，首先应配置计数器的低 32 位数据，之后再配置高 32 位。</p> <p>当 IC_HC_COUNT_VALUES 为 1 时，该寄存器只读。</p> |
|--|--------|--|------------------------------------|---|

2.6.1.2.6 IC_SS_SCL_LCNT(0x18)

表 2-82 IC_SS_SCL_LCNT(0X18)寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|----------------|------|---|--|
| [15:0] | IC_SS_SCL_LCNT | R/W | IC_SS_SCL_LOW_COUNT configuration parameter | <p>该寄存器必须在 I2C 总线传输之前进行设计，用于明确正确的 I/O 时序。该寄存器用于设置标准速率下 SCL 低电平持续时间的计数值。</p> <p>该寄存器仅当 I2C 接口在不使能情况下（当 IC_ENABLE=0 时）可写。其他情况下的写操作无效。</p> <p>寄存器最小取值为 8，比 8 小的值无法设置，若设置值小于 8，则硬件将寄存器值设置为 8。</p> <p>当 APB_DATA_WIDTH=8 时，寄存器设置的顺序尤为关键，此时，首先应配置计数器的低 32 位数据，之后再配置高 32 位。当 IC_HC_COUNT_VALUES 为 1 时，该寄存器只读。</p> |

2.6.1.2.7 IC_FS_SCL_HCNT(0x1C)

表 2-83 IC_FS_SCL_HCNT(0X1C)寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|----------------|------|--|--|
| [15:0] | IC_FS_SCL_HCNT | R/W | IC_FS_SCL_HIGH_COUNT configuration parameter | <p>该寄存器必须在 I2C 总线传输之前进行设计，用于明确正确的 I/O 时序。该寄存器用于设置快速模式下 SCL 高电平持续时间的计数值。用于发送高速模式下的 Mater Code 和 START BYTE 或 General Call。</p> <p>当 IC_MAX_SPEED_MODE= standard，此寄存器为只读且返回值为全 0。该寄存器仅当 I2C 接口在不使能情况下（当 IC_ENABLE=0 时）可写。其他情况下的写操作无效。</p> <p>寄存器最小取值为 6，比 6 小的值无法设置，若设置值小于 6，则硬件将寄存器值设置为 6。当 APB_DATA_WIDTH=8 时，寄存器设置的顺序尤为关键，此时，首先应配置计数器的低字节（8 位）数据，之后再配置高字节（8 位）。</p> <p>当 IC_HC_COUNT_VALUES 为 1 时，该寄存器只读。</p> |

2.6.1.2.8 IC_FS_SCL_LCNT(0x20)

表 2-84 IC_FS_SCL_LCNT(0X20)寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|----------------|------|---|---|
| [15:0] | IC_FS_SCL_LCNT | R/W | IC_FS_SCL_LOW_COUNT configuration parameter | <p>该寄存器必须在 I2C 总线传输之前进行设计，用于明确正确的 I/O 时序。该寄存器用于设置快速模式下 SCL 低电平持续时间的计数值。用于发送高速模式下的 Mater Code 和 START BYTE 或 General Call。</p> <p>当 IC_MAX_SPEED_MODE= standard，</p> |

| | | | | |
|--|--|--|--|---|
| | | | | <p>此寄存器为只读且返回值为全 0。该寄存器仅当 I2C 接口在不使能情况下（当 IC_ENABLE=0 时）可写。其他情况下的写操作无效。</p> <p>寄存器最小取值为 8，比 8 小的值无法设置，若设置值小于 8，则硬件将寄存器值设置为 8。</p> <p>当 APB_DATA_WIDTH=8 时，寄存器设置的顺序尤为关键，此时，首先应配置计数器的低字节（8 位）数据，之后再配置高 32 位字节（8 位）。当 IC_HC_COUNT_VALUES 为 1 时，该寄存器只读。</p> |
|--|--|--|--|---|

2.6.1.2.9 IC_HS_SCL_HCNT(0x24)

表 2-85 IC_HS_SCL_HCNT(0X24)寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|----------------|------|--|--|
| [15:0] | IC_HS_SCL_HCNT | R/W | IC_HS_SCL_HIGH_COUNT configuration parameter | <p>该寄存器必须在 I2C 总线传输之前进行设计，用于明确正确的 I/O 时序。该寄存器用于设置高速模式下 SCL 高电平持续时间的计数值。</p> <p>SCL 高电平时间依赖于总线的负载情况。接 100pF 的负载时，高电平时间为 60ns;接 400pF 的负载时，高电平时间为 120ns。IC_MAX_SPEED_MODE!= high 时，此寄存器为只读且返回值为全 0。</p> <p>该寄存器仅当 I2C 接口在不使能情况下（当 IC_ENABLE=0 时）可写。其他情况下的写操作无效。</p> <p>寄存器最小取值为 6，比 6 小的值无法设置，若设置值小于 6，则硬件将寄存器值设置为 6。当 APB_DATA_WIDTH=8 时，寄存器设置的顺序尤为关键，此时，首先应配置计数器的低字节（8 位）数据，之后再配</p> |

| | | | | |
|--|--|--|--|--|
| | | | | 置高字节（8 位）。 当 IC_HC_COUNT_VALUES 为 1 时， 该寄存器只读。 |
|--|--|--|--|--|

2.6.1.2.10 IC_HS_SCL_LCNT(0x28)

表 2-86 IC_HS_SCL_LCNT(0X28)寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|----------------|------|---|--|
| [15:0] | IC_HS_SCL_LCNT | R/W | IC_HS_SCL_LOW_COUNT configuration parameter | <p>该寄存器必须在 I2C 总线传输之前进行设计，用于明确正确的 I/O 时序。该寄存器用于设置高速模式下 SCL 低电平持续时间的计数值。</p> <p>SCL 低电平时间依赖于总线的负载情况。接 100pF 的负载时，低电平时间为 160ns;接 400pF 的负载时，低电平时间为 320ns。IC_MAX_SPEED_MODE!=high 时，此寄存器为只读且返回值为全 0。</p> <p>该寄存器仅当 I2C 接口在不使能情况下（当 IC_ENABLE=0 时）可写。其他情况下的写操作无效。</p> <p>当 APB_DATA_WIDTH=8 时，寄存器设置的顺序尤为关键，此时，首先应配置计数器的低字节（8 位）数据，之后再配置高字节（8 位）。</p> <p>寄存器最小取值为 8，比 8 小的值无法设置，若设置值小于 8，则硬件将寄存器值设置为 8。</p> <p>当 IC_HC_COUNT_VALUES 为 1 时，该寄存器只读。</p> |

2.6.1.2.11 IC_INTR_MASK(0x30)

表 2-87 IC_INTR_MASK(0X30)寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|---------|----|------|-----|----|
| [15:12] | - | - | - | - |

| | | | | |
|------|-------------|-----|-----|---|
| [11] | M_GEN_CALL | R/W | 0x1 | M_GEN_CALL 中断事件标志屏蔽控制。置位时，如果对应中断事件发生，不会置位 IC_INTR_STAT 寄存器中对应的中断标志位 |
| [10] | M_START_DET | R/W | 0 | |
| [9] | M_STOP_DET | R/W | 0 | |
| [8] | M_ACTIVITY | R/W | 0 | |
| [7] | M_RX_DONE | R/W | 0x1 | |
| [6] | M_TX_ABRT | R/W | 0x1 | |
| [5] | M_RD_REQ | R/W | 0x1 | |
| [4] | M_TX_EMPTY | R/W | 0x1 | |
| [3] | M_TX_OVER | R/W | 0x1 | |
| [2] | M_RX_FULL | R/W | 0x1 | |
| [1] | M_RX_OVER | R/W | 0x1 | |
| [0] | M_RX_UNDE | R/W | 0x1 | |

2.6.1.2.12 IC_RAW_INTR_STAT(0x34)

表 2-88 IC_RAW_INTR_STAT(0x34)寄存器说明

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|---------|-----------|------|-----|---|
| [15:12] | - | - | - | - |
| [11] | GEN_CALL | RO | 0 | 只有接收并识别到广播呼叫地址格式时才会被置位。一旦 GEN_CALL 置位，则只有通过关闭 I2C 控制器或 CPU 读取 IC_CLR_GEN_CALL 寄存器中的第 0 位，GEN_CALL 位才能被清 0。I2C 控制器会把接收到的数据存放在 Rx 缓冲区中。 |
| [10] | START_DET | RO | 0 | 此位表示在 I2C 总线接口上是否产生了 START 或 RESTART。与控制器工作在 Master 模式还是 Slave 模式无关。 |
| [9] | STOP_DET | RO | 0 | 此位表示在 I2C 总线接口上是否产生了 STOP。与控制器工作在 Master 模式还是 Slave 模式无关。 |
| [8] | ACTIVITY | RO | 0 | 此位标志 I2C 控制器的活动状态。 有 4 种方法可以清楚 ACTIVITY 标志： •关闭 DW_apb_i2c |

| | | | | |
|-----|--------------|----|---|---|
| | | | | <ul style="list-style-type: none"> •读取 IC_CLR_ACTIVITY 寄存器 •读取 IC_CLR_INTR 寄存器 •系统复位 <p>一旦被置位则会一致保持置位,直到通过以上四种方式中的一种将其标志清 0。即使在 Idle 状态下如果采取清 0 动作的话也会一直保持置位。</p> |
| [7] | RX_DON E | RO | 0 | I2C 控制器工作在 Slave 发送模式下,发送完数据的最后一个字节后,在规定时间内没有收到 Master 端的回应 (ACK),RX_DONE 将会被置位表示结束。 |
| [6] | TX_ABR T | RO | 0 | <p>该数据位表示 I2C 无法完成传输 FIFO 中存储的计划动作。这个情况在 I2C master 和 slave 中都有可能发生,被认为是传输终止标志。</p> <p>当该数据位为 1 时,IC_TX_ABORT_SOURCE 寄存器将记录传输终止的原因。</p> |
| [5] | RD_REQ | RO | 0 | <p>读请求标志。当 I2C 控制器工作在 Slave 模式下,且有 Master 尝试从 DW_apb_i2c 中读取数据时,RD_REQ 被置位。I2C 控制器在处理 RD_REQ 请求期间会将 SCL 保持低电平。RD_REQ 是处理器必须响应的中断请求,并在请求处理完成时把 Master 所要的数据放到 IC_DATA_CMD 寄存器中。读取 IC_CLR_RD_REQ 寄存器的值可以将 RD_REQ 标志清 0。</p> |
| [4] | TX_EMP TY | RO | 0 | <p>当发送缓冲区小于等于 IC_TX_TL 寄存器中设定的门限值时将置位 TX_EMPTY。当缓冲区大于门限值时,硬件会自动把 TX_EMPTY 清 0。IC_ENABLE bit0=0 时, TXFIFO 被刷新复位, TXFIFO 可以认为为空,此时 TX_EMPTY 被置为 1。当总线处于非活动状态时 ic_en=0, TX_EMPTY=0。</p> |
| [3] | TX_OVE R | RO | 0 | <p>在发送过程中,如果发送缓冲区大小达到 IC_TX_BUFFER_DEPTH 且处理器还在尝试通过向 IC_DATA_CMD 中写数据来发起另一个 I2C 命令时, TX_OVER 被置位。即使在控制器功能被关闭的情况下 (IC_ENABLE[0]=0) TX_OVER 状态也会一直保持置位,直到总线进入空闲状态。ic_en</p> |

| | | | | |
|-----|----------|----|---|--|
| | | | | =0 时, TX_OVER 被清 0。 |
| [2] | RX_FULL | RO | 0 | 当接收缓冲区大于等于 IC_RX_TL 中设定的门限值 (RX_TL) 时, RX_FULL 置位。当缓冲区小于门限值时, 硬件会自动把 RX_FULL 清 0。IC_ENABLE bit0=0 时, RXFIFO 被刷新复位, RXFIFO 为空, 此时 RX_FULL 被清 0。 |
| [1] | RX_OVER | RO | 0 | 当接收缓冲区大小达到 IC_RX_BUFFER_DEPTH, 且还继续从外部接收数据时, RX_OVER 置位。TX_OVER 事件会被 I2C 控制器响应, 且在缓冲区满后接收到的所有数据均被丢弃。即使在控制器功能被关闭的情况下 (IC_ENABLE[0]=0) RX_OVER 状态也会一直保持置位, 直到总线进入空闲状态。ic_en=0 时, RX_OVER 被清 0。 |
| [0] | RX_UNDER | RO | 0 | 处理器通过访问 IC_DATA_CMD 寄存器获取接收缓冲区的数据时, 若接收缓冲区为空, RX_UNDER 被置位。即使在控制器功能被关闭的情况下 (IC_ENABLE[0]=0) RX_UNDER 状态也会一直保持置位, 直到总线进入空闲状态。ic_en=0 时, RX_UNDER 被清 0。 |

2.6.1.2.13 IC_RX_TL(0x38)

表 2-89 IC_RX_TL(0x38)寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|-------|------|------------------|--|
| [15:8] | - | - | - | - |
| [7:0] | RX_TL | R/W | IC_RX_TL 配置参数 | 接收缓冲区满中断 (RX_FULL) 触发门限控制。有效范围 0~255, 但最大值不能超出缓冲区的深度。如果设定值超出缓冲区的最大深度, 其实际设置的有效大小为缓冲区的最大深度值。0 表示接收缓冲区大于等于 1 时触发中断, 255 表示接收缓冲区大于等于 256 时触发中断。 |

2.6.1.2.14 IC_TX_TL(0x3C)

表 2-90 IC_TX_TL(0X3C)寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|-------|------|------------------|--|
| [15:8] | - | - | - | - |
| [7:0] | TX_TL | R/W | IC_TX_TL 配置参数 | 发送缓冲区满中断 (TX_EMPTY) 触发门限控制。有效范围 0~255，但最大值不能超出缓冲区的深度。如果设定值超出缓冲区的最大深度，其实际设置的有效大小为缓冲区的最大深度值。0 表示发送缓冲区小于等于 0 时触发中断，255 表示发送缓冲区小于等于 255 时触发中断。 |

2.6.1.2.15 IC_ENABLE(0x6C)

表 2-91 IC_ENABLE(0X6C)寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|--------|------|-----|--|
| [15:1] | - | - | - | - |
| [0] | ENABLE | R/W | 0 | <p>I2C 控制器使能或关闭控制位。</p> <p>0: 关闭 I2C 控制器功能</p> <p>1: 使能 I2C 控制器功能</p> <p>以下现象会在 I2C 控制器功能关闭时出现:</p> <ul style="list-style-type: none"> • TXFIFO 和 RXFIFO 被刷新 • IC_INTR_STAT 寄存器中的状态保持不变。 <p>在控制器发送数据过程中关闭 I2C 控制器功能，则在当前发送操作完成后，清空发送缓冲区中的内容。</p> <p>在控制器接收数据过程中关闭 I2C 控制器功能，通信将在接收完当前字节后停止，且不响应使用 asynchronous pclk and ic_clk 的系统 (IC_CLK_TYPE=1)。在使能或关闭控制器时有 2 个 ic_clk 的延迟。</p> |

2.6.1.2.16 IC_STATUS(0x70)

表 2-92 IC_STATUS(0X70)寄存器

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|--------------|------|-----|--|
| [31:7] | - | - | - | - |
| [6] | SLV_ACTIVITY | RO | 0 | Slave FSM 活动状态标志。SlaveFSM(Slave Finite State Machine 不在 Idle 状态时被置位 0: Slave FSM 处于 Idle 状态, 此时 I2C 控制器的 Slave 功能处于非活动状态。 1: Slave FSM 处于非 Idle 状态, 此时 I2C 控制器的 Slave 功能处于活动状态。 |
| [5] | MST_ACTIVITY | RO | 0 | Master FSM 活动状态标志。Master FSM(Master Finite State Machine)处于非 Idle 状态时被置位。 0: Master FSM 处于 Idle 状态, 此时 I2C 控制器的 Master 功能处于非活动状态 1: Master FSM 处于非 Idle 状态, 此时 I2C 控制器的 Master 功能处于活动状态。 |
| [4] | RFF | RO | 0 | 接收 FIFO 全满标志。当接收 FIFO 全满时置位; FIFO 中有一个或一个以上为空时 0。 0: 接收 FIFO 未 1: 接收 FIFO 全满 |
| [3] | RFNE | RO | 0 | 接收 FIFO 不为空标志。当接收 FIFO 不为空时置位, 为空时清 0。 0: 接收 FIFO 为空 1: 接收 FIFO 不为空 |
| [2] | TFE | RO | 0x1 | 发送 FIFO 全空标志。发送 FIFO 全空时置位; 发送 FIFO 有一个或一个以上不为空的值时清 0。此标志的产生不伴随有中断发生。 0: 发送 FIFO 不为空 1: 发送 FIFO 为空 |
| [1] | TFNF | RO | 0x1 | 发送 FIFO 未 发送 FIFO 中有一个或一个以上位置为空时置位; 发送 |

| | | | | |
|-----|----------|----|---|---|
| | | | | FIFO 满时清 0。 0: 发送 FIFO 已满 1: 发送 FIFO 未滿 |
| [0] | ACTIVITY | RO | 0 | I2C 控制器活动状态标志 |

2.7 WDT 接口

芯片集成了 2 个 WDT，当 WDT 使能之后，计数器开始计数，当计数器超时时根据配置可以产生中断或者复位信号，每次喂狗操作让计数器重新计数。

2.7.1 寄存器说明

2.7.1.1 基地址

表 2-93 WDT 基地址

| 名称 | 基地址 |
|------|-----------------|
| WDT0 | 0x800_2800_4000 |
| WDT1 | 0x800_2800_5000 |

2.7.1.2 寄存器列表

2.7.1.2.1 WDT_CR (0x00)

表 2-94 WDT_CR

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|------|------|-----|--|
| [31:6] | 保留 | - | - | - |
| [5] | Test | R/W | 0 | 可读写测试位 |
| [4:2] | RPL | R/W | 1 | 设置复位信号的长度。WDT 时钟周期为 20ns。 000 – 2 cycles 001 – 4 cycles 010 – 8 cycles 011 – 16 cycles 100 – 32 cycles 101 – 64 cycles |

| | | | | |
|-----|--------|-----|---|---|
| | | | | 110 – 128 cycles 111 – 256 cycles |
| [1] | RMOD | R/W | 0 | 响应模式。 0: 生成系统复位。 1: 首先生成一次中断, 如果在第二次超时发生时仍未清除中断, 则生成系统复位。 |
| [0] | WDT_EN | R/W | 0 | WDT 使能。 0: 禁用 WDT 1: 使能 WDT |

2.7.1.2.2 WDT_TORR (0x04)

表 2-95 WDT_TORR

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|-----|------|-----|--|
| [31:4] | 保留 | - | - | - |
| [3:0] | TOP | R/W | 0 | 选择计数器超时范围。 默认为 0, 计数值为 65535, 大约 1.3ms (时钟周期为 20ns); 每增加 1, 计数值翻一番。 |

2.7.1.2.3 WDT_CCVR (0x08)

表 2-96 WDT_CCVR

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|------|------|-----|-------|
| [31:0] | CCVR | RO | - | 当前计数值 |

2.7.1.2.4 WDT_CRR (0x0c)

表 2-97 WDT_CRR

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|-----|------|-----|--|
| [31:8] | 保留 | - | - | - |
| [7:0] | CRR | WO | 0 | 写 0x76 将让计数器重新计数 (即喂狗), 如果已经产生中断, 也会清除中断。写其它值无效。 |

2.7.1.2.5 WDT_STAT (0x10)

表 2-98 WDT_STAT

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|------|------|-----|------------------|
| [31:1] | 保留 | - | - | - |
| [0] | STAT | RO | 0 | 中断标志，1 表示已经产生中断。 |

2.7.1.2.6 WDT_EOI (0x14)

表 2-99 WDT_EOI

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|-----|------|-----|-------------------|
| [31:1] | 保留 | - | - | - |
| [0] | EOI | RO | 0 | 写 1 清中断，但计数器不会重置。 |

2.8 GPIO 接口

芯片包含了 32 个 GPIO 端口，分成 4 组，分别是 GPIOA[0:7]，GPIOB[0:7]，GPIOC[0:7]，GPIOD[0:7]。其中有部分 GPIO 端口是复用的，详细复用情况见下面描述。如果要选择 GPIO 功能，设置 REG_CRU_PAD_SEL_*寄存器的值。GPIO 端口可通过软件分别配置成输入或输出。

2.8.1 GPIO 复用说明

2.8.1.1 GPIO 复用寄存器地址

表 2-100 GPIO 复用寄存器地址

| 名称 | 基地址 |
|----------------|-----------------|
| GPIO 复用控制寄存器 0 | 0x800_2810_0C00 |
| GPIO 复用控制寄存器 1 | 0x800_2810_0C04 |
| GPIO 复用控制寄存器 2 | 0x800_2810_0C08 |

2.8.1.2 GPIO 复用寄存器描述

表 2-101 GPIO 复用寄存器描述

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------|-----------|------|-----|------------------------|
| [31:0] | GPIO 复用控制 | R/W | 0x0 | GPIO 复用控制寄存器 0，从高位到低位分 |

| | | | | |
|--------|------------------|-----|-----|---|
| | 位 0 | | | 别对应如下信号，这些信号均为 2 位信号 peu01_phy_jtag_tdi_pad_sel, peu01_phy_jtag_tms_pad_sel, peu01_phy_jtag_trst_n_pad_sel, peu0_phy_jtag_tdo_pad_sel, peu1_phy_jtag_tdo_pad_sel, uart_0_rxd_pad_sel, uart_0_txd_pad_sel, spi_ext_wp_pad_sel, 保留, 保留, ckobv_sel0_pad_sel, ckobv_sel1_pad_sel, ckobv_sel2_pad_sel, ckobv_sel3_pad_sel, ckobv_sel4_pad_sel, cru_clk_obv_pad_sel |
| [31:0] | GPIO 复用控制 位 1 | R/W | 0x0 | GPIO 复用控制寄存器 1, 从高位到低位分别对应如下信号，这些信号均为 2 位信号 i2c_0_scl_pad_sel, i2c_0_sda_pad_sel, i2c_1_scl_pad_sel, i2c_1_sda_pad_sel, uart_1_rxd_pad_sel, uart_1_txd_pad_sel, gpio_portb_6_pad_sel, gpio_portb_7_pad_sel, cru_rst_fsm_0_pad_sel, cru_rst_fsm_1_pad_sel, cru_rst_fsm_2_pad_sel, cru_rst_fsm_3_pad_sel, cru_rst_fsm_4_pad_sel, gpio_portc_5_pad_sel, gpio_portc_6_pad_sel, gpio_portc_7_pad_sel |
| [19:0] | GPIO 复用控制 | R/W | 0x0 | GPIO 复用控制寄存器 2, 从高位到低位分 |

| | | | | |
|--|-----|--|--|---|
| | 位 2 | | | 别对应如下信号，这些信号均为 2 位信号 uart_2_rxd_pad_sel, uart_2_txd_pad_sel, uart_3_rxd_pad_sel, uart_3_txd_pad_sel, 保留, hdt_mb_done_state_pad_sel, hdt_mb_fail_state_pad_sel, 保留, spi_ext_csn2_pad_sel, spi_ext_csn3_pad_sel |
|--|-----|--|--|---|

上述寄存器中每一个*_pad_sel域对应一个pad的功能选择，当为0时，选择功能0，为1时选择功能1，依次类推。当选择某种复用功能后，对应的GPIO端口说明如下表所示。

表 2-102 GPIO 复用说明

| 信号名 | 功能 0 | 功能 1 | 功能 2 |
|---------------------------------|-------------------|-------------------|-----------------|
| LPC_IRQ_OUTEN/PEU1_LINKUP0 | hdt_mb_done_state | lpc_ext_irq_outen | peu1_linkup_0 |
| LPC_LAD_OUTEN/PEU1_LINKUP1 | hdt_mb_fail_state | lpc_ext_lad_outen | peu1_linkup_1 |
| UART0_CTS_N/GPIO_A0 | cru_ckobv_sel_0 | gpio_porta_0 | uart_0_cts_n |
| UART0_DCD_N/GPIO_A1 | cru_ckobv_sel_1 | gpio_porta_1 | uart_0_dcd_n |
| UART0_DSR_N/GPIO_A2 | cru_ckobv_sel_2 | gpio_porta_2 | uart_0_dsr_n |
| UART0_RI_N/GPIO_A3 | cru_ckobv_sel_3 | gpio_porta_3 | uart_0_ri_n |
| UART0_RTS_N/GPIO_A4 | cru_ckobv_sel_4 | gpio_porta_4 | uart_0_rts_n |
| UART0_DTR_N/GPIO_A5/CRU_CLK_OBV | cru_clk_obv | gpio_porta_5 | uart_0_dtr_n |
| SPI_CSN2/GPIO_A6 | spi_ext_csn2 | gpio_porta_6 | traceclk_out |
| SPI_CSN3/GPIO_A7 | spi_ext_csn3 | gpio_porta_7 | tracectl_out |
| I2C0_SCL/GPIO_B0 | i2c_0_scl | gpio_portb_0 | tracedata_out_0 |
| I2C0_SDA/GPIO_B1 | i2c_0_sda | gpio_portb_1 | tracedata_out_1 |
| I2C1_SCL/GPIO_B2 | i2c_1_scl | gpio_portb_2 | tracedata_out_2 |
| I2C1_SDA/GPIO_B3 | i2c_1_sda | gpio_portb_3 | tracedata_out_3 |
| UART1_RXD/GPIO_B4 | uart_1_rxd | gpio_portb_4 | tracedata_out_4 |
| UART1_TXD/GPIO_B5 | uart_1_txd | gpio_portb_5 | tracedata_out_5 |
| LPC_IRQ_N/GPIO_B6 | gpio_portb_6 | ext_lpc_irq_n | tracedata_out_6 |
| LPC_LAD_0/GPIO_B7 | gpio_portb_7 | ext_lpc_lad_0 | tracedata_out_7 |
| CRU_RST_FSM0/GPIO_C0 | cru_rst_fsm_0 | gpio_portc_0 | tracedata_out_8 |

| | | | |
|---------------------------------|-------------------------|------------------|------------------|
| CRU_RST_FSM1/GPIO_C1 | cru_rst_fsm_1 | gpio_portc_1 | tracedata_out_9 |
| CRU_RST_FSM2/GPIO_C2 | cru_rst_fsm_2 | gpio_portc_2 | tracedata_out_10 |
| CRU_RST_FSM3/GPIO_C3 | cru_rst_fsm_3 | gpio_portc_3 | tracedata_out_11 |
| CRU_RST_FSM4/GPIO_C4 | cru_rst_fsm_4 | gpio_portc_4 | tracedata_out_12 |
| LPC_LAD_1/GPIO_C5 | gpio_portc_5 | ext_lpc_lad_1 | tracedata_out_13 |
| LPC_LAD_2/GPIO_C6 | gpio_portc_6 | ext_lpc_lad_2 | tracedata_out_14 |
| LPC_LAD_3/GPIO_C7 | gpio_portc_7 | ext_lpc_lad_3 | tracedata_out_15 |
| LPC_LDRQ_N/GPIO_D0 | peu01_phy01_jtag_tdi | ext_lpc_ldrq_n | gpio_portd_0 |
| LPC_LFRAME_N/GPIO_D1 | peu01_phy01_jtag_tms | lpc_ext_lframe_n | gpio_portd_1 |
| PEU01_PHY01_JTAG_TRST_N/GPIO_D2 | peu01_phy01_jtag_trst_n | | gpio_portd_2 |
| PEU0_PHY0_JTAG_TDO/GPIO_D3 | peu0_phy0_jtag_tdo | cru_error_int | gpio_portd_3 |
| PEU0_PHY1_JTAG_TDO/GPIO_D4 | peu0_phy1_jtag_tdo | | gpio_portd_4 |
| UART0_RXD/GPIO_D5 | uart_0_rxd | | gpio_portd_5 |
| UART0_TXD/GPIO_D6 | uart_0_txd | | gpio_portd_6 |
| UART2_RXD | uart_2_rxd | | peu0_c0_clk_obv |
| UART2_TXD | uart_2_txd | | peu0_c1_clk_obv |
| UART3_RXD | uart_3_rxd | | peu1_c0_clk_obv |
| UART3_TXD | uart_3_txd | | peu1_c1_clk_obv |
| SPI_WP/GPIO_D7 | spi_ext_wp | | gpio_portd_7 |

2.8.2 GPIO 寄存器说明

2.8.2.1.1 基地址

表 2-103 GPIO 基地址

| 名称 | 基地址 |
|------|-----------------|
| GPIO | 0x800_2800_6000 |

2.8.2.1.2 寄存器列表

表 2-104 GPIO 内部寄存器描述

| 偏移地址 | 名称 | 读写方式 | 说明 |
|------|----------|------|-----------------------------------|
| 0x00 | GPIOA_DR | R/W | 端口 A 数据寄存器 r 位宽: GPIO_PWIDTH_A |

| | | | |
|------|--------------------|-----|--|
| | | | 默认值: GPIO_SWPORTA_RESET |
| 0x04 | GPIOA_DDR | R/W | 端口 A 数据方向寄存器 位宽: GPIO_PWIDTH_A 默认值: GPIO_DFLT_DIR_A (for all bits) |
| 0x0c | GPIOB_DR | R/W | 端口 B 数据寄存器 位宽: GPIO_PWIDTH_B 默认值: GPIO_SWPORTB_RESET |
| 0x10 | GPIOB_DDR | R/W | 端口 B 数据方向寄存器 数据位宽: GPIO_PWIDTH_B 默认值: GPIO_DFLT_DIR_B (for all bits) |
| 0x18 | GPIOC_DR | R/W | 端口 C 数据寄存器 位宽: GPIO_PWIDTH_C 默认值: GPIO_SWPORTC_RESET |
| 0x1c | GPIOC_DDR | R/W | 端口 C 数据方向寄存器 位宽: GPIO_PWIDTH_C 默认值: GPIO_DFLT_DIR_C (for all bits) |
| 0x24 | GPIOD_DR | R/W | 端口 D 数据寄存器 位宽: GPIO_PWIDTH_D 默认值: GPIO_SWPORTD_RESET |
| 0x28 | GPIOD_DDR | R/W | 端口 D 数据方向寄存器 位宽: GPIO_PWIDTH_D 默认值: GPIO_DFLT_DIR_D (for all bits) |
| 0x50 | GPIO_EXT_P ORTA | RO | 端口 A 外部端口寄存器 位宽: GPIO_PWIDTH_A 默认值: 0x0 |
| 0x54 | GPIO_EXT_P ORTB | RO | 端口 B 外部端口寄存器 位宽: GPIO_PWIDTH_B 默认值: 0x0 |
| 0x58 | GPIO_EXT_P ORTC | RO | 端口 C 外部端口寄存器 位宽: GPIO_PWIDTH_C 默认值: 0x0 |
| 0x5c | GPIO_EXT_P ORTD | RO | 端口 D 外部端口寄存器 位宽: GPIO_PWIDTH_D 默认值: 0x0 |

注：当 GPIO 的端口被设置为输入时，需要从 GPIO_EXT_PORTX 中读取输入的数据

GPIO_PWIDTH_X=8; 其中 X 表示 A/B/C/D。本章内名称以此类推。

2.8.2.1.2.1 数据寄存器 GPIOX_DR

表 2-105 数据寄存器(GPIOX_DR)

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|---------------------|------------|------|--------------------|---|
| [31:GPIO_PWIDTH_X] | 保留 | R/W | - | |
| [GPIO_PWIDTH_X-1:0] | 端口 X 数据寄存器 | R/W | GPIO_SWPORTX_RESET | 如果端口 X 数据方向寄存器中对应位设置为输出模式，并且端口 X 的对应控制位设置为软件控制，则向这个寄存器写的值是将要通过端口 X 对应的 I/O 引脚输出的信号值 |

2.8.2.1.2.2 方向寄存器 GPIOX_DDR

表 2-106 方向寄存器(GPIOX_DDR)

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|---------------------|------------|------|-----------------|--|
| [31:GPIO_PWIDTH_X] | - | - | - | |
| [GPIO_PWIDTH_X-1:0] | 端口 X 方向寄存器 | R/W | GPIO_DFLT_DIR_X | 向这个寄存器写的值每一位分别控制端口 X 对应位的输入输出模式。可以通过 GPIO_DFLT_DIR_X 参数设置系统复位后的默认方式为输入或输出。 0 – 输入(默认); 1 – 输出; |

2.8.2.1.2.3 外部数据寄存器 GPIO_EXT_PORTX

表 2-107 外部数据寄存器(GPIO_EXT_PORTX)

| 位 | 名称 | 读写方式 | 默认值 | 说明 |
|--------------------|----|------|-----|----|
| [31:GPIO_PWIDTH_X] | - | - | - | - |

| | | | | |
|---------------------------------|-----------|----|---|--|
|] | | | | |
| [GPIO_ PWIDT H_X-1: 0] | 外部端口 X | RO | 0 | 当端口 X 设置为输入时，从这个位置读取的值为端口 X 上输入的信号状态。当端口 X 设置为输出时，从这个位置读取的值为通过端口 X 输出的信号值。 |

2.9 调测试接口

调测试相关接口有三类：软件调试接口、MBIST 测试接口和硬件调试接口，软件接口开放给用户使用，其余两个调试接口为保留接口。

表 2-108 调测试接口

| 信号/引脚名 | 方向 | 说明 |
|-------------------|----|--|
| ntrst_swj | I | 软件调试 Dstream 接口，其中仅当使用 SerialWire 协议时，swditms_swj 才处于输出模式，swdo_swj 也才会被用到。使用 JTAG 模式时，swditms_swj 为输入模式，swdo_swj 也不会被用到。 |
| tdi_swj | I | |
| swditms_swj | IO | |
| swdo_swj | O | |
| tck_swj | I | |
| tdo_swj | O | |
| force_mb_start | I | MBIST 测试接口，此接口为保留接口。 |
| hdt_mb_done_state | O | |
| hdt_mb_fail_state | O | |
| sjtag_tdi | I | 硬件调试接口，此接口为保留接口。 |
| sjtag_tck | I | |
| sjtag_tms | I | |
| sjtag_ntrst | I | |
| sjtag_tdo | O | |

3 外设中断说明

外设中断指 FT-2000+片上集成的外设产生的中断，分配如下。

表 3-1 外设中断分配表

| 中断 ID | 含义 | 类型 |
|---------|---------------------|----|
| 47~32 | 来自 16 个 DCM 的中断 | 电平 |
| 55~48 | 保留 | |
| 63~56 | 8 个 panel 的致命错误 | 电平 |
| 64 | 保留 | |
| 65 | LPC 中断 | 电平 |
| 66 | UART0 中断 | 电平 |
| 67 | UART1 中断 | 电平 |
| 68 | I2C0 中断 | 电平 |
| 69 | I2C1 中断 | 电平 |
| 70 | Watch Dog0 中断 | 电平 |
| 71 | Watch Dog1 中断 | 电平 |
| 72 | UART2 中断 | 电平 |
| 73 | 保留 | 电平 |
| 75~74 | 保留 | |
| 76 | PEU0 错误 | 电平 |
| 77 | 保留 | |
| 78 | PEU1 错误 | 电平 |
| 79 | 保留 | |
| 80 | 温度传感器超出阈值 | 电平 |
| 81 | 收到一个消息 | 电平 |
| 82 | PEU 内部特殊事件 | 电平 |
| 83 | INTA 中断 | 电平 |
| 84 | INTB 中断 | 电平 |
| 85 | INTC 中断 | 电平 |
| 86 | INTD 中断 | 电平 |
| 87 | PEU 性能计数器中断 | 电平 |
| 88 | 保留 | 电平 |
| 89~120 | PEU0 Context0~31 中断 | 电平 |
| 121 | PEU0 全局失效非安全中断 | 电平 |
| 122 | PEU0 全局失效安全中断 | 电平 |
| 123~154 | PEU1 Context0~31 中断 | 电平 |
| 155 | PEU1 全局失效非安全中断 | 电平 |
| 156 | PEU1 全局失效安全中断 | 电平 |

4 电气特性

4.1 极限工作条件

- a) 核心电压 (VDD) : -0.3~0.98V;
- b) 1.2V IO 电压范围 (VDDQ) : -0.3~1.8V;
- c) 1.8V IO 电压范围 (VDDPST_x) : -0.3~2.0V;
- d) PCIe 模拟电压(PCIEx_Xx_AVDDCLK、PCIEx_Xx_RX_AVDDCLK、PCIEx_AVDD):-0.3~1.5V;
- e) 1.8V 模拟电压(LMUx_DDR_VAA、PCIEx_Xx_XCVR_AVDDH、AP_PLL_xx_VDDHV、VQPS、LMU6_TS_VDDA) : -0.3~2.0V。

4.2 工作电压范围

表 4-1 工作电压范围

| 参数 | 符号 | 最小值 | 典型值 | 最大值 | 单位 |
|------------|---|------|------|------|----|
| 内核电源 | VDD | 0.83 | 0.85 | 0.88 | V |
| DDR IO 电源 | VDDQ | 1.14 | 1.2 | 1.26 | V |
| DDR PLL 电源 | LMUx_DDR_VAA | 1.71 | 1.8 | 1.89 | V |
| PCIe 时钟电源 | PCIEx_Xx_AVDDCLK PCIEx_Xx_RX_AVDDCLK | 0.76 | 0.8 | 0.88 | V |
| PCIe 内核电源 | PCIEx_AVDD | 0.76 | 0.8 | 0.88 | V |
| PCIe IO 电源 | PCIEx_Xx_XCVR_AVDDH | 1.71 | 1.8 | 1.89 | V |
| IO 电源 | VDDPST_x | 1.62 | 1.8 | 1.98 | V |
| PLL 电源 | AP_PLL_xx_VDDHV | 1.62 | 1.8 | 1.98 | V |
| 熔丝电源 | VQPS | 1.62 | 1.8 | 1.98 | V |
| 温度传感器电源 | LMU6_TS_VDDA | 1.71 | 1.8 | 1.89 | V |

4.3 工作电流范围

表 4-2 工作电流范围

| 参数 | 符号 | 最小值 | 最大值 | 单位 |
|-----------|------|------|-------|----|
| 内核电源 | VDD | 21.6 | 160 | A |
| DDR IO 电源 | VDDQ | 4.82 | 10.98 | A |

| | | | | |
|------------|---|-------|-------|---|
| DDR PLL 电源 | LMUx_DDR_VAA | 0.035 | - | A |
| PCIE 时钟电源 | PCIEx_Xx_AVDDCLK PCIEx_Xx_RX_AVDDCLK | 0.2 | 0.72 | A |
| PCIE 内核电源 | PCIEx_AVDD | 0.193 | 1.504 | A |
| PCIE IO 电源 | PCIEx_Xx_XCVR_AVDDH | 0.178 | 0.349 | A |
| IO 电源 | VDDPST_x | - | - | A |
| PLL 电源 | AP_PLL_xx_VDDHV | - | - | A |
| 熔丝电源 | VQPS | - | - | A |
| 温度传感器电源 | LMU6_TS_VDDA | - | - | A |

4.4 通用引脚电气特性

通用引脚指 6.1 节所描述的通用 IO 类引脚，均为 COMS 结构的通用引脚，其电气特性如下表所示，主要包括输入敏感电压，输出驱动电压等信息。

表 4-3 通用引脚电气特性

| 符号 | 符号描述 | 最小值 | 典型值 | 最大值 | 单位 |
|------------------|-----------|------|-----|----------|----|
| V _{tol} | 总极限电压 | - | - | 1.98 | V |
| V _{IH} | 高电平输入电压 | 1.17 | - | 1.98 | V |
| V _{IL} | 低电平输入电压 | -0.3 | - | 0.69 | V |
| V _{OH} | 高电平输出电压 | 1.35 | - | VDDPST_x | V |
| V _{OL} | 低电平输出电压 | 0 | - | 0.45 | V |
| I _I | 输入漏电流 | - | - | ±10μ | A |
| I _{OZ} | 输出 Z 态漏电流 | - | - | ±10μ | A |
| I _{OL} | 低电平输出电流 | 1.9 | - | 72.2 | mA |
| I _{OH} | 高电平输出电流 | 1.6 | - | 64.3 | mA |
| | 内部上拉电阻 | 18k | 26k | 169k | Ω |
| | 内部下拉电阻 | 16k | 22k | 129k | Ω |

4.5 PCIE 引脚电气特性

PCIE 引脚指 6.2 节所描述的 PCIE 接口引脚，其电气特性如下。

4.5.1 发送引脚电气特性

表 4-4 发送模块电气特性

| 名称 | 最小 | 典型 | 最大 | 单位 | 描述 |
|------------------------------------|-----|-----|-----|----|-------------------|
| V _{TX_out_normal_mode} | 0.8 | | 1.2 | V | 正常模式下的输出电压峰峰值。 |
| V _{TX_out_low_power_mode} | 0.4 | | 1.2 | V | 低功耗模式下的输出电压峰峰值。 |
| Z _{TX_cal} | 80 | 100 | 120 | Ω | 正常模式时，校准后的差分驱动阻抗。 |
| Z _{TX_PD} | 9K | | | Ω | 设置输出为高阻时的阻抗。 |
| T _{TRANSITION} | 25 | | 40 | ps | 20%-80%转换时间。 |

4.5.2 接收引脚电气特性

表 4-5 接收模块电气特性

| 名称 | 最小 | 典型 | 最大 | 单位 | 描述 |
|---|-----------------------------|------|----|--------|---------------------|
| Z _{RX_cal} | 40 | 50 | 60 | Ω | 正常模式下，校准后的接收端阻抗（单端） |
| Z _{RX_PD_POS} | 10K(0~200mV) 20K(>200mV) | | | Ω Ω | 复位或关电期间，直流共模输入阻抗 |
| Z _{RX_PD_NEG} | 1K(<0V) | | | Ω | 复位或关电期间，直流共模输入阻抗 |
| Z _{RX_PD_POS} PCIe GEN 4 | | 62.5 | | ps | 单位间隔 |

4.5.3 时钟电气特性

PCIe 时钟的电气特性请参考 PCI Express Card Electromechanical Specification Revision 3.0。

表 4-6 公共模块电气特性

| 名称 | 最小 | 典型 | 最大 | 单位 | 描述 |
|----------------------------------|---------|------|---------|-----|---------------------|
| F _{REFEXT_PClE_SS} C | 99.97 | 100 | 100.03 | MHz | 扩频时钟模式下，PCIe 参考时钟频率 |
| F _{REFEXT_PClE} | 19.1942 | 19.2 | 19.2058 | MHz | 无扩频模式下，PCIe 参考时钟频率 |
| | 23.9928 | 24.0 | 24.0072 | MHz | |
| | 24.9925 | 25.0 | 25.0075 | MHz | |
| | 97.9700 | 100 | 100.030 | MHz | |

4.5.4 参考电阻电气特性

表 4-7PCIe 外接参考电阻

| 名称 | 最小值 | 典型值 | 最大值 | 单位 | 说明 |
|----------------------|------|-------|------|----|--|
| R _{CMNRET} | 2.98 | 3.01 | 3.04 | kΩ | 外接电阻阻值要求 |
| C _{CMNREXT} | | | 10 | pF | R _{CMNREXT} 节点最大寄生电容 |
| V _{CMNREXT} | 583 | 599.8 | 616 | mV | R _{CMNREXT} 节点电压（仅在 R 处于校准期间） |

4.6 DDR 引脚电气特性

DDR 引脚指 6.3 节 DDR4 接口的引脚，其电气特性如下。

表 4-8DDR4 DC 输入电压

| 符号 | 符号描述 | 最小值 | 最大值 | 单位 |
|--------|------------|-----------|-----------|----|
| VIH_DC | 单端输入高电平 DC | Vref+0.02 | - | V |
| VIL_DC | 单端输入低电平 DC | - | Vref-0.02 | V |
| VID_DC | 差分信号电平绝对值 | 0.1 | - | V |

表 4-9 DDR4 AC 输入电压

| 符号 | 符号描述 | 最小值 | 最大值 | 单位 |
|------------|--------------|------------|------------|------|
| Vrefac_err | 参考电压误差范围 | -0.25% | +0.25% | VDDQ |
| VIH_ACLS | 单端输入高电平 AC | Vref+0.07 | VDDQ+0.15 | V |
| VIL_ACLS | 单端输入低电平 AC | -0.15 | Vref-0.07 | V |
| VIH_ACHS | 高速单端输入高电平 AC | Vref+0.07 | VDDQ+0.44 | V |
| VIL_ACHS | 高速单端输入低电平 AC | -0.44 | Vref-0.07 | V |
| Vix | DDR3 差分信号电平 | Vdqsavg-75 | Vdqsavg+75 | mV |

表 4-10 DDR4 输出电压

| 符号 | 符号描述 | 最小值 | 最大值 | 单位 |
|-----|-------|----------|----------|----|
| VOH | 输出高电平 | 0.8*VDDQ | - | V |
| VOL | 输出低电平 | - | 0.2*VDDQ | V |

表 4-11 参考电阻说明

| 引脚 | 最大负载 | 参考阻值 |
|------------|----------|----------|
| LMU*_BP_ZN | < 100 pf | 240 欧±1% |

5 封装数据

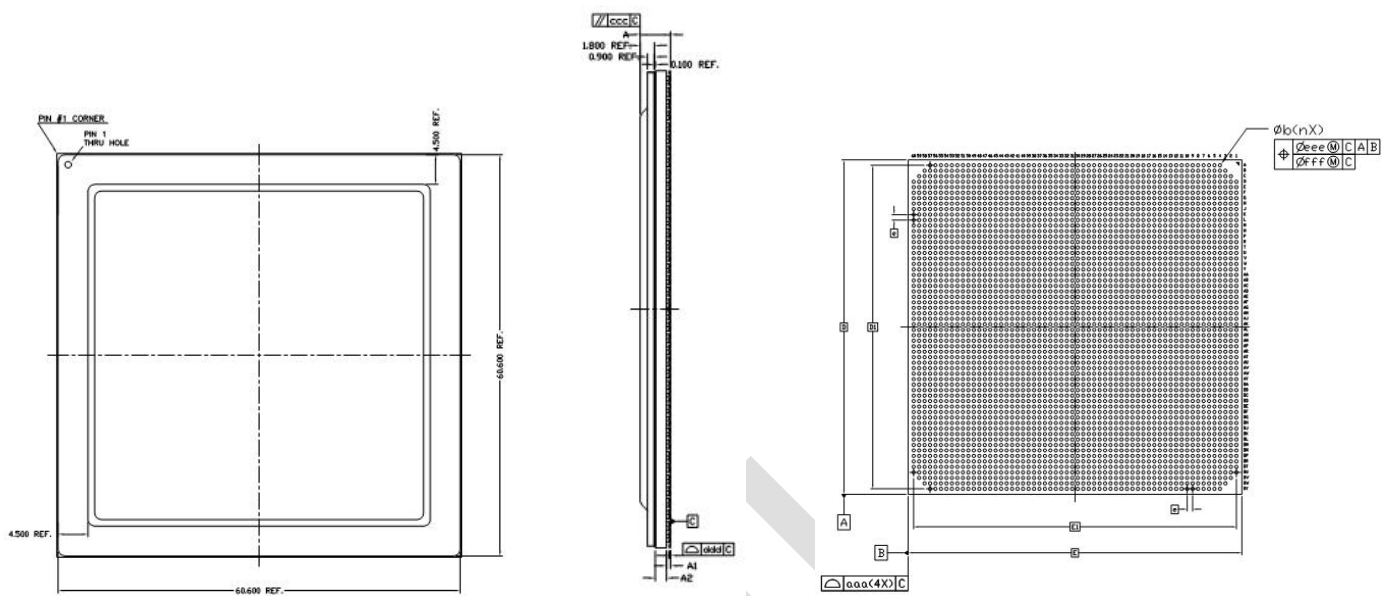


图 5-1 封装尺寸图

表 5-1 CPU 封装尺寸表

| 符号名称 | 最小/mm | 公称/mm | 最大/mm |
|------|-------|-------|-------|
| 总厚度 | 3.570 | 3.820 | 4.070 |
| 球高度 | 0.40 | 0.50 | 0.60 |
| 外壳尺寸 | 60.8 | 61.0 | 61.2 |
| | 60.8 | 61.0 | 61.2 |
| 球间距 | 0.95 | 1.00 | 1.05 |

6 装焊温度曲线

芯片 BALL 采用 SAC305 Sn/3Ag/0.5Cu (3%银+0.5%铜+96%锡) 焊球, 焊接时必须采用无铅焊膏。

采用德国 ERSA 公司制造的 Hotflow11 回流焊炉和 Sensor Shuttle 温度传感器进行测试点温度采集, 最终得到一条如图 8-1 所示的适应于无铅焊料的温度曲线。

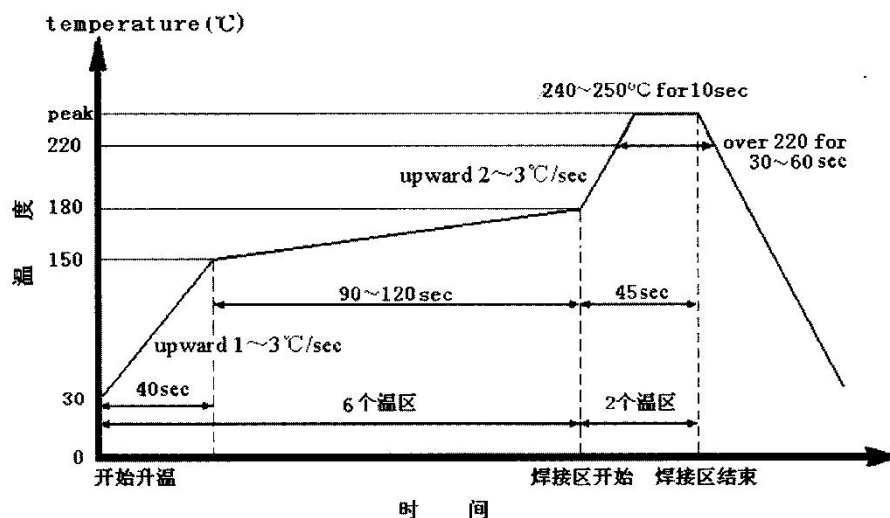


图 6-1 无铅回流焊接曲线

该温度曲线分为五个部分：

(1) 第一升温区：将 PCB 及元器件从室温加热到 150°C 。在这个区，由于受基板材料与元件的限制，PCB 及元器件应以 $1 \sim 3^\circ\text{C}/\text{Sec}$ 的速率连续上升，最理想为接近 $2^\circ\text{C}/\text{Sec}$ ，温度升得太快，会对元件造成热冲击或导致 PCB 变形。此时焊膏中的溶剂、气体开始蒸发，同时，焊膏中的助焊剂润湿焊盘、元器件端子和引脚，焊膏软化、塌落、覆盖焊盘、元器件端子和引脚并与氧气隔离。整个升温过程持续 40Sec 左右。

(2) 预热区，又称保温区：温度从 150°C 上升到 180°C ，PCB 和元器件得到充分的预热，以防突然进入焊接高温区而损坏 PCB 和元器件，保温区热风温度不变，PCB 和元器件依靠传热温度自然升高 30°C 左右，它的主要功能是提供足够的热能，令焊膏中的助焊剂开始活化，将金属氧化物和某些污染从焊盘、元件引脚和焊膏金属颗粒上清除，与此同时，挥发性的溶剂和水汽从焊膏中挥发。整个过程持续 90~120Sec (因不同种类焊膏而异)。预热时间不足或过长皆都会导致后期焊锡球的产生。

(3) 第二升温区：温度从 180°C 上升到无铅焊料的熔点 217°C 以上，这个区是助焊剂活动的高峰期，于焊接前做最后的氧化分解，一般时间 20~30Sec，尽量靠近 20Sec。时间过长会使助焊剂中的松香过早耗尽引起再氧化，令焊接不良或产生焊锡球。

(4) 焊接区：温度从 220℃ 至峰值温度再回到 220℃，升温速率 2~3℃/Sec。在这个区焊膏中的金属颗粒首先单独熔化，并覆盖在金属表面上。当单个的金属颗粒全部熔化后，液态焊锡对 PCB 的焊盘、元器件端头和引脚润湿、扩散、漫流或回流混合形成焊锡接点。峰值温度的设定一般为焊膏熔点加上 30℃。这个区域的时间为一般为 30~60s（实际焊接时最好 60s~90s），视元件大小不同而不同。假如这个区的温度设得太高，会使温升速率超过 2~3℃/Sec，或达到的峰值温度比理想的高，会引起 PCB 的过分变形，并损坏元器件。

(5) 冷却区：焊料凝固，形成平滑光亮的焊点。冷却速率 4~5℃/Sec，较快的冷却速率可得到较细的颗粒结构和较强的焊接强度与较亮的焊点。但太快会引起元件内部的热应力。

7 引脚描述

7.1 通用 IO 类引脚 (123 PIN)

表 7-1 通用 IO 类引脚

| 信号名 | 引脚编号 | 信号方向 | 信号频率 | 信号说明 |
|---------------------------------|------|------|-------|----------------------------|
| UART0_CTS_N/GPIO_A0 | AM48 | B | 20MHz | UART0 握手信号 /GPIO A0-A4 |
| UART0_DCD_N/GPIO_A1 | AM47 | B | 20MHz | |
| UART0_DSR_N/GPIO_A2 | AL48 | B | 20MHz | |
| UART0_RI_N/GPIO_A3 | AK47 | B | 20MHz | |
| UART0_RTS_N/GPIO_A4 | AL46 | B | 20MHz | |
| CLK_REF_50M | AR13 | I | 50MHz | 参考时钟 |
| CRU_I2C_SCL | AM13 | I | 20MHz | CRU I2C 时钟, 电阻上拉后接排针 |
| CRU_I2C_SDA | AL15 | B | 20MHz | CRU I2C 数据, 电阻上卡后接排针 |
| DFT_EN | AY13 | I | | 接地 |
| DFT_MODE | AW14 | I | | 接地 |
| DFT_REV0 | AV16 | I | | 接地 |
| DFT_REV1 | BB15 | I | | 接地 |
| DFT_REV2 | BA13 | I | | 接地 |
| DFT_TCK | AW16 | I | | 接地 |
| DFT_TDI | BC14 | I | | 接地 |
| DFT_TMS | AY14 | I | | 接地 |
| DFT_TRST | BB13 | I | | 接地 |
| ALL_PLL_LOCK | AY16 | O | | 悬空 |
| CLK_LPC_33M | AH48 | B | 33MHz | LPC 输入时钟 |
| UART0_DTR_N/GPIO_A5/CRU_CLK_OBV | AL47 | B | 50MHz | UART0 dtr_n/GPIO A5/时钟观察信号 |
| CRU_RST_OK | AP14 | O | 20MHz | 复位完成 |

| | | | | |
|-----------------------|------|---|-------|------------------------------|
| DFT_INST_PMC_FOUT1_BU | N17 | O | | 悬空 |
| DFT_INST_PMC_FOUT2_BU | P17 | O | | 悬空 |
| DFT_TDO | BA14 | O | | 悬空 |
| LPC_IRQ_N/GPIO_B6 | BH43 | B | 20MHz | LPC 中断信号, 正常功能下, 可悬空/GPIO B6 |
| LPC_LAD_0/GPIO_B7 | BG43 | B | 20MHz | LPC 数据位 0/GPIO B7 |
| LPC_LAD_1/GPIO_C5 | BH40 | B | 20MHz | LPC 数据位 1/GPIO C5 |
| LPC_LAD_2/GPIO_C6 | BH35 | B | 20MHz | LPC 数据位 2/GPIO C6 |
| LPC_LAD_3/GPIO_C7 | BH41 | B | 20MHz | LPC 数据位 3/GPIO C7 |
| I2C0_SCL/GPIO_B0 | AH47 | B | 20MHz | I2C0 时钟信号/GPIO B0 |
| I2C0_SDA/GPIO_B1 | AG47 | B | 20MHz | I2C0 数据信号/GPIO B1 |
| I2C1_SCL/GPIO_B2 | AF47 | B | 20MHz | I2C1 时钟信号/GPIO B2 |
| I2C1_SDA/GPIO_B3 | AG46 | B | 20MHz | I2C1 数据信号/GPIO B3 |
| POR_N | AP13 | I | 20MHz | 复位信号 |
| SPI_CSN0 | AJ48 | B | 20MHz | SPI 0 号片选 |
| SPI_CSN1 | AJ46 | B | 20MHz | SPI 1 号片选 |
| SPI_CSN2/GPIO_A6 | AK48 | B | 20MHz | SPI 2 号片选 /GPIO A6 |
| SPI_CSN3/GPIO_A7 | AK46 | B | 20MHz | SPI 3 号片选 /GPIO A7 |
| SPI_SCK | AJ47 | B | 20MHz | SPI 时钟信号 |
| SPI_DO | AG48 | B | 20MHz | SPI 数据信号, 主机输出 |
| SPI_DI | AH46 | B | 20MHz | SPI 数据信号, 主机输 |

| | | | | |
|-------------------|------|---|-------|----------------------|
| | | | | 入 |
| SPI_WP/GPIO_D7 | AF48 | B | 20MHz | SPI 写保护信号/GPIO D7 |
| UART0_RXD/GPIO_D5 | BH33 | B | 20MHz | UART0 数据输入 / GPIO D5 |
| UART0_TXD/GPIO_D6 | BG33 | B | 20MHz | UART0 数据输出 / GPIO D6 |
| UART1_RXD/GPIO_B4 | BG44 | B | 20MHz | UART1 数据输入 / GPIO B4 |
| UART1_TXD/GPIO_B5 | BH44 | B | 20MHz | UART1 数据输出 / GPIO B5 |
| UART2_RXD | BG31 | B | 20MHz | UART2 数据输入 |
| UART2_TXD | BH32 | B | 20MHz | UART2 数据输出 |
| UART3_RXD | BH31 | I | 20MHz | UART3 数据输入 |
| UART3_TXD | BG32 | O | 20MHz | UART3 数据输出 |
| PMC_DEC0 | AY15 | I | | 接地 |
| PMC_DEC1 | BC15 | I | | 接地 |
| PMC_DEC2 | AW15 | I | | 接地 |
| PMC_EN | BD14 | I | | 接地 |
| RESET_N | AN15 | I | 20MHz | 复位信号 |
| CRU_CLK_SEL | AM15 | I | | 接地 |
| CRU_CLK_STOP | AN14 | I | | 接地 |
| GPIO_C0 | BH42 | B | 20MHz | GPIO C0 |
| GPIO_C1 | BG42 | B | 20MHz | GPIO C1 |
| GPIO_C2 | BG41 | B | 20MHz | GPIO C2 |
| GPIO_C3 | BG40 | B | 20MHz | GPIO C3 |
| GPIO_C4 | BG39 | B | 20MHz | GPIO C4 |
| CRU_SCAN_CLK | AP15 | I | | 接地 |
| CRU_SE | AM14 | I | | 接地 |
| CRU_SI | AR14 | I | | 接地 |

| | | | | |
|----------------------------|------|---|-------|-----------------------------|
| CRU_SO | AN13 | O | | 悬空 |
| FORCE_MB_START | AK13 | I | | 接地 |
| LPC_IRQ_OUTEN/PEU1_LINKUP0 | AJ14 | O | 20MHz | LPC 中断信号输出使能/PEU1 Linkup 0 |
| LPC_LAD_OUTEN/PEU1_LINKUP1 | AJ16 | O | 20MHz | LPC 数据信号输出使能/ PEU1 Linkup 1 |
| INSTANCEID0 | N21 | I | 20MHz | 芯片 ID[0] |
| INSTANCEID1 | N20 | I | 20MHz | 芯片 ID[1] |
| LMU0_TS_AIO_0 | W45 | B | | 接测试点 |
| LMU0_TS_AIO_1 | V45 | B | | 接测试点 |
| LMU1_TS_AIO_0 | N31 | B | | 接测试点 |
| LMU1_TS_AIO_1 | P31 | B | | 接测试点 |
| LMU2_TS_AIO_0 | AJ17 | B | | 接测试点 |
| LMU2_TS_AIO_1 | AJ18 | B | | 接测试点 |
| LMU3_TS_AIO_0 | R17 | B | | 接测试点 |
| LMU3_TS_AIO_1 | R18 | B | | 接测试点 |
| LMU4_TS_AIO_0 | AM46 | B | | 接测试点 |
| LMU4_TS_AIO_1 | AM45 | B | | 接测试点 |
| LMU5_TS_AIO_0 | BF44 | B | | 接测试点 |
| LMU5_TS_AIO_1 | BF43 | B | | 接测试点 |
| LMU6_TS_AIO_0 | BB16 | B | | 接测试点 |
| LMU6_TS_AIO_1 | BC16 | B | | 接测试点 |
| LMU7_TS_AIO_0 | BH30 | B | | 接测试点 |
| LMU7_TS_AIO_1 | BG30 | B | | 接测试点 |
| SWJ_NTRST | P22 | I | 20MHz | CPU JTAG 调试接口 NTRST 信号, 接排针 |
| PEU0_C0_CLKREQ_IN_N | N28 | I | | 通过电阻下拉到地 |
| PEU0_C0_CLKREQ_OUT_N | P27 | O | | 悬空 |
| PEU0_C1_CLKREQ_IN_N | P28 | I | | 通过电阻下拉到地 |
| PEU0_C1_CLKREQ_OUT_N | N27 | O | | 悬空 |

| | | | | |
|----------------------|------|---|-------|------------------------|
| PEU0_C2_CLKREQ_IN_N | P26 | I | | 通过电阻下拉到地 |
| PEU0_C2_CLKREQ_OUT_N | N26 | O | | 悬空 |
| PEU0_LINKUP0 | N29 | O | 20MHz | PEU0 Linkup 0, 接测试点 |
| PEU0_LINKUP1 | P30 | O | 20MHz | PEU0 Linkup 1, 接测试点 |
| PEU0_PHY0_JTAG_TCK | P29 | I | | 接地 |
| GPIO_D3 | N18 | B | 20MHz | GPIO D3 |
| PEU0_PHY1_JTAG_TCK | N30 | I | | 接地 |
| GPIO_D4 | P18 | B | 20MHz | GPIO D4 |
| LPC_LDRQ_N/GPIO_D0 | BH34 | B | 20MHz | LPC 中断信号/GPIO D0 |
| LPC_LFRAME_N/GPIO_D1 | BH39 | B | 20MHz | LPC frame 控制信号/GPIO D1 |
| GPIO_D2 | BG34 | B | 20MHz | GPIO D2 |
| PEU1_C0_CLKREQ_IN_N | BA16 | I | | 通过电阻下拉到地 |
| PEU1_C0_CLKREQ_OUT_N | BA15 | O | | 悬空 |
| PEU1_C1_CLKREQ_IN_N | AW13 | I | | 通过电阻下拉到地 |
| PEU1_C1_CLKREQ_OUT_N | AV15 | O | | 悬空 |
| PEU1_PHY0_JTAG_TCK | BA17 | I | | 接地 |
| PEU1_PHY0_JTAG_TDO | AY17 | B | | 悬空 |
| PEU1_PHY1_JTAG_TCK | AV14 | I | | 接地 |
| PEU1_PHY1_JTAG_TDO | AV13 | B | | 悬空 |
| PMC_FOUT | BB14 | O | | 悬空 |
| SJTAG_NTRST | AK14 | I | | 接地 |
| SJTAG_TCK | AJ13 | I | | 接地 |
| SJTAG_TDI | AL13 | I | | 接地 |
| SJTAG_TDO | AK15 | B | | 悬空 |
| SJTAG_TMS | AL14 | I | | 接地 |
| SWJ_SWDTMS | P20 | I | 20MHz | CPU JTAG 调试接口 |

| | | | | |
|----------|------|---|-------|---------------------------|
| | | | | SWDITMS 信号，接排针 |
| SWJ_SWDO | P21 | B | 20MHz | CPU JTAG 调试接口 SWDO 信号，接排针 |
| TCK | AJ15 | I | | 接地 |
| SWJ_TCK | N19 | I | 50MHz | CPU JTAG 调试接口 TCK 信号，接排针 |
| SWJ_TDI | N22 | I | 20MHz | CPU JTAG 调试接口 TDI 信号，接排针 |
| SWJ_TDO | P19 | B | 20MHz | CPU JTAG 调试接口 TDO 信号，接排针 |

- 注：
- (1)信号类型：I 输入引脚，O 输出引脚，B 双向引脚，Z 三态或高阻引脚，A 模拟信号脚，GND 地，P 电源引脚，RSV 保留引脚，NC 空引脚；
 - (2)片内上下拉：Up 片内上拉，down 片内下拉。
 - (3)中断源输入要求，如下：

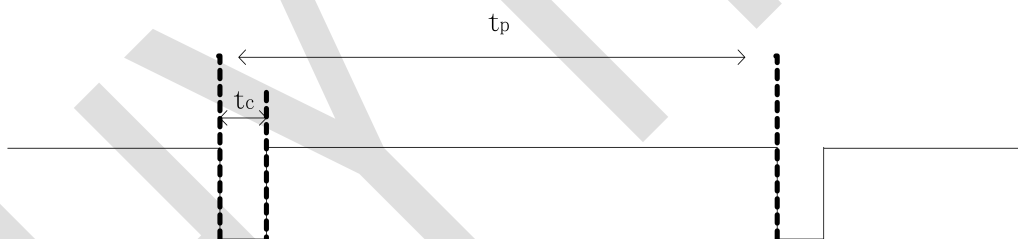


图 7-1 中断源输入要求图

具体范围值如下表所示：

表 7-2 中断源输入要求表

| tp | | tc | |
|-------|--------|------|------|
| Min | Max | Min | Max |
| 9.5ms | 10.5ms | 20us | 80us |

上述引脚中存在功能复用情况，具体的复用及控制信号见 GPIO 接口描述。

7.2 PCIE 引脚 (149 PIN)

表 7-3 PCIE 引脚

| 信号名 | 引脚编号 | 信号方向 | 信号类型 | 功能说明 |
|--------------------------|------|------|--------|---------------|
| PCIE0_X1_X16_ALT_REFCLKN | T37 | I | 100MHz | 100MHz 差分时钟输入 |
| PCIE0_X1_X16_ALT_REFCLKP | U37 | I | 100MHz | |
| PCIE0_X1_X16_REFCLKN | T39 | I | 100MHz | 100MHz 差分时钟输入 |
| PCIE0_X1_X16_REFCLKP | U39 | I | 100MHz | |
| PCIE0_X1_REXT | W42 | A | 外接电阻 | 3.01±1%K 欧 |
| PCIE0_X1_RXN | U47 | I | 8Gbps | 输入链路差分信号 |
| PCIE0_X1_RXP | T47 | I | 8Gbps | |
| PCIE0_X1_TXN | AD48 | O | 8Gbps | 输出链路差分信号 |
| PCIE0_X1_TXP | AC48 | O | 8Gbps | |
| PCIE0_X16_REXT | W37 | A | 外接电阻 | 3.01±1%K 欧 |
| PCIE0_X16_RXN[0] | E35 | I | 8Gbps | 输入链路差分信号 |
| PCIE0_X16_RXN[1] | G36 | I | 8Gbps | |
| PCIE0_X16_RXN[10] | F45 | I | 8Gbps | |
| PCIE0_X16_RXN[11] | H46 | I | 8Gbps | |
| PCIE0_X16_RXN[12] | F47 | I | 8Gbps | |
| PCIE0_X16_RXN[13] | H48 | I | 8Gbps | |
| PCIE0_X16_RXN[14] | F49 | I | 8Gbps | |
| PCIE0_X16_RXN[15] | H50 | I | 8Gbps | |
| PCIE0_X16_RXN[2] | E37 | I | 8Gbps | |
| PCIE0_X16_RXN[3] | G38 | I | 8Gbps | |
| PCIE0_X16_RXN[4] | E39 | I | 8Gbps | |
| PCIE0_X16_RXN[5] | G40 | I | 8Gbps | |
| PCIE0_X16_RXN[6] | E41 | I | 8Gbps | |
| PCIE0_X16_RXN[7] | G42 | I | 8Gbps | |
| PCIE0_X16_RXN[8] | F43 | I | 8Gbps | |

| | | | | | |
|-------------------|-----|---|-------|--|----------|
| PCIE0_X16_RXN[9] | H44 | I | 8Gbps | | |
| PCIE0_X16_RXP[0] | F35 | I | 8Gbps | | |
| PCIE0_X16_RXP[1] | H36 | I | 8Gbps | | |
| PCIE0_X16_RXP[10] | E45 | I | 8Gbps | | |
| PCIE0_X16_RXP[11] | G46 | I | 8Gbps | | |
| PCIE0_X16_RXP[12] | E47 | I | 8Gbps | | |
| PCIE0_X16_RXP[13] | G48 | I | 8Gbps | | |
| PCIE0_X16_RXP[14] | E49 | I | 8Gbps | | |
| PCIE0_X16_RXP[15] | G50 | I | 8Gbps | | |
| PCIE0_X16_RXP[2] | F37 | I | 8Gbps | | |
| PCIE0_X16_RXP[3] | H38 | I | 8Gbps | | |
| PCIE0_X16_RXP[4] | F39 | I | 8Gbps | | |
| PCIE0_X16_RXP[5] | H40 | I | 8Gbps | | |
| PCIE0_X16_RXP[6] | F41 | I | 8Gbps | | |
| PCIE0_X16_RXP[7] | H42 | I | 8Gbps | | |
| PCIE0_X16_RXP[8] | E43 | I | 8Gbps | | |
| PCIE0_X16_RXP[9] | G44 | I | 8Gbps | | |
| PCIE0_X16_TXN[0] | A35 | O | 8Gbps | | 输出链路差分信号 |
| PCIE0_X16_TXN[1] | C36 | O | 8Gbps | | |
| PCIE0_X16_TXN[10] | B45 | O | 8Gbps | | |
| PCIE0_X16_TXN[11] | D46 | O | 8Gbps | | |
| PCIE0_X16_TXN[12] | B47 | O | 8Gbps | | |
| PCIE0_X16_TXN[13] | D48 | O | 8Gbps | | |
| PCIE0_X16_TXN[14] | B49 | O | 8Gbps | | |
| PCIE0_X16_TXN[15] | D50 | O | 8Gbps | | |
| PCIE0_X16_TXN[2] | A37 | O | 8Gbps | | |
| PCIE0_X16_TXN[3] | C38 | O | 8Gbps | | |
| PCIE0_X16_TXN[4] | A39 | O | 8Gbps | | |
| PCIE0_X16_TXN[5] | C40 | O | 8Gbps | | |

| | | | | |
|-----------------------|------|---|--------|---------------|
| PCIE0_X16_TXN[6] | A41 | O | 8Gbps | |
| PCIE0_X16_TXN[7] | C42 | O | 8Gbps | |
| PCIE0_X16_TXN[8] | B43 | O | 8Gbps | |
| PCIE0_X16_TXN[9] | D44 | O | 8Gbps | |
| PCIE0_X16_TXP[0] | B35 | O | 8Gbps | |
| PCIE0_X16_TXP[1] | D36 | O | 8Gbps | |
| PCIE0_X16_TXP[10] | A45 | O | 8Gbps | |
| PCIE0_X16_TXP[11] | C46 | O | 8Gbps | |
| PCIE0_X16_TXP[12] | A47 | O | 8Gbps | |
| PCIE0_X16_TXP[13] | C48 | O | 8Gbps | |
| PCIE0_X16_TXP[14] | A49 | O | 8Gbps | |
| PCIE0_X16_TXP[15] | C50 | O | 8Gbps | |
| PCIE0_X16_TXP[2] | B37 | O | 8Gbps | |
| PCIE0_X16_TXP[3] | D38 | O | 8Gbps | |
| PCIE0_X16_TXP[4] | B39 | O | 8Gbps | |
| PCIE0_X16_TXP[5] | D40 | O | 8Gbps | |
| PCIE0_X16_TXP[6] | B41 | O | 8Gbps | |
| PCIE0_X16_TXP[7] | D42 | O | 8Gbps | |
| PCIE0_X16_TXP[8] | A43 | O | 8Gbps | |
| PCIE0_X16_TXP[9] | C44 | O | 8Gbps | |
| PCIE1_X16_ALT_REFCLKN | BE24 | I | 100MHz | 100MHz 差分时钟输入 |
| PCIE1_X16_ALT_REFCLKP | BD24 | I | 100MHz | |
| PCIE1_X16_REFCLKN | BE22 | I | 100MHz | 100MHz 差分时钟输入 |
| PCIE1_X16_REFCLKP | BD22 | I | 100MHz | |
| PCIE1_X16_REXT | BB24 | A | 外接电阻 | 3.01±1%K 欧 |
| PCIE1_X16_RXN[0] | BT26 | I | 8Gbps | 输入链路差分信号 |
| PCIE1_X16_RXN[1] | BP25 | I | 8Gbps | |
| PCIE1_X16_RXN[10] | BR16 | I | 8Gbps | |
| PCIE1_X16_RXN[11] | BN15 | I | 8Gbps | |

| | | | | | |
|-------------------|------|---|-------|--|----------|
| PCIE1_X16_RXN[12] | BR14 | I | 8Gbps | | |
| PCIE1_X16_RXN[13] | BN13 | I | 8Gbps | | |
| PCIE1_X16_RXN[14] | BR12 | I | 8Gbps | | |
| PCIE1_X16_RXN[15] | BN11 | I | 8Gbps | | |
| PCIE1_X16_RXN[2] | BT24 | I | 8Gbps | | |
| PCIE1_X16_RXN[3] | BP23 | I | 8Gbps | | |
| PCIE1_X16_RXN[4] | BT22 | I | 8Gbps | | |
| PCIE1_X16_RXN[5] | BP21 | I | 8Gbps | | |
| PCIE1_X16_RXN[6] | BT20 | I | 8Gbps | | |
| PCIE1_X16_RXN[7] | BP19 | I | 8Gbps | | |
| PCIE1_X16_RXN[8] | BR18 | I | 8Gbps | | |
| PCIE1_X16_RXN[9] | BN17 | I | 8Gbps | | |
| PCIE1_X16_RXP[0] | BR26 | I | 8Gbps | | |
| PCIE1_X16_RXP[1] | BN25 | I | 8Gbps | | |
| PCIE1_X16_RXP[10] | BT16 | I | 8Gbps | | |
| PCIE1_X16_RXP[11] | BP15 | I | 8Gbps | | |
| PCIE1_X16_RXP[12] | BT14 | I | 8Gbps | | |
| PCIE1_X16_RXP[13] | BP13 | I | 8Gbps | | |
| PCIE1_X16_RXP[14] | BT12 | I | 8Gbps | | |
| PCIE1_X16_RXP[15] | BP11 | I | 8Gbps | | |
| PCIE1_X16_RXP[2] | BR24 | I | 8Gbps | | |
| PCIE1_X16_RXP[3] | BN23 | I | 8Gbps | | |
| PCIE1_X16_RXP[4] | BR22 | I | 8Gbps | | |
| PCIE1_X16_RXP[5] | BN21 | I | 8Gbps | | |
| PCIE1_X16_RXP[6] | BR20 | I | 8Gbps | | |
| PCIE1_X16_RXP[7] | BN19 | I | 8Gbps | | |
| PCIE1_X16_RXP[8] | BT18 | I | 8Gbps | | |
| PCIE1_X16_RXP[9] | BP17 | I | 8Gbps | | |
| PCIE1_X16_TXN[0] | BY26 | O | 8Gbps | | 输出链路差分信号 |

| | | | |
|-------------------|------|---|-------|
| PCIE1_X16_TXN[1] | BV25 | O | 8Gbps |
| PCIE1_X16_TXN[10] | BW16 | O | 8Gbps |
| PCIE1_X16_TXN[11] | BU15 | O | 8Gbps |
| PCIE1_X16_TXN[12] | BW14 | O | 8Gbps |
| PCIE1_X16_TXN[13] | BU13 | O | 8Gbps |
| PCIE1_X16_TXN[14] | BW12 | O | 8Gbps |
| PCIE1_X16_TXN[15] | BU11 | O | 8Gbps |
| PCIE1_X16_TXN[2] | BY24 | O | 8Gbps |
| PCIE1_X16_TXN[3] | BV23 | O | 8Gbps |
| PCIE1_X16_TXN[4] | BY22 | O | 8Gbps |
| PCIE1_X16_TXN[5] | BV21 | O | 8Gbps |
| PCIE1_X16_TXN[6] | BY20 | O | 8Gbps |
| PCIE1_X16_TXN[7] | BV19 | O | 8Gbps |
| PCIE1_X16_TXN[8] | BW18 | O | 8Gbps |
| PCIE1_X16_TXN[9] | BU17 | O | 8Gbps |
| PCIE1_X16_TXP[0] | BW26 | O | 8Gbps |
| PCIE1_X16_TXP[1] | BU25 | O | 8Gbps |
| PCIE1_X16_TXP[10] | BY16 | O | 8Gbps |
| PCIE1_X16_TXP[11] | BV15 | O | 8Gbps |
| PCIE1_X16_TXP[12] | BY14 | O | 8Gbps |
| PCIE1_X16_TXP[13] | BV13 | O | 8Gbps |
| PCIE1_X16_TXP[14] | BY12 | O | 8Gbps |
| PCIE1_X16_TXP[15] | BV11 | O | 8Gbps |
| PCIE1_X16_TXP[2] | BW24 | O | 8Gbps |
| PCIE1_X16_TXP[3] | BU23 | O | 8Gbps |
| PCIE1_X16_TXP[4] | BW22 | O | 8Gbps |
| PCIE1_X16_TXP[5] | BU21 | O | 8Gbps |
| PCIE1_X16_TXP[6] | BW20 | O | 8Gbps |
| PCIE1_X16_TXP[7] | BU19 | O | 8Gbps |

| | | | | |
|------------------|------|---|-------|------|
| PCIE1_X16_TXP[8] | BY18 | O | 8Gbps | |
| PCIE1_X16_TXP[9] | BV17 | O | 8Gbps | |
| PCIE0_X1_ATB0 | AC46 | | | 接测试点 |
| PCIE0_X1_ATB1 | AD46 | | | 接测试点 |
| PCIE0_X16_ATB0 | W38 | | | 接测试点 |
| PCIE0_X16_ATB1 | W36 | | | 接测试点 |
| PCIE1_X16_ATB0 | BB23 | | | 接测试点 |
| PCIE1_X16_ATB1 | BB25 | | | 接测试点 |

注:

(1)信号类型: I 输入引脚, O 输出引脚, Z 三态或高阻引脚, A 模拟信号脚, GND 地, P 电源引脚, RSV 保留引脚, NC 空引脚;

(2)片内上下拉: Up 片内上拉, Down 片内下拉, 空白为既无上拉也无下拉。

7.3 DDR4 引脚 (1280 PIN)

表 7-4 DDR4 存储控制器引脚

| 信号名 | 引脚编号 | 信号类型 | 片内上下拉 | 功能说明 |
|----------|------|------|-------|-----------------------|
| LMU0_A0 | AG51 | B | | 通道 0 存储器地址(A), bit 0 |
| LMU0_A1 | AC50 | B | | 通道 0 存储器地址(A), bit 1 |
| LMU0_A10 | AH50 | B | | 通道 0 存储器地址(A), bit 10 |
| LMU0_A11 | AC54 | B | | 通道 0 存储器地址(A), bit 11 |
| LMU0_A12 | Y50 | B | | 通道 0 存储器地址(A), bit 12 |
| LMU0_A13 | AH54 | B | | 通道 0 存储器地址(A), bit 13 |
| LMU0_A17 | AK50 | B | | 通道 0 存储器地址(A), bit 17 |
| LMU0_A2 | AC51 | B | | 通道 0 存储器地址(A), bit 2 |
| LMU0_A3 | AD54 | B | | 通道 0 存储器地址(A), bit 3 |
| LMU0_A4 | AB51 | B | | 通道 0 存储器地址(A), bit 4 |
| LMU0_A5 | AB50 | B | | 通道 0 存储器地址(A), bit 5 |
| LMU0_A6 | AD53 | B | | 通道 0 存储器地址(A), bit 6 |
| LMU0_A7 | AA50 | B | | 通道 0 存储器地址(A), bit 7 |
| LMU0_A8 | AA51 | B | | 通道 0 存储器地址(A), bit 8 |

| | | | | |
|--------------------|------|---|--|----------------------------------|
| LMU0_A9 | Y51 | B | | 通道 0 存储器地址(A), bit 9 |
| LMU0_ACT_N | AB54 | B | | 通道 0 存储器激活(ACT_n) |
| LMU0_BA0 | AG53 | B | | 通道 0 存储器体地址(bank), bit 0 |
| LMU0_BA1 | AG50 | B | | 通道 0 存储器体地址(bank), bit 1 |
| LMU0_BG0 | AC53 | B | | 通道 0 存储器体组地址(BG), bit 0 |
| LMU0_BG1 | W50 | B | | 通道 0 存储器体组地址(BG), bit 1 |
| LMU0_BP_ALERT_N | W51 | B | | 通道 0 存储器警告(ALERT_n) |
| LMU0_BP_MEMRESET_L | Y53 | O | | 通道 0 存储器复位(RESET_n) |
| LMU0_BP_VREF | AG39 | P | | 通道 0 存储器参考电压(VREFCA) |
| LMU0_BP_ZN | AG38 | A | | 通道 0 存储器参考电阻(ZQ) |
| LMU0_C0 | AK54 | B | | 通道 0 存储器芯片地址(C), bit 0 |
| LMU0_C1 | AL54 | B | | 通道 0 存储器芯片地址(C), bit 1 |
| LMU0_C2 | AL50 | B | | 通道 0 存储器芯片地址(C), bit 2 |
| LMU0_A15/CAS_N | AJ53 | B | | 通道 0 存储器列选通(CAS_n)/地址(A), bit 15 |
| LMU0_CKE0 | AA54 | B | | 通道 0 存储器时钟使能(CKE), bit 0 |
| LMU0_CKE1 | Y54 | B | | 通道 0 存储器时钟使能(CKE), bit 1 |
| LMU0_CKE2 | AB53 | B | | 通道 0 存储器时钟使能(CKE), bit 2 |
| LMU0_CKE3 | AA53 | B | | 通道 0 存储器时钟使能(CKE), bit 3 |
| LMU0_CLK0_C | AE54 | B | | 通道 0 存储器负时钟(CK_c), bit 0 |
| LMU0_CLK0_T | AE53 | B | | 通道 0 存储器正时钟(CK_t), bit 0 |
| LMU0_CLK1_C | AD51 | B | | 通道 0 存储器负时钟(CK_c), bit 1 |
| LMU0_CLK1_T | AD50 | B | | 通道 0 存储器正时钟(CK_t), bit 1 |
| LMU0_CLK2_C | AF54 | B | | 通道 0 存储器负时钟(CK_c), bit 2 |
| LMU0_CLK2_T | AF53 | B | | 通道 0 存储器正时钟(CK_t), bit 2 |
| LMU0_CLK3_C | AE51 | B | | 通道 0 存储器负时钟(CK_c), bit 3 |
| LMU0_CLK3_T | AE50 | B | | 通道 0 存储器正时钟(CK_t), bit 3 |
| LMU0_CS_N0 | AH51 | B | | 通道 0 存储器片选(CS_n), bit 0 |
| LMU0_CS_N1 | AK51 | B | | 通道 0 存储器片选(CS_n), bit 1 |
| LMU0_CS_N2 | AK53 | B | | 通道 0 存储器片选(CS_n), bit 2 |
| LMU0_CS_N3 | AL53 | B | | 通道 0 存储器片选(CS_n), bit 3 |
| LMU0_D_OBV | AF51 | B | | 通道 0 存储器锁相环(PLL)观测信号 |
| LMU0_S0_DQ0 | P52 | B | | 通道 0 存储器数据(DQ)slice 0, bit 0 |
| LMU0_S0_DQ1 | P53 | B | | 通道 0 存储器数据(DQ)slice 0, bit 1 |
| LMU0_S0_DQ2 | V53 | B | | 通道 0 存储器数据(DQ)slice 0, bit 2 |

| | | | | |
|-------------|------|---|--|------------------------------|
| LMU0_S0_DQ3 | V52 | B | | 通道 0 存储器数据(DQ)slice 0, bit 3 |
| LMU0_S0_DQ4 | N53 | B | | 通道 0 存储器数据(DQ)slice 0, bit 4 |
| LMU0_S0_DQ5 | U52 | B | | 通道 0 存储器数据(DQ)slice 0, bit 5 |
| LMU0_S0_DQ6 | U53 | B | | 通道 0 存储器数据(DQ)slice 0, bit 6 |
| LMU0_S0_DQ7 | N52 | B | | 通道 0 存储器数据(DQ)slice 0, bit 7 |
| LMU0_S1_DQ0 | BA55 | B | | 通道 0 存储器数据(DQ)slice 1, bit 0 |
| LMU0_S1_DQ1 | BE55 | B | | 通道 0 存储器数据(DQ)slice 1, bit 1 |
| LMU0_S1_DQ2 | BA56 | B | | 通道 0 存储器数据(DQ)slice 1, bit 2 |
| LMU0_S1_DQ3 | BE56 | B | | 通道 0 存储器数据(DQ)slice 1, bit 3 |
| LMU0_S1_DQ4 | AY55 | B | | 通道 0 存储器数据(DQ)slice 1, bit 4 |
| LMU0_S1_DQ5 | BD56 | B | | 通道 0 存储器数据(DQ)slice 1, bit 5 |
| LMU0_S1_DQ6 | AY56 | B | | 通道 0 存储器数据(DQ)slice 1, bit 6 |
| LMU0_S1_DQ7 | BD55 | B | | 通道 0 存储器数据(DQ)slice 1, bit 7 |
| LMU0_S2_DQ0 | B52 | B | | 通道 0 存储器数据(DQ)slice 2, bit 0 |
| LMU0_S2_DQ1 | C52 | B | | 通道 0 存储器数据(DQ)slice 2, bit 1 |
| LMU0_S2_DQ2 | D52 | B | | 通道 0 存储器数据(DQ)slice 2, bit 2 |
| LMU0_S2_DQ3 | A54 | B | | 通道 0 存储器数据(DQ)slice 2, bit 3 |
| LMU0_S2_DQ4 | A52 | B | | 通道 0 存储器数据(DQ)slice 2, bit 4 |
| LMU0_S2_DQ5 | A53 | B | | 通道 0 存储器数据(DQ)slice 2, bit 5 |
| LMU0_S2_DQ6 | D53 | B | | 通道 0 存储器数据(DQ)slice 2, bit 6 |
| LMU0_S2_DQ7 | D54 | B | | 通道 0 存储器数据(DQ)slice 2, bit 7 |
| LMU0_S3_DQ0 | AP55 | B | | 通道 0 存储器数据(DQ)slice 3, bit 0 |
| LMU0_S3_DQ1 | AV55 | B | | 通道 0 存储器数据(DQ)slice 3, bit 1 |
| LMU0_S3_DQ2 | AP56 | B | | 通道 0 存储器数据(DQ)slice 3, bit 2 |
| LMU0_S3_DQ3 | AV56 | B | | 通道 0 存储器数据(DQ)slice 3, bit 3 |
| LMU0_S3_DQ4 | AN55 | B | | 通道 0 存储器数据(DQ)slice 3, bit 4 |
| LMU0_S3_DQ5 | AU56 | B | | 通道 0 存储器数据(DQ)slice 3, bit 5 |
| LMU0_S3_DQ6 | AN56 | B | | 通道 0 存储器数据(DQ)slice 3, bit 6 |
| LMU0_S3_DQ7 | AU55 | B | | 通道 0 存储器数据(DQ)slice 3, bit 7 |
| LMU0_S4_DQ0 | AP53 | B | | 通道 0 存储器数据(DQ)slice 4, bit 0 |
| LMU0_S4_DQ1 | AV52 | B | | 通道 0 存储器数据(DQ)slice 4, bit 1 |
| LMU0_S4_DQ2 | AP52 | B | | 通道 0 存储器数据(DQ)slice 4, bit 2 |
| LMU0_S4_DQ3 | AV53 | B | | 通道 0 存储器数据(DQ)slice 4, bit 3 |
| LMU0_S4_DQ4 | AN52 | B | | 通道 0 存储器数据(DQ)slice 4, bit 4 |
| LMU0_S4_DQ5 | AU52 | B | | 通道 0 存储器数据(DQ)slice 4, bit 5 |

| | | | | |
|-------------|------|---|--|------------------------------|
| LMU0_S4_DQ6 | AN53 | B | | 通道 0 存储器数据(DQ)slice 4, bit 6 |
| LMU0_S4_DQ7 | AU53 | B | | 通道 0 存储器数据(DQ)slice 4, bit 7 |
| LMU0_S5_DQ0 | A57 | B | | 通道 0 存储器数据(DQ)slice 5, bit 0 |
| LMU0_S5_DQ1 | C56 | B | | 通道 0 存储器数据(DQ)slice 5, bit 1 |
| LMU0_S5_DQ2 | D56 | B | | 通道 0 存储器数据(DQ)slice 5, bit 2 |
| LMU0_S5_DQ3 | D57 | B | | 通道 0 存储器数据(DQ)slice 5, bit 3 |
| LMU0_S5_DQ4 | A56 | B | | 通道 0 存储器数据(DQ)slice 5, bit 4 |
| LMU0_S5_DQ5 | D58 | B | | 通道 0 存储器数据(DQ)slice 5, bit 5 |
| LMU0_S5_DQ6 | C57 | B | | 通道 0 存储器数据(DQ)slice 5, bit 6 |
| LMU0_S5_DQ7 | B56 | B | | 通道 0 存储器数据(DQ)slice 5, bit 7 |
| LMU0_S6_DQ0 | BA53 | B | | 通道 0 存储器数据(DQ)slice 6, bit 0 |
| LMU0_S6_DQ1 | BE53 | B | | 通道 0 存储器数据(DQ)slice 6, bit 1 |
| LMU0_S6_DQ2 | BA52 | B | | 通道 0 存储器数据(DQ)slice 6, bit 2 |
| LMU0_S6_DQ3 | BE52 | B | | 通道 0 存储器数据(DQ)slice 6, bit 3 |
| LMU0_S6_DQ4 | AY52 | B | | 通道 0 存储器数据(DQ)slice 6, bit 4 |
| LMU0_S6_DQ5 | BD53 | B | | 通道 0 存储器数据(DQ)slice 6, bit 5 |
| LMU0_S6_DQ6 | BD52 | B | | 通道 0 存储器数据(DQ)slice 6, bit 6 |
| LMU0_S6_DQ7 | AY53 | B | | 通道 0 存储器数据(DQ)slice 6, bit 7 |
| LMU0_S7_DQ0 | G53 | B | | 通道 0 存储器数据(DQ)slice 7, bit 0 |
| LMU0_S7_DQ1 | L52 | B | | 通道 0 存储器数据(DQ)slice 7, bit 1 |
| LMU0_S7_DQ2 | L53 | B | | 通道 0 存储器数据(DQ)slice 7, bit 2 |
| LMU0_S7_DQ3 | G52 | B | | 通道 0 存储器数据(DQ)slice 7, bit 3 |
| LMU0_S7_DQ4 | F53 | B | | 通道 0 存储器数据(DQ)slice 7, bit 4 |
| LMU0_S7_DQ5 | K52 | B | | 通道 0 存储器数据(DQ)slice 7, bit 5 |
| LMU0_S7_DQ6 | K53 | B | | 通道 0 存储器数据(DQ)slice 7, bit 6 |
| LMU0_S7_DQ7 | F52 | B | | 通道 0 存储器数据(DQ)slice 7, bit 7 |
| LMU0_S8_DQ0 | N50 | B | | 通道 0 存储器数据(DQ)slice 8, bit 0 |
| LMU0_S8_DQ1 | U49 | B | | 通道 0 存储器数据(DQ)slice 8, bit 1 |
| LMU0_S8_DQ2 | U50 | B | | 通道 0 存储器数据(DQ)slice 8, bit 2 |
| LMU0_S8_DQ3 | N49 | B | | 通道 0 存储器数据(DQ)slice 8, bit 3 |
| LMU0_S8_DQ4 | M50 | B | | 通道 0 存储器数据(DQ)slice 8, bit 4 |
| LMU0_S8_DQ5 | T49 | B | | 通道 0 存储器数据(DQ)slice 8, bit 5 |
| LMU0_S8_DQ6 | T50 | B | | 通道 0 存储器数据(DQ)slice 8, bit 6 |
| LMU0_S8_DQ7 | M49 | B | | 通道 0 存储器数据(DQ)slice 8, bit 7 |
| LMU0_DQS0_C | T53 | B | | 通道 0 存储器负数据选通(DQS_c), bit 0 |

| | | | | |
|--------------|------|---|--|--|
| LMU0_DQS9_C | R52 | B | | X4 模式：通道 0 存储器负数据选通(DQS_c), bit 0 X8 模式：通道 0 存储器负数据选通终端电阻(TDQS_c), bit 0 X16 模式：无效 |
| LMU0_DQS1_C | BC55 | B | | 通道 0 存储器负数据选通(DQS_c), bit 1 |
| LMU0_DQS10_C | BB56 | B | | X4 模式：通道 0 存储器负数据选通(DQS_c), bit 1 X8 模式：通道 0 存储器负数据选通终端电阻(TDQS_c), bit 1 X16 模式：无效 |
| LMU0_DQS2_C | C54 | B | | 通道 0 存储器负数据选通(DQS_c), bit 2 |
| LMU0_DQS11_C | B53 | B | | X4 模式：通道 0 存储器负数据选通(DQS_c), bit 2 X8 模式：通道 0 存储器负数据选通终端电阻(TDQS_c), bit 2 X16 模式：无效 |
| LMU0_DQS3_C | AT55 | B | | 通道 0 存储器负数据选通(DQS_c), bit 3 |
| LMU0_DQS12_C | AR56 | B | | X4 模式：通道 0 存储器负数据选通(DQS_c), bit 3 X8 模式：通道 0 存储器负数据选通终端电阻(TDQS_c), bit 3 X16 模式：无效 |
| LMU0_DQS4_C | AT52 | B | | 通道 0 存储器负数据选通(DQS_c), bit 4 |
| LMU0_DQS13_C | AR53 | B | | X4 模式：通道 0 存储器负数据选通(DQS_c), bit 4 X8 模式：通道 0 存储器负数据选通终端电阻(TDQS_c), bit 4 X16 模式：无效 |
| LMU0_DQS5_C | C59 | B | | 通道 0 存储器负数据选通(DQS_c), bit 5 |
| LMU0_DQS14_C | B57 | B | | X4 模式：通道 0 存储器负数据选通(DQS_c), bit 5 X8 模式：通道 0 存储器负数据选通终端电阻(TDQS_c) X16 模式：无效 |
| LMU0_DQS6_C | BC52 | B | | 通道 0 存储器负数据选通(DQS_c), bit 6 |

| | | | | |
|---------------------------|------|---|--|---|
| LMU0_DQS15_C | BB53 | B | | X4 模式：通道 0 存储器负数据选通(DQS_c), bit 6 X8 模式：通道 0 存储器负数据选通终端电阻(TDQS_c) , bit 6 X16 模式：无效 |
| LMU0_DQS7_C | J53 | B | | 通道 0 存储器负数据选通(DQS_c), bit 7 |
| LMU0_DQS16_C | H52 | B | | X4 模式：通道 0 存储器负数据选通(DQS_c), bit 7 X8 模式：通道 0 存储器负数据选通终端电阻(TDQS_c), bit 7 X16 模式：无效 |
| LMU0_DQS8_C | R50 | B | | 通道 0 存储器负数据选通(DQS_c), bit 8 |
| LMU0_DQS17_C | P49 | B | | X4 模式：通道 0 存储器负数据选通(DQS_c), bit 8 X8 模式：通道 0 存储器负数据选通终端电阻(TDQS_c), bit 8 X16 模式：无效 |
| LMU0_DQS0_T | T52 | B | | 通道 0 存储器正数据选通(DQS_t), bit 0 |
| LMU0_DQS9_T/DBI0_N/DM0_N | R53 | B | | X4 模式：通道 0 存储器正数据选通(DQS_t), bit 0 X8 模式：通道 0 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 0 X16 模式：无效 |
| LMU0_DQS1_T | BC56 | B | | 通道 0 存储器正数据选通(DQS_t), bit 1 |
| LMU0_DQS10_T/DBI1_N/DM1_N | BB55 | B | | X4 模式：通道 0 存储器正数据选通(DQS_t), bit 1 X8 模式：通道 0 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 1 X16 模式：无效 |
| LMU0_DQS2_T | C53 | B | | 通道 0 存储器正数据选通(DQS_t), bit 2 |
| LMU0_DQS11_T/DBI2_N/DM2_N | B54 | B | | X4 模式：通道 0 存储器正数据选通(DQS_t), bit 2 X8 模式：通道 0 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻 |

| | | | | |
|-------------------------------|------|---|--|--|
| | | | | (TDQS_t), bit 2 X16 模式: 无效 |
| LMU0_DQS3_T | AT56 | B | | 通道 0 存储器正数据选通(DQS_t), bit 3 |
| LMU0_DQS12_T/DBI3_N/D M3_N | AR55 | B | | X4 模式: 通道 0 存储器正数据选通 (DQS_t), bit 3 X8 模式: 通道 0 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 3 X16 模式: 无效 |
| LMU0_DQS4_T | AT53 | B | | 通道 0 存储器正数据选通(DQS_t), bit 4 |
| LMU0_DQS13_T/DBI4_N/D M4_N | AR52 | B | | X4 模式: 通道 0 存储器正数据选通 (DQS_t), bit 4 X8 模式: 通道 0 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 4 X16 模式: 无效 |
| LMU0_DQS5_T | C58 | B | | 通道 0 存储器正数据选通(DQS_t), bit 5 |
| LMU0_DQS14_T/DBI5_N/D M5_N | B58 | B | | X4 模式: 通道 0 存储器正数据选通 (DQS_t), bit 5 X8 模式: 通道 0 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 5 X16 模式: 无效 |
| LMU0_DQS6_T | BC53 | B | | 通道 0 存储器正数据选通(DQS_t), bit 6 |
| LMU0_DQS15_T/DBI6_N/D M6_N | BB52 | B | | X4 模式: 通道 0 存储器正数据选通 (DQS_t), bit 6 X8 模式: 通道 0 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 6 X16 模式: 无效 |
| LMU0_DQS7_T | J52 | B | | 通道 0 存储器正数据选通(DQS_t), bit 7 |
| LMU0_DQS16_T/DBI7_N/D M7_N | H53 | B | | X4 模式: 通道 0 存储器正数据选通 (DQS_t), bit 7 X8 模式: 通道 0 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 7 |

| | | | | |
|-------------------------------|------|---|--|--|
| | | | | X16 模式: 无效 |
| LMU0_DQS8_T | R49 | B | | 通道 0 存储器正数据选通(DQS_t), bit 8 |
| LMU0_DQS17_T/DBI8_N/D M8_N | P50 | B | | X4 模式: 通道 0 存储器正数据选通 (DQS_t), bit 8 X8 模式: 通道 0 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 8 X16 模式: 无效 |
| LMU0_ODT0 | AJ50 | B | | 通道 0 存储器内置终结电阻(ODT), bit 0 |
| LMU0_ODT1 | AJ54 | B | | 通道 0 存储器内置终结电阻(ODT), bit 1 |
| LMU0_ODT2 | AJ51 | B | | 通道 0 存储器内置终结电阻(ODT), bit 2 |
| LMU0_ODT3 | AL51 | B | | 通道 0 存储器内置终结电阻(ODT), bit 3 |
| LMU0_PAR | AF50 | B | | 通道 0 存储器奇偶校验(PAR) |
| LMU0_A16/RAS_N | AG54 | B | | 通道 0 存储器行选通(RAS_n)/地址(A)bit 16 |
| LMU0_A14/WE_N | AH53 | B | | 通道 0 存储器写使能(WE_n)/地址(A)bit 14 |
| LMU1_A0 | A22 | B | | 通道 1 存储器地址(A), bit 0 |
| LMU1_A1 | B18 | B | | 通道 1 存储器地址(A), bit 1 |
| LMU1_A10 | B23 | B | | 通道 1 存储器地址(A), bit 10 |
| LMU1_A11 | D18 | B | | 通道 1 存储器地址(A), bit 11 |
| LMU1_A12 | B15 | B | | 通道 1 存储器地址(A), bit 12 |
| LMU1_A13 | D23 | B | | 通道 1 存储器地址(A), bit 13 |
| LMU1_A17 | B25 | B | | 通道 1 存储器地址(A), bit 17 |
| LMU1_A2 | A18 | B | | 通道 1 存储器地址(A), bit 2 |
| LMU1_A3 | D19 | B | | 通道 1 存储器地址(A), bit 3 |
| LMU1_A4 | A17 | B | | 通道 1 存储器地址(A), bit 4 |
| LMU1_A5 | B17 | B | | 通道 1 存储器地址(A), bit 5 |
| LMU1_A6 | E19 | B | | 通道 1 存储器地址(A), bit 6 |
| LMU1_A7 | B16 | B | | 通道 1 存储器地址(A), bit 7 |
| LMU1_A8 | A16 | B | | 通道 1 存储器地址(A), bit 8 |
| LMU1_A9 | A15 | B | | 通道 1 存储器地址(A), bit 9 |
| LMU1_ACT_N | D17 | B | | 通道 1 存储器激活(ACT_n) |
| LMU1_BA0 | E22 | B | | 通道 1 存储器体地址(bank), bit 0 |
| LMU1_BA1 | B22 | B | | 通道 1 存储器体地址(bank), bit 1 |

| | | | | |
|--------------------|------|---|--|----------------------------------|
| LMU1_BG0 | E18 | B | | 通道 1 存储器体组地址(BG), bit 0 |
| LMU1_BG1 | B14 | B | | 通道 1 存储器体组地址(BG), bit 1 |
| LMU1_BP_ALERT_N | A14 | B | | 通道 1 存储器警告(ALERT_n) |
| LMU1_BP_MEMRESET_L | E15 | O | | 通道 1 存储器复位(RESET_n) |
| LMU1_BP_VREF | AC31 | P | | 通道 1 存储器参考电压(VREFCA) |
| LMU1_BP_ZN | AB30 | A | | 通道 1 存储器参考电阻(ZQ) |
| LMU1_C0 | D25 | B | | 通道 1 存储器芯片地址(C), bit 0 |
| LMU1_C1 | D26 | B | | 通道 1 存储器芯片地址(C), bit 1 |
| LMU1_C2 | B26 | B | | 通道 1 存储器芯片地址(C), bit 2 |
| LMU1_A15/CAS_N | E24 | B | | 通道 1 存储器列选通(CAS_n)/地址(A), bit 15 |
| LMU1_CKE0 | D16 | B | | 通道 1 存储器时钟使能(CKE), bit 0 |
| LMU1_CKE1 | D15 | B | | 通道 1 存储器时钟使能(CKE), bit 1 |
| LMU1_CKE2 | E17 | B | | 通道 1 存储器时钟使能(CKE), bit 2 |
| LMU1_CKE3 | E16 | B | | 通道 1 存储器时钟使能(CKE), bit 3 |
| LMU1_CLK0_C | D20 | B | | 通道 1 存储器负时钟(CK_c), bit 0 |
| LMU1_CLK0_T | E20 | B | | 通道 1 存储器正时钟(CK_t), bit 0 |
| LMU1_CLK1_C | A19 | B | | 通道 1 存储器负时钟(CK_c), bit 1 |
| LMU1_CLK1_T | B19 | B | | 通道 1 存储器正时钟(CK_t), bit 1 |
| LMU1_CLK2_C | D21 | B | | 通道 1 存储器负时钟(CK_c), bit 2 |
| LMU1_CLK2_T | E21 | B | | 通道 1 存储器正时钟(CK_t), bit 2 |
| LMU1_CLK3_C | A20 | B | | 通道 1 存储器负时钟(CK_c), bit 3 |
| LMU1_CLK3_T | B20 | B | | 通道 1 存储器正时钟(CK_t), bit 3 |
| LMU1_CS_N0 | A23 | B | | 通道 1 存储器片选(CS_n), bit 0 |
| LMU1_CS_N1 | A25 | B | | 通道 1 存储器片选(CS_n), bit 1 |
| LMU1_CS_N2 | E25 | B | | 通道 1 存储器片选(CS_n), bit 2 |
| LMU1_CS_N3 | E26 | B | | 通道 1 存储器片选(CS_n), bit 3 |
| LMU1_D_OBV | A21 | B | | 通道 1 存储器锁相环(PLL)观测信号 |
| LMU1_S0_DQ0 | E10 | B | | 通道 1 存储器数据(DQ)slice 0, bit 0 |
| LMU1_S0_DQ1 | F10 | B | | 通道 1 存储器数据(DQ)slice 0, bit 1 |
| LMU1_S0_DQ2 | F13 | B | | 通道 1 存储器数据(DQ)slice 0, bit 2 |
| LMU1_S0_DQ3 | E13 | B | | 通道 1 存储器数据(DQ)slice 0, bit 3 |
| LMU1_S0_DQ4 | G10 | B | | 通道 1 存储器数据(DQ)slice 0, bit 4 |
| LMU1_S0_DQ5 | G12 | B | | 通道 1 存储器数据(DQ)slice 0, bit 5 |
| LMU1_S0_DQ6 | G13 | B | | 通道 1 存储器数据(DQ)slice 0, bit 6 |

| | | | | |
|-------------|-----|---|--|------------------------------|
| LMU1_S0_DQ7 | G11 | B | | 通道 1 存储器数据(DQ)slice 0, bit 7 |
| LMU1_S1_DQ0 | N8 | B | | 通道 1 存储器数据(DQ)slice 1, bit 0 |
| LMU1_S1_DQ1 | J8 | B | | 通道 1 存储器数据(DQ)slice 1, bit 1 |
| LMU1_S1_DQ2 | N9 | B | | 通道 1 存储器数据(DQ)slice 1, bit 2 |
| LMU1_S1_DQ3 | J9 | B | | 通道 1 存储器数据(DQ)slice 1, bit 3 |
| LMU1_S1_DQ4 | P9 | B | | 通道 1 存储器数据(DQ)slice 1, bit 4 |
| LMU1_S1_DQ5 | K8 | B | | 通道 1 存储器数据(DQ)slice 1, bit 5 |
| LMU1_S1_DQ6 | K9 | B | | 通道 1 存储器数据(DQ)slice 1, bit 6 |
| LMU1_S1_DQ7 | P8 | B | | 通道 1 存储器数据(DQ)slice 1, bit 7 |
| LMU1_S2_DQ0 | B4 | B | | 通道 1 存储器数据(DQ)slice 2, bit 0 |
| LMU1_S2_DQ1 | C5 | B | | 通道 1 存储器数据(DQ)slice 2, bit 1 |
| LMU1_S2_DQ2 | C7 | B | | 通道 1 存储器数据(DQ)slice 2, bit 2 |
| LMU1_S2_DQ3 | A7 | B | | 通道 1 存储器数据(DQ)slice 2, bit 3 |
| LMU1_S2_DQ4 | C4 | B | | 通道 1 存储器数据(DQ)slice 2, bit 4 |
| LMU1_S2_DQ5 | B7 | B | | 通道 1 存储器数据(DQ)slice 2, bit 5 |
| LMU1_S2_DQ6 | C6 | B | | 通道 1 存储器数据(DQ)slice 2, bit 6 |
| LMU1_S2_DQ7 | A4 | B | | 通道 1 存储器数据(DQ)slice 2, bit 7 |
| LMU1_S3_DQ0 | N6 | B | | 通道 1 存储器数据(DQ)slice 3, bit 0 |
| LMU1_S3_DQ1 | N5 | B | | 通道 1 存储器数据(DQ)slice 3, bit 1 |
| LMU1_S3_DQ2 | J6 | B | | 通道 1 存储器数据(DQ)slice 3, bit 2 |
| LMU1_S3_DQ3 | J5 | B | | 通道 1 存储器数据(DQ)slice 3, bit 3 |
| LMU1_S3_DQ4 | P6 | B | | 通道 1 存储器数据(DQ)slice 3, bit 4 |
| LMU1_S3_DQ5 | K5 | B | | 通道 1 存储器数据(DQ)slice 3, bit 5 |
| LMU1_S3_DQ6 | K6 | B | | 通道 1 存储器数据(DQ)slice 3, bit 6 |
| LMU1_S3_DQ7 | P5 | B | | 通道 1 存储器数据(DQ)slice 3, bit 7 |
| LMU1_S4_DQ0 | L43 | B | | 通道 1 存储器数据(DQ)slice 4, bit 0 |
| LMU1_S4_DQ1 | L47 | B | | 通道 1 存储器数据(DQ)slice 4, bit 1 |
| LMU1_S4_DQ2 | K43 | B | | 通道 1 存储器数据(DQ)slice 4, bit 2 |
| LMU1_S4_DQ3 | K47 | B | | 通道 1 存储器数据(DQ)slice 4, bit 3 |
| LMU1_S4_DQ4 | L42 | B | | 通道 1 存储器数据(DQ)slice 4, bit 4 |
| LMU1_S4_DQ5 | K46 | B | | 通道 1 存储器数据(DQ)slice 4, bit 5 |
| LMU1_S4_DQ6 | K42 | B | | 通道 1 存储器数据(DQ)slice 4, bit 6 |
| LMU1_S4_DQ7 | L46 | B | | 通道 1 存储器数据(DQ)slice 4, bit 7 |
| LMU1_S5_DQ0 | B29 | B | | 通道 1 存储器数据(DQ)slice 5, bit 0 |
| LMU1_S5_DQ1 | A29 | B | | 通道 1 存储器数据(DQ)slice 5, bit 1 |

| | | | | |
|-------------|-----|---|--|---|
| LMU1_S5_DQ2 | B33 | B | | 通道 1 存储器数据(DQ)slice 5, bit 2 |
| LMU1_S5_DQ3 | A33 | B | | 通道 1 存储器数据(DQ)slice 5, bit 3 |
| LMU1_S5_DQ4 | B28 | B | | 通道 1 存储器数据(DQ)slice 5, bit 4 |
| LMU1_S5_DQ5 | B32 | B | | 通道 1 存储器数据(DQ)slice 5, bit 5 |
| LMU1_S5_DQ6 | A32 | B | | 通道 1 存储器数据(DQ)slice 5, bit 6 |
| LMU1_S5_DQ7 | A28 | B | | 通道 1 存储器数据(DQ)slice 5, bit 7 |
| LMU1_S6_DQ0 | K29 | B | | 通道 1 存储器数据(DQ)slice 6, bit 0 |
| LMU1_S6_DQ1 | L29 | B | | 通道 1 存储器数据(DQ)slice 6, bit 1 |
| LMU1_S6_DQ2 | K33 | B | | 通道 1 存储器数据(DQ)slice 6, bit 2 |
| LMU1_S6_DQ3 | L33 | B | | 通道 1 存储器数据(DQ)slice 6, bit 3 |
| LMU1_S6_DQ4 | L28 | B | | 通道 1 存储器数据(DQ)slice 6, bit 4 |
| LMU1_S6_DQ5 | K32 | B | | 通道 1 存储器数据(DQ)slice 6, bit 5 |
| LMU1_S6_DQ6 | L32 | B | | 通道 1 存储器数据(DQ)slice 6, bit 6 |
| LMU1_S6_DQ7 | K28 | B | | 通道 1 存储器数据(DQ)slice 6, bit 7 |
| LMU1_S7_DQ0 | N43 | B | | 通道 1 存储器数据(DQ)slice 7, bit 0 |
| LMU1_S7_DQ1 | N47 | B | | 通道 1 存储器数据(DQ)slice 7, bit 1 |
| LMU1_S7_DQ2 | P47 | B | | 通道 1 存储器数据(DQ)slice 7, bit 2 |
| LMU1_S7_DQ3 | P43 | B | | 通道 1 存储器数据(DQ)slice 7, bit 3 |
| LMU1_S7_DQ4 | P42 | B | | 通道 1 存储器数据(DQ)slice 7, bit 4 |
| LMU1_S7_DQ5 | N46 | B | | 通道 1 存储器数据(DQ)slice 7, bit 5 |
| LMU1_S7_DQ6 | P46 | B | | 通道 1 存储器数据(DQ)slice 7, bit 6 |
| LMU1_S7_DQ7 | N42 | B | | 通道 1 存储器数据(DQ)slice 7, bit 7 |
| LMU1_S8_DQ0 | B9 | B | | 通道 1 存储器数据(DQ)slice 8, bit 0 |
| LMU1_S8_DQ1 | C10 | B | | 通道 1 存储器数据(DQ)slice 8, bit 1 |
| LMU1_S8_DQ2 | C12 | B | | 通道 1 存储器数据(DQ)slice 8, bit 2 |
| LMU1_S8_DQ3 | A12 | B | | 通道 1 存储器数据(DQ)slice 8, bit 3 |
| LMU1_S8_DQ4 | C9 | B | | 通道 1 存储器数据(DQ)slice 8, bit 4 |
| LMU1_S8_DQ5 | C11 | B | | 通道 1 存储器数据(DQ)slice 8, bit 5 |
| LMU1_S8_DQ6 | B12 | B | | 通道 1 存储器数据(DQ)slice 8, bit 6 |
| LMU1_S8_DQ7 | A9 | B | | 通道 1 存储器数据(DQ)slice 8, bit 7 |
| LMU1_DQS0_C | F12 | B | | 通道 1 存储器负数据选通(DQS_c), bit 0 |
| LMU1_DQS9_C | E11 | B | | X4 模式: 通道 1 存储器负数据选通(DQS_c), bit 0 X8 模式: 通道 1 存储器负数据选通终端电阻(TDQS_c), bit 0 |

| | | | | |
|--------------|-----|---|--|---|
| | | | | X16 模式：无效 |
| LMU1_DQS1_C | L9 | B | | 通道 1 存储器负数据选通(DQS_c), bit 1 |
| LMU1_DQS10_C | M8 | B | | X4 模式：通道 1 存储器负数据选通(DQS_c), bit 1 X8 模式：通道 1 存储器负数据选通终端电阻(TDQS_c) , bit 1 X16 模式：无效 |
| LMU1_DQS2_C | B6 | B | | 通道 1 存储器负数据选通(DQS_c), bit 2 |
| LMU1_DQS11_C | B5 | B | | X4 模式：通道 1 存储器负数据选通(DQS_c), bit 2 X8 模式：通道 1 存储器负数据选通终端电阻(TDQS_c) , bit 2 X16 模式：无效 |
| LMU1_DQS3_C | L6 | B | | 通道 1 存储器负数据选通(DQS_c), bit 3 |
| LMU1_DQS12_C | M5 | B | | X4 模式：通道 1 存储器负数据选通(DQS_c), bit 3 X8 模式：通道 1 存储器负数据选通终端电阻(TDQS_c) , bit 3 X16 模式：无效 |
| LMU1_DQS4_C | L45 | B | | 通道 1 存储器负数据选通(DQS_c), bit 4 |
| LMU1_DQS13_C | K44 | B | | X4 模式：通道 1 存储器负数据选通(DQS_c), bit 4 X8 模式：通道 1 存储器负数据选通终端电阻(TDQS_c) , bit 4 X16 模式：无效 |
| LMU1_DQS5_C | B31 | B | | 通道 1 存储器负数据选通(DQS_c), bit 5 |
| LMU1_DQS14_C | A30 | B | | X4 模式：通道 1 存储器负数据选通(DQS_c), bit 5 X8 模式：通道 1 存储器负数据选通终端电阻(TDQS_c) X16 模式：无效 |
| LMU1_DQS6_C | L31 | B | | 通道 1 存储器负数据选通(DQS_c), bit 6 |
| LMU1_DQS15_C | K30 | B | | X4 模式：通道 1 存储器负数据选通(DQS_c), bit 6 X8 模式：通道 1 存储器负数据选通终端电阻(TDQS_c) , bit 6 |

| | | | | |
|---------------------------|-----|---|--|--|
| | | | | X16 模式: 无效 |
| LMU1_DQS7_C | P45 | B | | 通道 1 存储器负数据选通(DQS_c), bit 7 |
| LMU1_DQS16_C | N44 | B | | X4 模式: 通道 1 存储器负数据选通(DQS_c), bit 7 X8 模式: 通道 1 存储器负数据选通终端电阻(TDQS_c), bit 7 X16 模式: 无效 |
| LMU1_DQS8_C | B11 | B | | 通道 1 存储器负数据选通(DQS_c), bit 8 |
| LMU1_DQS17_C | B10 | B | | X4 模式: 通道 1 存储器负数据选通(DQS_c), bit 8 X8 模式: 通道 1 存储器负数据选通终端电阻(TDQS_c), bit 8 X16 模式: 无效 |
| LMU1_DQS0_T | E12 | B | | 通道 1 存储器正数据选通(DQS_t), bit 0 |
| LMU1_DQS9_T/DBI0_N/DM0_N | F11 | B | | X4 模式: 通道 1 存储器正数据选通(DQS_t), bit 0 X8 模式: 通道 1 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 0 X16 模式: 无效 |
| LMU1_DQS1_T | L8 | B | | 通道 1 存储器正数据选通(DQS_t), bit 1 |
| LMU1_DQS10_T/DBI1_N/DM1_N | M9 | B | | X4 模式: 通道 1 存储器正数据选通(DQS_t), bit 1 X8 模式: 通道 1 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 1 X16 模式: 无效 |
| LMU1_DQS2_T | A6 | B | | 通道 1 存储器正数据选通(DQS_t), bit 2 |
| LMU1_DQS11_T/DBI2_N/DM2_N | A5 | B | | X4 模式: 通道 1 存储器正数据选通(DQS_t), bit 2 X8 模式: 通道 1 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 2 X16 模式: 无效 |
| LMU1_DQS3_T | L5 | B | | 通道 1 存储器正数据选通(DQS_t), bit 3 |
| LMU1_DQS12_T/DBI3_N/DM3_N | M6 | B | | X4 模式: 通道 1 存储器正数据选通(DQS_t), bit 3 X8 模式: 通道 1 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 3 X16 模式: 无效 |

| | | | | |
|-------------------------------|-----|---|--|--|
| M3_N | | | | (DQS_t), bit 3 X8 模式: 通道 1 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 3 X16 模式: 无效 |
| LMU1_DQS4_T | K45 | B | | 通道 1 存储器正数据选通(DQS_t), bit 4 |
| LMU1_DQS13_T/DBI4_N/D M4_N | L44 | B | | X4 模式: 通道 1 存储器正数据选通 (DQS_t), bit 4 X8 模式: 通道 1 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 4 X16 模式: 无效 |
| LMU1_DQS5_T | A31 | B | | 通道 1 存储器正数据选通(DQS_t), bit 5 |
| LMU1_DQS14_T/DBI5_N/D M5_N | B30 | B | | X4 模式: 通道 1 存储器正数据选通 (DQS_t), bit 5 X8 模式: 通道 1 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 5 X16 模式: 无效 |
| LMU1_DQS6_T | K31 | B | | 通道 1 存储器正数据选通(DQS_t), bit 6 |
| LMU1_DQS15_T/DBI6_N/D M6_N | L30 | B | | X4 模式: 通道 1 存储器正数据选通 (DQS_t), bit 6 X8 模式: 通道 1 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 6 X16 模式: 无效 |
| LMU1_DQS7_T | N45 | B | | 通道 1 存储器正数据选通(DQS_t), bit 7 |
| LMU1_DQS16_T/DBI7_N/D M7_N | P44 | B | | X4 模式: 通道 1 存储器正数据选通 (DQS_t), bit 7 X8 模式: 通道 1 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 7 X16 模式: 无效 |
| LMU1_DQS8_T | A11 | B | | 通道 1 存储器正数据选通(DQS_t), bit 8 |
| LMU1_DQS17_T/DBI8_N/D M8_N | A10 | B | | X4 模式: 通道 1 存储器正数据选通 (DQS_t), bit 8 |

| | | | | |
|--------------------|-----|---|--|--|
| | | | | X8 模式: 通道 1 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 8 X16 模式: 无效 |
| LMU1_ODT0 | B24 | B | | 通道 1 存储器内置终结电阻(ODT), bit 0 |
| LMU1_ODT1 | D24 | B | | 通道 1 存储器内置终结电阻(ODT), bit 1 |
| LMU1_ODT2 | A24 | B | | 通道 1 存储器内置终结电阻(ODT), bit 2 |
| LMU1_ODT3 | A26 | B | | 通道 1 存储器内置终结电阻(ODT), bit 3 |
| LMU1_PAR | B21 | B | | 通道 1 存储器奇偶校验(PAR) |
| LMU1_A16/RAS_N | D22 | B | | 通道 1 存储器行选通(RAS_n)/地址(A)bit 16 |
| LMU1_A14/WE_N | E23 | B | | 通道 1 存储器写使能(WE_n)/地址(A)bit 14 |
| LMU2_A0 | AN1 | B | | 通道 2 存储器地址(A), bit 0 |
| LMU2_A1 | AU2 | B | | 通道 2 存储器地址(A), bit 1 |
| LMU2_A10 | AM2 | B | | 通道 2 存储器地址(A), bit 10 |
| LMU2_A11 | AV4 | B | | 通道 2 存储器地址(A), bit 11 |
| LMU2_A12 | AY2 | B | | 通道 2 存储器地址(A), bit 12 |
| LMU2_A13 | AN4 | B | | 通道 2 存储器地址(A), bit 13 |
| LMU2_A17 | AK2 | B | | 通道 2 存储器地址(A), bit 17 |
| LMU2_A2 | AU1 | B | | 通道 2 存储器地址(A), bit 2 |
| LMU2_A3 | AU4 | B | | 通道 2 存储器地址(A), bit 3 |
| LMU2_A4 | AV1 | B | | 通道 2 存储器地址(A), bit 4 |
| LMU2_A5 | AV2 | B | | 通道 2 存储器地址(A), bit 5 |
| LMU2_A6 | AU5 | B | | 通道 2 存储器地址(A), bit 6 |
| LMU2_A7 | AW2 | B | | 通道 2 存储器地址(A), bit 7 |
| LMU2_A8 | AW1 | B | | 通道 2 存储器地址(A), bit 8 |
| LMU2_A9 | AY1 | B | | 通道 2 存储器地址(A), bit 9 |
| LMU2_ACT_N | AW4 | B | | 通道 2 存储器激活(ACT_n) |
| LMU2_BA0 | AP5 | B | | 通道 2 存储器体地址(bank), bit 0 |
| LMU2_BA1 | AN2 | B | | 通道 2 存储器体地址(bank), bit 1 |
| LMU2_BG0 | AV5 | B | | 通道 2 存储器体组地址(BG), bit 0 |
| LMU2_BG1 | BA2 | B | | 通道 2 存储器体组地址(BG), bit 1 |
| LMU2_BP_ALERT_N | BA1 | B | | 通道 2 存储器警告(ALERT_n) |
| LMU2_BP_MEMRESET_L | BA5 | O | | 通道 2 存储器复位(RESET_n) |

| | | | | |
|----------------|------|---|--|----------------------------------|
| LMU2_BP_VREF | AF22 | P | | 通道 2 存储器参考电压(VREFCA) |
| LMU2_BP_ZN | AG23 | A | | 通道 2 存储器参考电阻(ZQ) |
| LMU2_C0 | AL4 | B | | 通道 2 存储器芯片地址(C), bit 0 |
| LMU2_C1 | AK4 | B | | 通道 2 存储器芯片地址(C), bit 1 |
| LMU2_C2 | AJ2 | B | | 通道 2 存储器芯片地址(C), bit 2 |
| LMU2_A15/CAS_N | AM5 | B | | 通道 2 存储器列选通(CAS_n)/地址(A), bit 15 |
| LMU2_CKE0 | AY4 | B | | 通道 2 存储器时钟使能(CKE), bit 0 |
| LMU2_CKE1 | BA4 | B | | 通道 2 存储器时钟使能(CKE), bit 1 |
| LMU2_CKE2 | AW5 | B | | 通道 2 存储器时钟使能(CKE), bit 2 |
| LMU2_CKE3 | AY5 | B | | 通道 2 存储器时钟使能(CKE), bit 3 |
| LMU2_CLK0_C | AT4 | B | | 通道 2 存储器负时钟(CK_c), bit 0 |
| LMU2_CLK0_T | AT5 | B | | 通道 2 存储器正时钟(CK_t), bit 0 |
| LMU2_CLK1_C | AT1 | B | | 通道 2 存储器负时钟(CK_c), bit 1 |
| LMU2_CLK1_T | AT2 | B | | 通道 2 存储器正时钟(CK_t), bit 1 |
| LMU2_CLK2_C | AR4 | B | | 通道 2 存储器负时钟(CK_c), bit 2 |
| LMU2_CLK2_T | AR5 | B | | 通道 2 存储器正时钟(CK_t), bit 2 |
| LMU2_CLK3_C | AR1 | B | | 通道 2 存储器负时钟(CK_c), bit 3 |
| LMU2_CLK3_T | AR2 | B | | 通道 2 存储器正时钟(CK_t), bit 3 |
| LMU2_CS_N0 | AM1 | B | | 通道 2 存储器片选(CS_n), bit 0 |
| LMU2_CS_N1 | AK1 | B | | 通道 2 存储器片选(CS_n), bit 1 |
| LMU2_CS_N2 | AL5 | B | | 通道 2 存储器片选(CS_n), bit 2 |
| LMU2_CS_N3 | AK5 | B | | 通道 2 存储器片选(CS_n), bit 3 |
| LMU2_D_OBV | AP1 | B | | 通道 2 存储器锁相环(PLL)观测信号 |
| LMU2_S0_DQ0 | BT2 | B | | 通道 2 存储器数据(DQ)slice 0, bit 0 |
| LMU2_S0_DQ1 | BR3 | B | | 通道 2 存储器数据(DQ)slice 0, bit 1 |
| LMU2_S0_DQ2 | BN3 | B | | 通道 2 存储器数据(DQ)slice 0, bit 2 |
| LMU2_S0_DQ3 | BN1 | B | | 通道 2 存储器数据(DQ)slice 0, bit 3 |
| LMU2_S0_DQ4 | BT3 | B | | 通道 2 存储器数据(DQ)slice 0, bit 4 |
| LMU2_S0_DQ5 | BT1 | B | | 通道 2 存储器数据(DQ)slice 0, bit 5 |
| LMU2_S0_DQ6 | BN2 | B | | 通道 2 存储器数据(DQ)slice 0, bit 6 |
| LMU2_S0_DQ7 | BP3 | B | | 通道 2 存储器数据(DQ)slice 0, bit 7 |
| LMU2_S1_DQ0 | BG6 | B | | 通道 2 存储器数据(DQ)slice 1, bit 0 |
| LMU2_S1_DQ1 | BC6 | B | | 通道 2 存储器数据(DQ)slice 1, bit 1 |
| LMU2_S1_DQ2 | BC5 | B | | 通道 2 存储器数据(DQ)slice 1, bit 2 |

| | | | | |
|-------------|------|---|--|------------------------------|
| LMU2_S1_DQ3 | BG5 | B | | 通道 2 存储器数据(DQ)slice 1, bit 3 |
| LMU2_S1_DQ4 | BH5 | B | | 通道 2 存储器数据(DQ)slice 1, bit 4 |
| LMU2_S1_DQ5 | BD6 | B | | 通道 2 存储器数据(DQ)slice 1, bit 5 |
| LMU2_S1_DQ6 | BD5 | B | | 通道 2 存储器数据(DQ)slice 1, bit 6 |
| LMU2_S1_DQ7 | BH6 | B | | 通道 2 存储器数据(DQ)slice 1, bit 7 |
| LMU2_S2_DQ0 | BL2 | B | | 通道 2 存储器数据(DQ)slice 2, bit 0 |
| LMU2_S2_DQ1 | BK3 | B | | 通道 2 存储器数据(DQ)slice 2, bit 1 |
| LMU2_S2_DQ2 | BH3 | B | | 通道 2 存储器数据(DQ)slice 2, bit 2 |
| LMU2_S2_DQ3 | BH1 | B | | 通道 2 存储器数据(DQ)slice 2, bit 3 |
| LMU2_S2_DQ4 | BL3 | B | | 通道 2 存储器数据(DQ)slice 2, bit 4 |
| LMU2_S2_DQ5 | BH2 | B | | 通道 2 存储器数据(DQ)slice 2, bit 5 |
| LMU2_S2_DQ6 | BJ3 | B | | 通道 2 存储器数据(DQ)slice 2, bit 6 |
| LMU2_S2_DQ7 | BL1 | B | | 通道 2 存储器数据(DQ)slice 2, bit 7 |
| LMU2_S3_DQ0 | AG11 | B | | 通道 2 存储器数据(DQ)slice 3, bit 0 |
| LMU2_S3_DQ1 | AG12 | B | | 通道 2 存储器数据(DQ)slice 3, bit 1 |
| LMU2_S3_DQ2 | AC12 | B | | 通道 2 存储器数据(DQ)slice 3, bit 2 |
| LMU2_S3_DQ3 | AC11 | B | | 通道 2 存储器数据(DQ)slice 3, bit 3 |
| LMU2_S3_DQ4 | AH12 | B | | 通道 2 存储器数据(DQ)slice 3, bit 4 |
| LMU2_S3_DQ5 | AD11 | B | | 通道 2 存储器数据(DQ)slice 3, bit 5 |
| LMU2_S3_DQ6 | AD12 | B | | 通道 2 存储器数据(DQ)slice 3, bit 6 |
| LMU2_S3_DQ7 | AH11 | B | | 通道 2 存储器数据(DQ)slice 3, bit 7 |
| LMU2_S4_DQ0 | BP6 | B | | 通道 2 存储器数据(DQ)slice 4, bit 0 |
| LMU2_S4_DQ1 | BK6 | B | | 通道 2 存储器数据(DQ)slice 4, bit 1 |
| LMU2_S4_DQ2 | BK5 | B | | 通道 2 存储器数据(DQ)slice 4, bit 2 |
| LMU2_S4_DQ3 | BP5 | B | | 通道 2 存储器数据(DQ)slice 4, bit 3 |
| LMU2_S4_DQ4 | BR5 | B | | 通道 2 存储器数据(DQ)slice 4, bit 4 |
| LMU2_S4_DQ5 | BL6 | B | | 通道 2 存储器数据(DQ)slice 4, bit 5 |
| LMU2_S4_DQ6 | BL5 | B | | 通道 2 存储器数据(DQ)slice 4, bit 6 |
| LMU2_S4_DQ7 | BR6 | B | | 通道 2 存储器数据(DQ)slice 4, bit 7 |
| LMU2_S5_DQ0 | AG2 | B | | 通道 2 存储器数据(DQ)slice 5, bit 0 |
| LMU2_S5_DQ1 | AD1 | B | | 通道 2 存储器数据(DQ)slice 5, bit 1 |
| LMU2_S5_DQ2 | AF3 | B | | 通道 2 存储器数据(DQ)slice 5, bit 2 |
| LMU2_S5_DQ3 | AD3 | B | | 通道 2 存储器数据(DQ)slice 5, bit 3 |
| LMU2_S5_DQ4 | AG3 | B | | 通道 2 存储器数据(DQ)slice 5, bit 4 |
| LMU2_S5_DQ5 | AD2 | B | | 通道 2 存储器数据(DQ)slice 5, bit 5 |

| | | | | |
|--------------|------|---|--|---|
| LMU2_S5_DQ6 | AE3 | B | | 通道 2 存储器数据(DQ)slice 5, bit 6 |
| LMU2_S5_DQ7 | AG1 | B | | 通道 2 存储器数据(DQ)slice 5, bit 7 |
| LMU2_S6_DQ0 | Y11 | B | | 通道 2 存储器数据(DQ)slice 6, bit 0 |
| LMU2_S6_DQ1 | T11 | B | | 通道 2 存储器数据(DQ)slice 6, bit 1 |
| LMU2_S6_DQ2 | Y12 | B | | 通道 2 存储器数据(DQ)slice 6, bit 2 |
| LMU2_S6_DQ3 | T12 | B | | 通道 2 存储器数据(DQ)slice 6, bit 3 |
| LMU2_S6_DQ4 | AA12 | B | | 通道 2 存储器数据(DQ)slice 6, bit 4 |
| LMU2_S6_DQ5 | U11 | B | | 通道 2 存储器数据(DQ)slice 6, bit 5 |
| LMU2_S6_DQ6 | U12 | B | | 通道 2 存储器数据(DQ)slice 6, bit 6 |
| LMU2_S6_DQ7 | AA11 | B | | 通道 2 存储器数据(DQ)slice 6, bit 7 |
| LMU2_S7_DQ0 | AB2 | B | | 通道 2 存储器数据(DQ)slice 7, bit 0 |
| LMU2_S7_DQ1 | W1 | B | | 通道 2 存储器数据(DQ)slice 7, bit 1 |
| LMU2_S7_DQ2 | AA3 | B | | 通道 2 存储器数据(DQ)slice 7, bit 2 |
| LMU2_S7_DQ3 | W3 | B | | 通道 2 存储器数据(DQ)slice 7, bit 3 |
| LMU2_S7_DQ4 | AB3 | B | | 通道 2 存储器数据(DQ)slice 7, bit 4 |
| LMU2_S7_DQ5 | W2 | B | | 通道 2 存储器数据(DQ)slice 7, bit 5 |
| LMU2_S7_DQ6 | Y3 | B | | 通道 2 存储器数据(DQ)slice 7, bit 6 |
| LMU2_S7_DQ7 | AB1 | B | | 通道 2 存储器数据(DQ)slice 7, bit 7 |
| LMU2_S8_DQ0 | BF2 | B | | 通道 2 存储器数据(DQ)slice 8, bit 0 |
| LMU2_S8_DQ1 | BE3 | B | | 通道 2 存储器数据(DQ)slice 8, bit 1 |
| LMU2_S8_DQ2 | BC3 | B | | 通道 2 存储器数据(DQ)slice 8, bit 2 |
| LMU2_S8_DQ3 | BC1 | B | | 通道 2 存储器数据(DQ)slice 8, bit 3 |
| LMU2_S8_DQ4 | BF3 | B | | 通道 2 存储器数据(DQ)slice 8, bit 4 |
| LMU2_S8_DQ5 | BF1 | B | | 通道 2 存储器数据(DQ)slice 8, bit 5 |
| LMU2_S8_DQ6 | BC2 | B | | 通道 2 存储器数据(DQ)slice 8, bit 6 |
| LMU2_S8_DQ7 | BD3 | B | | 通道 2 存储器数据(DQ)slice 8, bit 7 |
| LMU2_DQS0_C | BP2 | B | | 通道 2 存储器负数据选通(DQS_c), bit 0 |
| LMU2_DQS9_C | BR2 | B | | X4 模式: 通道 2 存储器负数据选通(DQS_c), bit 0 X8 模式: 通道 2 存储器负数据选通终端电阻(TDQS_c), bit 0 X16 模式: 无效 |
| LMU2_DQS1_C | BE5 | B | | 通道 2 存储器负数据选通(DQS_c), bit 1 |
| LMU2_DQS10_C | BF6 | B | | X4 模式: 通道 2 存储器负数据选通(DQS_c), bit 1 |

| | | | | |
|--------------|------|---|--|--|
| | | | | X8 模式: 通道 2 存储器负数据选通终端电阻(TDQS_c) , bit 1 X16 模式: 无效 |
| LMU2_DQS2_C | BJ2 | B | | 通道 2 存储器负数据选通(DQS_c), bit 2 |
| LMU2_DQS11_C | BK2 | B | | X4 模式: 通道 2 存储器负数据选通(DQS_c), bit 2 X8 模式: 通道 2 存储器负数据选通终端电阻(TDQS_c) , bit 2 X16 模式: 无效 |
| LMU2_DQS3_C | AE12 | B | | 通道 2 存储器负数据选通(DQS_c), bit 3 |
| LMU2_DQS12_C | AF11 | B | | X4 模式: 通道 2 存储器负数据选通(DQS_c), bit 3 X8 模式: 道 2 存储器负数据选通终端电阻(TDQS_c) , bit 3 X16 模式: 无效 |
| LMU2_DQS4_C | BM5 | B | | 通道 2 存储器负数据选通(DQS_c), bit 4 |
| LMU2_DQS13_C | BN6 | B | | X4 模式: 通道 2 存储器负数据选通(DQS_c), bit 4 X8 模式: 通道 2 存储器负数据选通终端电阻(TDQS_c) , bit 4 X16 模式: 无效 |
| LMU2_DQS5_C | AE2 | B | | 通道 2 存储器负数据选通(DQS_c), bit 5 |
| LMU2_DQS14_C | AF2 | B | | X4 模式: 通道 2 存储器负数据选通(DQS_c), bit 5 X8 模式: 通道 2 存储器负数据选通终端电阻(TDQS_c) X16 模式: 无效 |
| LMU2_DQS6_C | V12 | B | | 通道 2 存储器负数据选通(DQS_c), bit 6 |
| LMU2_DQS15_C | W11 | B | | X4 模式: 通道 2 存储器负数据选通(DQS_c), bit 6 X8 模式: 通道 2 存储器负数据选通终端电阻(TDQS_c) , bit 6 X16 模式: 无效 |
| LMU2_DQS7_C | Y2 | B | | 通道 2 存储器负数据选通(DQS_c), bit 7 |
| LMU2_DQS16_C | AA2 | B | | X4 模式: 通道 2 存储器负数据选通(DQS_c), bit 7 |

| | | | | |
|---------------------------|------|---|--|--|
| | | | | X8 模式: 通道 2 存储器负数据选通终端电阻(TDQS_c) , bit 7 X16 模式:无效 |
| LMU2_DQS8_C | BD2 | B | | 通道 2 存储器负数据选通(DQS_c), bit 8 |
| LMU2_DQS17_C | BE2 | B | | X4 模式:通道 2 存储器负数据选通(DQS_c), bit 8 X8 模式:通道 2 存储器负数据选通终端电阻(TDQS_c) , bit 8 X16 模式: 无效 |
| LMU2_DQS0_T | BP1 | B | | 通道 2 存储器正数据选通(DQS_t), bit 0 |
| LMU2_DQS9_T/DBI0_N/DM0_N | BR1 | B | | X4 模式: 通道 2 存储器正数据选通(DQS_t), bit 0 X8 模式: 通道 2 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 0 X16 模式: 无效 |
| LMU2_DQS1_T | BE6 | B | | 通道 2 存储器正数据选通(DQS_t), bit 1 |
| LMU2_DQS10_T/DBI1_N/DM1_N | BF5 | B | | X4 模式: 通道 2 存储器正数据选通(DQS_t), bit 1 X8 模式: 通道 2 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 1 X16 模式: 无效 |
| LMU2_DQS2_T | BJ1 | B | | 通道 2 存储器正数据选通(DQS_t), bit 2 |
| LMU2_DQS11_T/DBI2_N/DM2_N | BK1 | B | | X4 模式: 通道 2 存储器正数据选通(DQS_t), bit 2 X8 模式: 通道 2 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 2 X16 模式: 无效 |
| LMU2_DQS3_T | AE11 | B | | 通道 2 存储器正数据选通(DQS_t), bit 3 |
| LMU2_DQS12_T/DBI3_N/DM3_N | AF12 | B | | X4 模式: 通道 2 存储器正数据选通(DQS_t), bit 3 X8 模式: 通道 2 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 3 |

| | | | | |
|-------------------------------|-----|---|--|--|
| | | | | X16 模式: 无效 |
| LMU2_DQS4_T | BM6 | B | | 通道 2 存储器正数据选通(DQS_t), bit 4 |
| LMU2_DQS13_T/DBI4_N/D M4_N | BN5 | B | | X4 模式: 通道 2 存储器正数据选通(DQS_t), bit 4 X8 模式: 通道 2 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 4 X16 模式: 无效 |
| LMU2_DQS5_T | AE1 | B | | 通道 2 存储器正数据选通(DQS_t), bit 5 |
| LMU2_DQS14_T/DBI5_N/D M5_N | AF1 | B | | X4 模式: 通道 2 存储器正数据选通(DQS_t), bit 5 X8 模式: 通道 2 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 5 X16 模式: 无效 |
| LMU2_DQS6_T | V11 | B | | 通道 2 存储器正数据选通(DQS_t), bit 6 |
| LMU2_DQS15_T/DBI6_N/D M6_N | W12 | B | | X4 模式: 通道 2 存储器正数据选通(DQS_t), bit 6 X8 模式: 通道 2 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 6 X16 模式: 无效 |
| LMU2_DQS7_T | Y1 | B | | 通道 2 存储器正数据选通(DQS_t), bit 7 |
| LMU2_DQS16_T/DBI7_N/D M7_N | AA1 | B | | X4 模式: 通道 2 存储器正数据选通(DQS_t), bit 7 X8 模式: 通道 2 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 7 X16 模式: 无效 |
| LMU2_DQS8_T | BD1 | B | | 通道 2 存储器正数据选通(DQS_t), bit 8 |
| LMU2_DQS17_T/DBI8_N/D M8_N | BE1 | B | | X4 模式: 通道 2 存储器正数据选通(DQS_t), bit 8 X8 模式: 通道 2 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 8 X16 模式: 无效 |

| | | | | |
|--------------------|------|---|--|--------------------------------|
| LMU2_ODT0 | AL2 | B | | 通道 2 存储器内置终结电阻(ODT), bit 0 |
| LMU2_ODT1 | AM4 | B | | 通道 2 存储器内置终结电阻(ODT), bit 1 |
| LMU2_ODT2 | AL1 | B | | 通道 2 存储器内置终结电阻(ODT), bit 2 |
| LMU2_ODT3 | AJ1 | B | | 通道 2 存储器内置终结电阻(ODT), bit 3 |
| LMU2_PAR | AP2 | B | | 通道 2 存储器奇偶校验(PAR) |
| LMU2_A16/RAS_N | AP4 | B | | 通道 2 存储器行选通(RAS_n)/地址(A)bit 16 |
| LMU2_A14/WE_N | AN5 | B | | 通道 2 存储器写使能(WE_n)/地址(A)bit 14 |
| LMU3_A0 | K22 | B | | 通道 3 存储器地址(A), bit 0 |
| LMU3_A1 | L18 | B | | 通道 3 存储器地址(A), bit 1 |
| LMU3_A10 | L23 | B | | 通道 3 存储器地址(A), bit 10 |
| LMU3_A11 | G18 | B | | 通道 3 存储器地址(A), bit 11 |
| LMU3_A12 | L15 | B | | 通道 3 存储器地址(A), bit 12 |
| LMU3_A13 | G23 | B | | 通道 3 存储器地址(A), bit 13 |
| LMU3_A17 | L25 | B | | 通道 3 存储器地址(A), bit 17 |
| LMU3_A2 | K18 | B | | 通道 3 存储器地址(A), bit 2 |
| LMU3_A3 | G19 | B | | 通道 3 存储器地址(A), bit 3 |
| LMU3_A4 | K17 | B | | 通道 3 存储器地址(A), bit 4 |
| LMU3_A5 | L17 | B | | 通道 3 存储器地址(A), bit 5 |
| LMU3_A6 | H19 | B | | 通道 3 存储器地址(A), bit 6 |
| LMU3_A7 | L16 | B | | 通道 3 存储器地址(A), bit 7 |
| LMU3_A8 | K16 | B | | 通道 3 存储器地址(A), bit 8 |
| LMU3_A9 | K15 | B | | 通道 3 存储器地址(A), bit 9 |
| LMU3_ACT_N | G17 | B | | 通道 3 存储器激活(ACT_n) |
| LMU3_BA0 | H22 | B | | 通道 3 存储器体地址(bank), bit 0 |
| LMU3_BA1 | L22 | B | | 通道 3 存储器体地址(bank), bit 1 |
| LMU3_BG0 | H18 | B | | 通道 3 存储器体组地址(BG), bit 0 |
| LMU3_BG1 | L14 | B | | 通道 3 存储器体组地址(BG), bit 1 |
| LMU3_BP_ALERT_N | K14 | B | | 通道 3 存储器警告(ALERT_n) |
| LMU3_BP_MEMRESET_L | H15 | O | | 通道 3 存储器复位(RESET_n) |
| LMU3_BP_VREF | AC25 | P | | 通道 3 存储器参考电压(VREFCA) |
| LMU3_BP_ZN | AB25 | A | | 通道 3 存储器参考电阻(ZQ) |
| LMU3_C0 | G25 | B | | 通道 3 存储器芯片地址(C), bit 0 |
| LMU3_C1 | G26 | B | | 通道 3 存储器芯片地址(C), bit 1 |

| | | | | |
|----------------|-----|---|--|----------------------------------|
| LMU3_C2 | L26 | B | | 通道 3 存储器芯片地址(C), bit 2 |
| LMU3_A15/CAS_N | H24 | B | | 通道 3 存储器列选通(CAS_n)/地址(A), bit 15 |
| LMU3_CKE0 | G16 | B | | 通道 3 存储器时钟使能(CKE), bit 0 |
| LMU3_CKE1 | G15 | B | | 通道 3 存储器时钟使能(CKE), bit 1 |
| LMU3_CKE2 | H17 | B | | 通道 3 存储器时钟使能(CKE), bit 2 |
| LMU3_CKE3 | H16 | B | | 通道 3 存储器时钟使能(CKE), bit 3 |
| LMU3_CLK0_C | G20 | B | | 通道 3 存储器负时钟(CK_c), bit 0 |
| LMU3_CLK0_T | H20 | B | | 通道 3 存储器正时钟(CK_t), bit 0 |
| LMU3_CLK1_C | K19 | B | | 通道 3 存储器负时钟(CK_c), bit 1 |
| LMU3_CLK1_T | L19 | B | | 通道 3 存储器正时钟(CK_t), bit 1 |
| LMU3_CLK2_C | G21 | B | | 通道 3 存储器负时钟(CK_c), bit 2 |
| LMU3_CLK2_T | H21 | B | | 通道 3 存储器正时钟(CK_t), bit 2 |
| LMU3_CLK3_C | K20 | B | | 通道 3 存储器负时钟(CK_c), bit 3 |
| LMU3_CLK3_T | L20 | B | | 通道 3 存储器正时钟(CK_t), bit 3 |
| LMU3_CS_N0 | K23 | B | | 通道 3 存储器片选(CS_n), bit 0 |
| LMU3_CS_N1 | K25 | B | | 通道 3 存储器片选(CS_n), bit 1 |
| LMU3_CS_N2 | H25 | B | | 通道 3 存储器片选(CS_n), bit 2 |
| LMU3_CS_N3 | H26 | B | | 通道 3 存储器片选(CS_n), bit 3 |
| LMU3_D_OBV | K21 | B | | 通道 3 存储器锁相环(PLL)观测信号 |
| LMU3_S0_DQ0 | E5 | B | | 通道 3 存储器数据(DQ)slice 0, bit 0 |
| LMU3_S0_DQ1 | F5 | B | | 通道 3 存储器数据(DQ)slice 0, bit 1 |
| LMU3_S0_DQ2 | E8 | B | | 通道 3 存储器数据(DQ)slice 0, bit 2 |
| LMU3_S0_DQ3 | F8 | B | | 通道 3 存储器数据(DQ)slice 0, bit 3 |
| LMU3_S0_DQ4 | G5 | B | | 通道 3 存储器数据(DQ)slice 0, bit 4 |
| LMU3_S0_DQ5 | G7 | B | | 通道 3 存储器数据(DQ)slice 0, bit 5 |
| LMU3_S0_DQ6 | G6 | B | | 通道 3 存储器数据(DQ)slice 0, bit 6 |
| LMU3_S0_DQ7 | G8 | B | | 通道 3 存储器数据(DQ)slice 0, bit 7 |
| LMU3_S1_DQ0 | M2 | B | | 通道 3 存储器数据(DQ)slice 1, bit 0 |
| LMU3_S1_DQ1 | J1 | B | | 通道 3 存储器数据(DQ)slice 1, bit 1 |
| LMU3_S1_DQ2 | L3 | B | | 通道 3 存储器数据(DQ)slice 1, bit 2 |
| LMU3_S1_DQ3 | J3 | B | | 通道 3 存储器数据(DQ)slice 1, bit 3 |
| LMU3_S1_DQ4 | M3 | B | | 通道 3 存储器数据(DQ)slice 1, bit 4 |
| LMU3_S1_DQ5 | M1 | B | | 通道 3 存储器数据(DQ)slice 1, bit 5 |
| LMU3_S1_DQ6 | K3 | B | | 通道 3 存储器数据(DQ)slice 1, bit 6 |

| | | | | |
|-------------|-----|---|--|------------------------------|
| LMU3_S1_DQ7 | J2 | B | | 通道 3 存储器数据(DQ)slice 1, bit 7 |
| LMU3_S2_DQ0 | E29 | B | | 通道 3 存储器数据(DQ)slice 2, bit 0 |
| LMU3_S2_DQ1 | D33 | B | | 通道 3 存储器数据(DQ)slice 2, bit 1 |
| LMU3_S2_DQ2 | D29 | B | | 通道 3 存储器数据(DQ)slice 2, bit 2 |
| LMU3_S2_DQ3 | E33 | B | | 通道 3 存储器数据(DQ)slice 2, bit 3 |
| LMU3_S2_DQ4 | E28 | B | | 通道 3 存储器数据(DQ)slice 2, bit 4 |
| LMU3_S2_DQ5 | D32 | B | | 通道 3 存储器数据(DQ)slice 2, bit 5 |
| LMU3_S2_DQ6 | D28 | B | | 通道 3 存储器数据(DQ)slice 2, bit 6 |
| LMU3_S2_DQ7 | E32 | B | | 通道 3 存储器数据(DQ)slice 2, bit 7 |
| LMU3_S3_DQ0 | G29 | B | | 通道 3 存储器数据(DQ)slice 3, bit 0 |
| LMU3_S3_DQ1 | G33 | B | | 通道 3 存储器数据(DQ)slice 3, bit 1 |
| LMU3_S3_DQ2 | H33 | B | | 通道 3 存储器数据(DQ)slice 3, bit 2 |
| LMU3_S3_DQ3 | H29 | B | | 通道 3 存储器数据(DQ)slice 3, bit 3 |
| LMU3_S3_DQ4 | H28 | B | | 通道 3 存储器数据(DQ)slice 3, bit 4 |
| LMU3_S3_DQ5 | G32 | B | | 通道 3 存储器数据(DQ)slice 3, bit 5 |
| LMU3_S3_DQ6 | G28 | B | | 通道 3 存储器数据(DQ)slice 3, bit 6 |
| LMU3_S3_DQ7 | H32 | B | | 通道 3 存储器数据(DQ)slice 3, bit 7 |
| LMU3_S4_DQ0 | L36 | B | | 通道 3 存储器数据(DQ)slice 4, bit 0 |
| LMU3_S4_DQ1 | L40 | B | | 通道 3 存储器数据(DQ)slice 4, bit 1 |
| LMU3_S4_DQ2 | K36 | B | | 通道 3 存储器数据(DQ)slice 4, bit 2 |
| LMU3_S4_DQ3 | K40 | B | | 通道 3 存储器数据(DQ)slice 4, bit 3 |
| LMU3_S4_DQ4 | L35 | B | | 通道 3 存储器数据(DQ)slice 4, bit 4 |
| LMU3_S4_DQ5 | K39 | B | | 通道 3 存储器数据(DQ)slice 4, bit 5 |
| LMU3_S4_DQ6 | K35 | B | | 通道 3 存储器数据(DQ)slice 4, bit 6 |
| LMU3_S4_DQ7 | L39 | B | | 通道 3 存储器数据(DQ)slice 4, bit 7 |
| LMU3_S5_DQ0 | N11 | B | | 通道 3 存储器数据(DQ)slice 5, bit 0 |
| LMU3_S5_DQ1 | N12 | B | | 通道 3 存储器数据(DQ)slice 5, bit 1 |
| LMU3_S5_DQ2 | J11 | B | | 通道 3 存储器数据(DQ)slice 5, bit 2 |
| LMU3_S5_DQ3 | J12 | B | | 通道 3 存储器数据(DQ)slice 5, bit 3 |
| LMU3_S5_DQ4 | P12 | B | | 通道 3 存储器数据(DQ)slice 5, bit 4 |
| LMU3_S5_DQ5 | K11 | B | | 通道 3 存储器数据(DQ)slice 5, bit 5 |
| LMU3_S5_DQ6 | K12 | B | | 通道 3 存储器数据(DQ)slice 5, bit 6 |
| LMU3_S5_DQ7 | P11 | B | | 通道 3 存储器数据(DQ)slice 5, bit 7 |
| LMU3_S6_DQ0 | N36 | B | | 通道 3 存储器数据(DQ)slice 6, bit 0 |
| LMU3_S6_DQ1 | N40 | B | | 通道 3 存储器数据(DQ)slice 6, bit 1 |

| | | | | |
|--------------|-----|---|--|--|
| LMU3_S6_DQ2 | P40 | B | | 通道 3 存储器数据(DQ)slice 6, bit 2 |
| LMU3_S6_DQ3 | P36 | B | | 通道 3 存储器数据(DQ)slice 6, bit 3 |
| LMU3_S6_DQ4 | P35 | B | | 通道 3 存储器数据(DQ)slice 6, bit 4 |
| LMU3_S6_DQ5 | N39 | B | | 通道 3 存储器数据(DQ)slice 6, bit 5 |
| LMU3_S6_DQ6 | N35 | B | | 通道 3 存储器数据(DQ)slice 6, bit 6 |
| LMU3_S6_DQ7 | P39 | B | | 通道 3 存储器数据(DQ)slice 6, bit 7 |
| LMU3_S7_DQ0 | U2 | B | | 通道 3 存储器数据(DQ)slice 7, bit 0 |
| LMU3_S7_DQ1 | P1 | B | | 通道 3 存储器数据(DQ)slice 7, bit 1 |
| LMU3_S7_DQ2 | T3 | B | | 通道 3 存储器数据(DQ)slice 7, bit 2 |
| LMU3_S7_DQ3 | P3 | B | | 通道 3 存储器数据(DQ)slice 7, bit 3 |
| LMU3_S7_DQ4 | U3 | B | | 通道 3 存储器数据(DQ)slice 7, bit 4 |
| LMU3_S7_DQ5 | U1 | B | | 通道 3 存储器数据(DQ)slice 7, bit 5 |
| LMU3_S7_DQ6 | R3 | B | | 通道 3 存储器数据(DQ)slice 7, bit 6 |
| LMU3_S7_DQ7 | P2 | B | | 通道 3 存储器数据(DQ)slice 7, bit 7 |
| LMU3_S8_DQ0 | G2 | B | | 通道 3 存储器数据(DQ)slice 8, bit 0 |
| LMU3_S8_DQ1 | F3 | B | | 通道 3 存储器数据(DQ)slice 8, bit 1 |
| LMU3_S8_DQ2 | D1 | B | | 通道 3 存储器数据(DQ)slice 8, bit 2 |
| LMU3_S8_DQ3 | D3 | B | | 通道 3 存储器数据(DQ)slice 8, bit 3 |
| LMU3_S8_DQ4 | G3 | B | | 通道 3 存储器数据(DQ)slice 8, bit 4 |
| LMU3_S8_DQ5 | E3 | B | | 通道 3 存储器数据(DQ)slice 8, bit 5 |
| LMU3_S8_DQ6 | G1 | B | | 通道 3 存储器数据(DQ)slice 8, bit 6 |
| LMU3_S8_DQ7 | D2 | B | | 通道 3 存储器数据(DQ)slice 8, bit 7 |
| LMU3_DQS0_C | F7 | B | | 通道 3 存储器负数据选通(DQS_c), bit 0 |
| LMU3_DQS9_C | E6 | B | | X4 模式:通道 3 存储器负数据选通(DQS_c), bit 0 X8 模式:通道 3 存储器负数据选通终端电阻(TDQS_c), bit 0 X16 模式:无效 |
| LMU3_DQS1_C | K2 | B | | 通道 3 存储器负数据选通(DQS_c), bit 1 |
| LMU3_DQS10_C | L2 | B | | X4 模式:通道 3 存储器负数据选通(DQS_c), bit 1 X8 模式:通道 3 存储器负数据选通终端电阻(TDQS_c), bit 1 X16 模式:无效 |
| LMU3_DQS2_C | E31 | B | | 通道 3 存储器负数据选通(DQS_c), bit 2 |

| | | | |
|--------------|-----|---|--|
| LMU3_DQS11_C | D30 | B | X4 模式:通道 3 存储器负数据选通(DQS_c), bit 2 X8 模式:通道 3 存储器负数据选通终端电阻(TDQS_c), bit 2 X16 模式:无效 |
| LMU3_DQS3_C | H31 | B | 通道 3 存储器负数据选通(DQS_c), bit 3 |
| LMU3_DQS12_C | G30 | B | X4 模式:通道 3 存储器负数据选通(DQS_c), bit 3 X8 模式:通道 3 存储器负数据选通终端电阻(TDQS_c), bit 3 X16 模式:无效 |
| LMU3_DQS4_C | L38 | B | 通道 3 存储器负数据选通(DQS_c), bit 4 |
| LMU3_DQS13_C | K37 | B | X4 模式:通道 3 存储器负数据选通(DQS_c), bit 4 X8 模式:通道 3 存储器负数据选通终端电阻(TDQS_c), bit 4 X16 模式:无效 |
| LMU3_DQS5_C | L12 | B | 通道 3 存储器负数据选通(DQS_c), bit 5 |
| LMU3_DQS14_C | M11 | B | X4 模式:通道 3 存储器负数据选通(DQS_c), bit 5 X8 模式:通道 3 存储器负数据选通终端电阻(TDQS_c) X16 模式:无效 |
| LMU3_DQS6_C | P38 | B | 通道 3 存储器负数据选通(DQS_c), bit 6 |
| LMU3_DQS15_C | N37 | B | X4 模式:通道 3 存储器负数据选通(DQS_c), bit 6 X8 模式:通道 3 存储器负数据选通终端电阻(TDQS_c), bit 6 X16 模式:无效 |
| LMU3_DQS7_C | R2 | B | 通道 3 存储器负数据选通(DQS_c), bit 7 |
| LMU3_DQS16_C | T2 | B | X4 模式:通道 3 存储器负数据选通(DQS_c), bit 7 X8 模式:通道 3 存储器负数据选通终端电阻(TDQS_c), bit 7 X16 模式:无效 |
| LMU3_DQS8_C | E2 | B | 通道 3 存储器负数据选通(DQS_c), bit 8 |

| | | | | |
|---------------------------|-----|---|--|---|
| LMU3_DQS17_C | F2 | B | | X4 模式:通道 3 存储器负数据选通(DQS_c), bit 8 X8 模式:通道 3 存储器负数据选通终端电阻(TDQS_c), bit 8 X16 模式:无效 |
| LMU3_DQS0_T | E7 | B | | 通道 3 存储器正数据选通(DQS_t), bit 0 |
| LMU3_DQS9_T/DBI0_N/DM0_N | F6 | B | | X4 模式:通道 3 存储器正数据选通(DQS_t), bit 0 X8 模式:通道 3 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 0 X16 模式:无效 |
| LMU3_DQS1_T | K1 | B | | 通道 3 存储器正数据选通(DQS_t), bit 1 |
| LMU3_DQS10_T/DBI1_N/DM1_N | L1 | B | | X4 模式:通道 3 存储器正数据选通(DQS_t), bit 1 X8 模式:通道 3 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 1 X16 模式:无效 |
| LMU3_DQS2_T | D31 | B | | 通道 3 存储器正数据选通(DQS_t), bit 2 |
| LMU3_DQS11_T/DBI2_N/DM2_N | E30 | B | | X4 模式:通道 3 存储器正数据选通(DQS_t), bit 2 X8 模式:通道 3 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 2 X16 模式:无效 |
| LMU3_DQS3_T | G31 | B | | 通道 3 存储器正数据选通(DQS_t), bit 3 |
| LMU3_DQS12_T/DBI3_N/DM3_N | H30 | B | | X4 模式:通道 3 存储器正数据选通(DQS_t), bit 3 X8 模式:通道 3 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 3 X16 模式:无效 |
| LMU3_DQS4_T | K38 | B | | 通道 3 存储器正数据选通(DQS_t), bit 4 |
| LMU3_DQS13_T/DBI4_N/DM4_N | L37 | B | | X4 模式:通道 3 存储器正数据选通(DQS_t), bit 4 |

| | | | | |
|-------------------------------|-----|---|--|---|
| | | | | X8 模式:通道 3 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 4 X16 模式:无效 |
| LMU3_DQS5_T | L11 | B | | 通道 3 存储器正数据选通(DQS_t), bit 5 |
| LMU3_DQS14_T/DBI5_N/D M5_N | M12 | B | | X4 模式:通道 3 存储器正数据选通(DQS_t), bit 5 X8 模式:通道 3 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 5 X16 模式:无效 |
| LMU3_DQS6_T | N38 | B | | 通道 3 存储器正数据选通(DQS_t), bit 6 |
| LMU3_DQS15_T/DBI6_N/D M6_N | P37 | B | | X4 模式:通道 3 存储器正数据选通(DQS_t), bit 6 X8 模式:通道 3 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 6 X16 模式:无效 |
| LMU3_DQS7_T | R1 | B | | 通道 3 存储器正数据选通(DQS_t), bit 7 |
| LMU3_DQS16_T/DBI7_N/D M7_N | T1 | B | | X4 模式:通道 3 存储器正数据选通(DQS_t), bit 7 X8 模式:通道 3 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 7 X16 模式:无效 |
| LMU3_DQS8_T | E1 | B | | 通道 3 存储器正数据选通(DQS_t), bit 8 |
| LMU3_DQS17_T/DBI8_N/D M8_N | F1 | B | | X4 模式:通道 3 存储器正数据选通(DQS_t), bit 8 X8 模式:通道 3 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 8 X16 模式:无效 |
| LMU3_ODT0 | L24 | B | | 通道 3 存储器内置终结电阻(ODT), bit 0 |
| LMU3_ODT1 | G24 | B | | 通道 3 存储器内置终结电阻(ODT), bit 1 |
| LMU3_ODT2 | K24 | B | | 通道 3 存储器内置终结电阻(ODT), bit 2 |
| LMU3_ODT3 | K26 | B | | 通道 3 存储器内置终结电阻(ODT), bit 3 |

| | | | | |
|--------------------|------|---|--|----------------------------------|
| LMU3_PAR | L21 | B | | 通道 3 存储器奇偶校验(PAR) |
| LMU3_A16/RAS_N | G22 | B | | 通道 3 存储器行选通(RAS_n)/地址(A)bit 16 |
| LMU3_A14/WE_N | H23 | B | | 通道 3 存储器写使能(WE_n)/地址(A)bit 14 |
| LMU4_A0 | AH60 | B | | 通道 4 存储器地址(A), bit 0 |
| LMU4_A1 | AD59 | B | | 通道 4 存储器地址(A), bit 1 |
| LMU4_A10 | AJ59 | B | | 通道 4 存储器地址(A), bit 10 |
| LMU4_A11 | AC57 | B | | 通道 4 存储器地址(A), bit 11 |
| LMU4_A12 | AA59 | B | | 通道 4 存储器地址(A), bit 12 |
| LMU4_A13 | AH57 | B | | 通道 4 存储器地址(A), bit 13 |
| LMU4_A17 | AL59 | B | | 通道 4 存储器地址(A), bit 17 |
| LMU4_A2 | AD60 | B | | 通道 4 存储器地址(A), bit 2 |
| LMU4_A3 | AD57 | B | | 通道 4 存储器地址(A), bit 3 |
| LMU4_A4 | AC60 | B | | 通道 4 存储器地址(A), bit 4 |
| LMU4_A5 | AC59 | B | | 通道 4 存储器地址(A), bit 5 |
| LMU4_A6 | AD56 | B | | 通道 4 存储器地址(A), bit 6 |
| LMU4_A7 | AB59 | B | | 通道 4 存储器地址(A), bit 7 |
| LMU4_A8 | AB60 | B | | 通道 4 存储器地址(A), bit 8 |
| LMU4_A9 | AA60 | B | | 通道 4 存储器地址(A), bit 9 |
| LMU4_ACT_N | AB57 | B | | 通道 4 存储器激活(ACT_n) |
| LMU4_BA0 | AG56 | B | | 通道 4 存储器体地址(bank), bit 0 |
| LMU4_BA1 | AH59 | B | | 通道 4 存储器体地址(bank), bit 1 |
| LMU4_BG0 | AC56 | B | | 通道 4 存储器体组地址(BG), bit 0 |
| LMU4_BG1 | Y59 | B | | 通道 4 存储器体组地址(BG), bit 1 |
| LMU4_BP_ALERT_N | Y60 | B | | 通道 4 存储器警告(ALERT_n) |
| LMU4_BP_MEMRESET_L | Y56 | O | | 通道 4 存储器复位(RESET_n) |
| LMU4_BP_VREF | AR39 | P | | 通道 4 存储器参考电压(VREFCA) |
| LMU4_BP_ZN | AP38 | A | | 通道 4 存储器参考电阻(ZQ) |
| LMU4_C0 | AK57 | B | | 通道 4 存储器芯片地址(C), bit 0 |
| LMU4_C1 | AL57 | B | | 通道 4 存储器芯片地址(C), bit 1 |
| LMU4_C2 | AM59 | B | | 通道 4 存储器芯片地址(C), bit 2 |
| LMU4_A15/CAS_N | AJ56 | B | | 通道 4 存储器列选通(CAS_n)/地址(A), bit 15 |
| LMU4_CKE0 | AA57 | B | | 通道 4 存储器时钟使能(CKE), bit 0 |

| | | | | |
|-------------|------|---|--|------------------------------|
| LMU4_CKE1 | Y57 | B | | 通道 4 存储器时钟使能(CKE), bit 1 |
| LMU4_CKE2 | AB56 | B | | 通道 4 存储器时钟使能(CKE), bit 2 |
| LMU4_CKE3 | AA56 | B | | 通道 4 存储器时钟使能(CKE), bit 3 |
| LMU4_CLK0_C | AE57 | B | | 通道 4 存储器负时钟(CK_c), bit 0 |
| LMU4_CLK0_T | AE56 | B | | 通道 4 存储器正时钟(CK_t), bit 0 |
| LMU4_CLK1_C | AE60 | B | | 通道 4 存储器负时钟(CK_c), bit 1 |
| LMU4_CLK1_T | AE59 | B | | 通道 4 存储器正时钟(CK_t), bit 1 |
| LMU4_CLK2_C | AF57 | B | | 通道 4 存储器负时钟(CK_c), bit 2 |
| LMU4_CLK2_T | AF56 | B | | 通道 4 存储器正时钟(CK_t), bit 2 |
| LMU4_CLK3_C | AF60 | B | | 通道 4 存储器负时钟(CK_c), bit 3 |
| LMU4_CLK3_T | AF59 | B | | 通道 4 存储器正时钟(CK_t), bit 3 |
| LMU4_CS_N0 | AJ60 | B | | 通道 4 存储器片选(CS_n), bit 0 |
| LMU4_CS_N1 | AL60 | B | | 通道 4 存储器片选(CS_n), bit 1 |
| LMU4_CS_N2 | AK56 | B | | 通道 4 存储器片选(CS_n), bit 2 |
| LMU4_CS_N3 | AL56 | B | | 通道 4 存储器片选(CS_n), bit 3 |
| LMU4_D_OBV | AG60 | B | | 通道 4 存储器锁相环(PLL)观测信号 |
| LMU4_S0_DQ0 | E59 | B | | 通道 4 存储器数据(DQ)slice 0, bit 0 |
| LMU4_S0_DQ1 | F58 | B | | 通道 4 存储器数据(DQ)slice 0, bit 1 |
| LMU4_S0_DQ2 | H58 | B | | 通道 4 存储器数据(DQ)slice 0, bit 2 |
| LMU4_S0_DQ3 | H60 | B | | 通道 4 存储器数据(DQ)slice 0, bit 3 |
| LMU4_S0_DQ4 | E58 | B | | 通道 4 存储器数据(DQ)slice 0, bit 4 |
| LMU4_S0_DQ5 | E60 | B | | 通道 4 存储器数据(DQ)slice 0, bit 5 |
| LMU4_S0_DQ6 | H59 | B | | 通道 4 存储器数据(DQ)slice 0, bit 6 |
| LMU4_S0_DQ7 | G58 | B | | 通道 4 存储器数据(DQ)slice 0, bit 7 |
| LMU4_S1_DQ0 | P55 | B | | 通道 4 存储器数据(DQ)slice 1, bit 0 |
| LMU4_S1_DQ1 | V55 | B | | 通道 4 存储器数据(DQ)slice 1, bit 1 |
| LMU4_S1_DQ2 | V56 | B | | 通道 4 存储器数据(DQ)slice 1, bit 2 |
| LMU4_S1_DQ3 | P56 | B | | 通道 4 存储器数据(DQ)slice 1, bit 3 |
| LMU4_S1_DQ4 | N56 | B | | 通道 4 存储器数据(DQ)slice 1, bit 4 |
| LMU4_S1_DQ5 | U55 | B | | 通道 4 存储器数据(DQ)slice 1, bit 5 |
| LMU4_S1_DQ6 | U56 | B | | 通道 4 存储器数据(DQ)slice 1, bit 6 |
| LMU4_S1_DQ7 | N55 | B | | 通道 4 存储器数据(DQ)slice 1, bit 7 |
| LMU4_S2_DQ0 | K59 | B | | 通道 4 存储器数据(DQ)slice 2, bit 0 |
| LMU4_S2_DQ1 | L58 | B | | 通道 4 存储器数据(DQ)slice 2, bit 1 |
| LMU4_S2_DQ2 | N58 | B | | 通道 4 存储器数据(DQ)slice 2, bit 2 |

| | | | | |
|-------------|------|---|--|------------------------------|
| LMU4_S2_DQ3 | N60 | B | | 通道 4 存储器数据(DQ)slice 2, bit 3 |
| LMU4_S2_DQ4 | K58 | B | | 通道 4 存储器数据(DQ)slice 2, bit 4 |
| LMU4_S2_DQ5 | N59 | B | | 通道 4 存储器数据(DQ)slice 2, bit 5 |
| LMU4_S2_DQ6 | M58 | B | | 通道 4 存储器数据(DQ)slice 2, bit 6 |
| LMU4_S2_DQ7 | K60 | B | | 通道 4 存储器数据(DQ)slice 2, bit 7 |
| LMU4_S3_DQ0 | AP50 | B | | 通道 4 存储器数据(DQ)slice 3, bit 0 |
| LMU4_S3_DQ1 | AP49 | B | | 通道 4 存储器数据(DQ)slice 3, bit 1 |
| LMU4_S3_DQ2 | AV49 | B | | 通道 4 存储器数据(DQ)slice 3, bit 2 |
| LMU4_S3_DQ3 | AV50 | B | | 通道 4 存储器数据(DQ)slice 3, bit 3 |
| LMU4_S3_DQ4 | AN49 | B | | 通道 4 存储器数据(DQ)slice 3, bit 4 |
| LMU4_S3_DQ5 | AU50 | B | | 通道 4 存储器数据(DQ)slice 3, bit 5 |
| LMU4_S3_DQ6 | AU49 | B | | 通道 4 存储器数据(DQ)slice 3, bit 6 |
| LMU4_S3_DQ7 | AN50 | B | | 通道 4 存储器数据(DQ)slice 3, bit 7 |
| LMU4_S4_DQ0 | G55 | B | | 通道 4 存储器数据(DQ)slice 4, bit 0 |
| LMU4_S4_DQ1 | L55 | B | | 通道 4 存储器数据(DQ)slice 4, bit 1 |
| LMU4_S4_DQ2 | L56 | B | | 通道 4 存储器数据(DQ)slice 4, bit 2 |
| LMU4_S4_DQ3 | G56 | B | | 通道 4 存储器数据(DQ)slice 4, bit 3 |
| LMU4_S4_DQ4 | F56 | B | | 通道 4 存储器数据(DQ)slice 4, bit 4 |
| LMU4_S4_DQ5 | K55 | B | | 通道 4 存储器数据(DQ)slice 4, bit 5 |
| LMU4_S4_DQ6 | K56 | B | | 通道 4 存储器数据(DQ)slice 4, bit 6 |
| LMU4_S4_DQ7 | F55 | B | | 通道 4 存储器数据(DQ)slice 4, bit 7 |
| LMU4_S5_DQ0 | AP59 | B | | 通道 4 存储器数据(DQ)slice 5, bit 0 |
| LMU4_S5_DQ1 | AU60 | B | | 通道 4 存储器数据(DQ)slice 5, bit 1 |
| LMU4_S5_DQ2 | AR58 | B | | 通道 4 存储器数据(DQ)slice 5, bit 2 |
| LMU4_S5_DQ3 | AU58 | B | | 通道 4 存储器数据(DQ)slice 5, bit 3 |
| LMU4_S5_DQ4 | AP58 | B | | 通道 4 存储器数据(DQ)slice 5, bit 4 |
| LMU4_S5_DQ5 | AU59 | B | | 通道 4 存储器数据(DQ)slice 5, bit 5 |
| LMU4_S5_DQ6 | AT58 | B | | 通道 4 存储器数据(DQ)slice 5, bit 6 |
| LMU4_S5_DQ7 | AP60 | B | | 通道 4 存储器数据(DQ)slice 5, bit 7 |
| LMU4_S6_DQ0 | BA50 | B | | 通道 4 存储器数据(DQ)slice 6, bit 0 |
| LMU4_S6_DQ1 | BE50 | B | | 通道 4 存储器数据(DQ)slice 6, bit 1 |
| LMU4_S6_DQ2 | BA49 | B | | 通道 4 存储器数据(DQ)slice 6, bit 2 |
| LMU4_S6_DQ3 | BE49 | B | | 通道 4 存储器数据(DQ)slice 6, bit 3 |
| LMU4_S6_DQ4 | AY49 | B | | 通道 4 存储器数据(DQ)slice 6, bit 4 |
| LMU4_S6_DQ5 | BD50 | B | | 通道 4 存储器数据(DQ)slice 6, bit 5 |

| | | | | |
|--------------|------|---|--|--|
| LMU4_S6_DQ6 | BD49 | B | | 通道 4 存储器数据(DQ)slice 6, bit 6 |
| LMU4_S6_DQ7 | AY50 | B | | 通道 4 存储器数据(DQ)slice 6, bit 7 |
| LMU4_S7_DQ0 | AW59 | B | | 通道 4 存储器数据(DQ)slice 7, bit 0 |
| LMU4_S7_DQ1 | BB60 | B | | 通道 4 存储器数据(DQ)slice 7, bit 1 |
| LMU4_S7_DQ2 | AY58 | B | | 通道 4 存储器数据(DQ)slice 7, bit 2 |
| LMU4_S7_DQ3 | BB58 | B | | 通道 4 存储器数据(DQ)slice 7, bit 3 |
| LMU4_S7_DQ4 | AW58 | B | | 通道 4 存储器数据(DQ)slice 7, bit 4 |
| LMU4_S7_DQ5 | BB59 | B | | 通道 4 存储器数据(DQ)slice 7, bit 5 |
| LMU4_S7_DQ6 | BA58 | B | | 通道 4 存储器数据(DQ)slice 7, bit 6 |
| LMU4_S7_DQ7 | AW60 | B | | 通道 4 存储器数据(DQ)slice 7, bit 7 |
| LMU4_S8_DQ0 | R59 | B | | 通道 4 存储器数据(DQ)slice 8, bit 0 |
| LMU4_S8_DQ1 | T58 | B | | 通道 4 存储器数据(DQ)slice 8, bit 1 |
| LMU4_S8_DQ2 | V58 | B | | 通道 4 存储器数据(DQ)slice 8, bit 2 |
| LMU4_S8_DQ3 | V60 | B | | 通道 4 存储器数据(DQ)slice 8, bit 3 |
| LMU4_S8_DQ4 | R58 | B | | 通道 4 存储器数据(DQ)slice 8, bit 4 |
| LMU4_S8_DQ5 | R60 | B | | 通道 4 存储器数据(DQ)slice 8, bit 5 |
| LMU4_S8_DQ6 | V59 | B | | 通道 4 存储器数据(DQ)slice 8, bit 6 |
| LMU4_S8_DQ7 | U58 | B | | 通道 4 存储器数据(DQ)slice 8, bit 7 |
| LMU4_DQS0_C | G59 | B | | 通道 4 存储器负数据选通(DQS_c), bit 0 |
| LMU4_DQS9_C | F59 | B | | X4 模式:通道 4 存储器负数据选通(DQS_c), bit 0 X8 模式:通道 4 存储器负数据选通终端电阻(TDQS_c), bit 0 X16 模式:无效 |
| LMU4_DQS1_C | T56 | B | | 通道 4 存储器负数据选通(DQS_c), bit 1 |
| LMU4_DQS10_C | R55 | B | | X4 模式:通道 4 存储器负数据选通(DQS_c), bit 1 X8 模式:通道 4 存储器负数据选通终端电阻(TDQS_c), bit 1 X16 模式:无效 |
| LMU4_DQS2_C | M59 | B | | 通道 4 存储器负数据选通(DQS_c), bit 2 |
| LMU4_DQS11_C | L59 | B | | X4 模式:通道 4 存储器负数据选通(DQS_c), bit 2 X8 模式:通道 4 存储器负数据选通终端电阻(TDQS_c), bit 2 |

| | | | | |
|--------------|------|---|--|--|
| | | | | X16 模式:无效 |
| LMU4_DQS3_C | AT49 | B | | 通道 4 存储器负数据选通(DQS_c), bit 3 |
| LMU4_DQS12_C | AR50 | B | | X4 模式:通道 4 存储器负数据选通(DQS_c), bit 3 X8 模式:通道 4 存储器负数据选通终端电阻(TDQS_c), bit 3 X16 模式:无效 |
| LMU4_DQS4_C | J56 | B | | 通道 4 存储器负数据选通(DQS_c), bit 4 |
| LMU4_DQS13_C | H55 | B | | X4 模式:通道 4 存储器负数据选通(DQS_c), bit 4 X8 模式:通道 4 存储器负数据选通终端电阻(TDQS_c), bit 4 X16 模式:无效 |
| LMU4_DQS5_C | AT59 | B | | 通道 4 存储器负数据选通(DQS_c), bit 5 |
| LMU4_DQS14_C | AR59 | B | | X4 模式:通道 4 存储器负数据选通(DQS_c), bit 5 X8 模式:通道 4 存储器负数据选通终端电阻(TDQS_c) X16 模式:无效 |
| LMU4_DQS6_C | BC49 | B | | 通道 4 存储器负数据选通(DQS_c), bit 6 |
| LMU4_DQS15_C | BB50 | B | | X4 模式:通道 4 存储器负数据选通(DQS_c), bit 6 X8 模式:通道 4 存储器负数据选通终端电阻(TDQS_c), bit 6 X16 模式:无效 |
| LMU4_DQS7_C | BA59 | B | | 通道 4 存储器负数据选通(DQS_c), bit 7 |
| LMU4_DQS16_C | AY59 | B | | X4 模式:通道 4 存储器负数据选通(DQS_c), bit 7 X8 模式:通道 4 存储器负数据选通终端电阻(TDQS_c), bit 7 X16 模式:无效 |
| LMU4_DQS8_C | U59 | B | | 通道 4 存储器负数据选通(DQS_c), bit 8 |
| LMU4_DQS17_C | T59 | B | | X4 模式:通道 4 存储器负数据选通(DQS_c), bit 8 X8 模式:通道 4 存储器负数据选通终端电阻(TDQS_c), bit 8 |

| | | | | |
|---------------------------|------|---|--|---|
| | | | | X16 模式:无效 |
| LMU4_DQS0_T | G60 | B | | 通道 4 存储器正数据选通(DQS_t), bit 0 |
| LMU4_DQS9_T/DBI0_N/DM0_N | F60 | B | | X4 模式:通道 4 存储器正数据选通(DQS_t), bit 0 X8 模式:通道 4 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 0 X16 模式:无效 |
| LMU4_DQS1_T | T55 | B | | 通道 4 存储器正数据选通(DQS_t), bit 1 |
| LMU4_DQS10_T/DBI1_N/DM1_N | R56 | B | | X4 模式:通道 4 存储器正数据选通(DQS_t), bit 1 X8 模式:通道 4 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 1 X16 模式:无效 |
| LMU4_DQS2_T | M60 | B | | 通道 4 存储器正数据选通(DQS_t), bit 2 |
| LMU4_DQS11_T/DBI2_N/DM2_N | L60 | B | | X4 模式:通道 4 存储器正数据选通(DQS_t), bit 2 X8 模式:通道 4 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 2 X16 模式:无效 |
| LMU4_DQS3_T | AT50 | B | | 通道 4 存储器正数据选通(DQS_t), bit 3 |
| LMU4_DQS12_T/DBI3_N/DM3_N | AR49 | B | | X4 模式:通道 4 存储器正数据选通(DQS_t), bit 3 X8 模式:通道 4 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 3 X16 模式:无效 |
| LMU4_DQS4_T | J55 | B | | 通道 4 存储器正数据选通(DQS_t), bit 4 |
| LMU4_DQS13_T/DBI4_N/DM4_N | H56 | B | | X4 模式:通道 4 存储器正数据选通(DQS_t), bit 4 X8 模式:通道 4 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 4 X16 模式:无效 |

| | | | | |
|-------------------------------|------|---|--|---|
| LMU4_DQS5_T | AT60 | B | | 通道 4 存储器正数据选通(DQS_t), bit 5 |
| LMU4_DQS14_T/DBI5_N/D M5_N | AR60 | B | | X4 模式:通道 4 存储器正数据选通(DQS_t), bit 5 X8 模式:通道 4 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 5 X16 模式:无效 |
| LMU4_DQS6_T | BC50 | B | | 通道 4 存储器正数据选通(DQS_t), bit 6 |
| LMU4_DQS15_T/DBI6_N/D M6_N | BB49 | B | | X4 模式:通道 4 存储器正数据选通(DQS_t), bit 6 X8 模式:通道 4 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 6 X16 模式:无效 |
| LMU4_DQS7_T | BA60 | B | | 通道 4 存储器正数据选通(DQS_t), bit 7 |
| LMU4_DQS16_T/DBI7_N/D M7_N | AY60 | B | | X4 模式:通道 4 存储器正数据选通(DQS_t), bit 7 X8 模式:通道 4 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 7 X16 模式:无效 |
| LMU4_DQS8_T | U60 | B | | 通道 4 存储器正数据选通(DQS_t), bit 8 |
| LMU4_DQS17_T/DBI8_N/D M8_N | T60 | B | | X4 模式:通道 4 存储器正数据选通(DQS_t), bit 8 X8 模式:通道 4 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 8 X16 模式:无效 |
| LMU4_ODT0 | AK59 | B | | 通道 4 存储器内置终结电阻(ODT), bit 0 |
| LMU4_ODT1 | AJ57 | B | | 通道 4 存储器内置终结电阻(ODT), bit 1 |
| LMU4_ODT2 | AK60 | B | | 通道 4 存储器内置终结电阻(ODT), bit 2 |
| LMU4_ODT3 | AM60 | B | | 通道 4 存储器内置终结电阻(ODT), bit 3 |
| LMU4_PAR | AG59 | B | | 通道 4 存储器奇偶校验(PAR) |
| LMU4_A16/RAS_N | AG57 | B | | 通道 4 存储器行选通(RAS_n)/地址(A)bit 16 |
| LMU4_A14/WE_N | AH56 | B | | 通道 4 存储器写使能(WE_n)/地址(A)bit |

| | | | | |
|--------------------|------|---|--|----------------------------------|
| | | | | 14 |
| LMU5_A0 | BL39 | B | | 通道 5 存储器地址(A), bit 0 |
| LMU5_A1 | BK43 | B | | 通道 5 存储器地址(A), bit 1 |
| LMU5_A10 | BK38 | B | | 通道 5 存储器地址(A), bit 10 |
| LMU5_A11 | BP43 | B | | 通道 5 存储器地址(A), bit 11 |
| LMU5_A12 | BK46 | B | | 通道 5 存储器地址(A), bit 12 |
| LMU5_A13 | BP38 | B | | 通道 5 存储器地址(A), bit 13 |
| LMU5_A17 | BK36 | B | | 通道 5 存储器地址(A), bit 17 |
| LMU5_A2 | BL43 | B | | 通道 5 存储器地址(A), bit 2 |
| LMU5_A3 | BP42 | B | | 通道 5 存储器地址(A), bit 3 |
| LMU5_A4 | BL44 | B | | 通道 5 存储器地址(A), bit 4 |
| LMU5_A5 | BK44 | B | | 通道 5 存储器地址(A), bit 5 |
| LMU5_A6 | BN42 | B | | 通道 5 存储器地址(A), bit 6 |
| LMU5_A7 | BK45 | B | | 通道 5 存储器地址(A), bit 7 |
| LMU5_A8 | BL45 | B | | 通道 5 存储器地址(A), bit 8 |
| LMU5_A9 | BL46 | B | | 通道 5 存储器地址(A), bit 9 |
| LMU5_ACT_N | BP44 | B | | 通道 5 存储器激活(ACT_n) |
| LMU5_BA0 | BN39 | B | | 通道 5 存储器体地址(bank), bit 0 |
| LMU5_BA1 | BK39 | B | | 通道 5 存储器体地址(bank), bit 1 |
| LMU5_BG0 | BN43 | B | | 通道 5 存储器体组地址(BG), bit 0 |
| LMU5_BG1 | BK47 | B | | 通道 5 存储器体组地址(BG), bit 1 |
| LMU5_BP_ALERT_N | BL47 | B | | 通道 5 存储器警告(ALERT_n) |
| LMU5_BP_MEMRESET_L | BN46 | O | | 通道 5 存储器复位(RESET_n) |
| LMU5_BP_VREF | AV36 | P | | 通道 5 存储器参考电压(VREFCA) |
| LMU5_BP_ZN | AW36 | A | | 通道 5 存储器参考电阻(ZQ) |
| LMU5_C0 | BP36 | B | | 通道 5 存储器芯片地址(C), bit 0 |
| LMU5_C1 | BP35 | B | | 通道 5 存储器芯片地址(C), bit 1 |
| LMU5_C2 | BK35 | B | | 通道 5 存储器芯片地址(C), bit 2 |
| LMU5_A15/CAS_N | BN37 | B | | 通道 5 存储器列选通(CAS_n)/地址(A), bit 15 |
| LMU5_CKE0 | BP45 | B | | 通道 5 存储器时钟使能(CKE), bit 0 |
| LMU5_CKE1 | BP46 | B | | 通道 5 存储器时钟使能(CKE), bit 1 |
| LMU5_CKE2 | BN44 | B | | 通道 5 存储器时钟使能(CKE), bit 2 |
| LMU5_CKE3 | BN45 | B | | 通道 5 存储器时钟使能(CKE), bit 3 |
| LMU5_CLK0_C | BP41 | B | | 通道 5 存储器负时钟(CK_c), bit 0 |

| | | | | |
|-------------|------|---|--|------------------------------|
| LMU5_CLK0_T | BN41 | B | | 通道 5 存储器正时钟(CK_t), bit 0 |
| LMU5_CLK1_C | BL42 | B | | 通道 5 存储器负时钟(CK_c), bit 1 |
| LMU5_CLK1_T | BK42 | B | | 通道 5 存储器正时钟(CK_t), bit 1 |
| LMU5_CLK2_C | BP40 | B | | 通道 5 存储器负时钟(CK_c), bit 2 |
| LMU5_CLK2_T | BN40 | B | | 通道 5 存储器正时钟(CK_t), bit 2 |
| LMU5_CLK3_C | BL41 | B | | 通道 5 存储器负时钟(CK_c), bit 3 |
| LMU5_CLK3_T | BK41 | B | | 通道 5 存储器正时钟(CK_t), bit 3 |
| LMU5_CS_N0 | BL38 | B | | 通道 5 存储器片选(CS_n), bit 0 |
| LMU5_CS_N1 | BL36 | B | | 通道 5 存储器片选(CS_n), bit 1 |
| LMU5_CS_N2 | BN36 | B | | 通道 5 存储器片选(CS_n), bit 2 |
| LMU5_CS_N3 | BN35 | B | | 通道 5 存储器片选(CS_n), bit 3 |
| LMU5_D_OBV | BL40 | B | | 通道 5 存储器锁相环(PLL)观测信号 |
| LMU5_S0_DQ0 | BT56 | B | | 通道 5 存储器数据(DQ)slice 0, bit 0 |
| LMU5_S0_DQ1 | BR56 | B | | 通道 5 存储器数据(DQ)slice 0, bit 1 |
| LMU5_S0_DQ2 | BT53 | B | | 通道 5 存储器数据(DQ)slice 0, bit 2 |
| LMU5_S0_DQ3 | BR53 | B | | 通道 5 存储器数据(DQ)slice 0, bit 3 |
| LMU5_S0_DQ4 | BP56 | B | | 通道 5 存储器数据(DQ)slice 0, bit 4 |
| LMU5_S0_DQ5 | BP54 | B | | 通道 5 存储器数据(DQ)slice 0, bit 5 |
| LMU5_S0_DQ6 | BP55 | B | | 通道 5 存储器数据(DQ)slice 0, bit 6 |
| LMU5_S0_DQ7 | BP53 | B | | 通道 5 存储器数据(DQ)slice 0, bit 7 |
| LMU5_S1_DQ0 | BJ59 | B | | 通道 5 存储器数据(DQ)slice 1, bit 0 |
| LMU5_S1_DQ1 | BM60 | B | | 通道 5 存储器数据(DQ)slice 1, bit 1 |
| LMU5_S1_DQ2 | BK58 | B | | 通道 5 存储器数据(DQ)slice 1, bit 2 |
| LMU5_S1_DQ3 | BM58 | B | | 通道 5 存储器数据(DQ)slice 1, bit 3 |
| LMU5_S1_DQ4 | BJ58 | B | | 通道 5 存储器数据(DQ)slice 1, bit 4 |
| LMU5_S1_DQ5 | BJ60 | B | | 通道 5 存储器数据(DQ)slice 1, bit 5 |
| LMU5_S1_DQ6 | BL58 | B | | 通道 5 存储器数据(DQ)slice 1, bit 6 |
| LMU5_S1_DQ7 | BM59 | B | | 通道 5 存储器数据(DQ)slice 1, bit 7 |
| LMU5_S2_DQ0 | BT32 | B | | 通道 5 存储器数据(DQ)slice 2, bit 0 |
| LMU5_S2_DQ1 | BU28 | B | | 通道 5 存储器数据(DQ)slice 2, bit 1 |
| LMU5_S2_DQ2 | BU32 | B | | 通道 5 存储器数据(DQ)slice 2, bit 2 |
| LMU5_S2_DQ3 | BT28 | B | | 通道 5 存储器数据(DQ)slice 2, bit 3 |
| LMU5_S2_DQ4 | BT33 | B | | 通道 5 存储器数据(DQ)slice 2, bit 4 |
| LMU5_S2_DQ5 | BU29 | B | | 通道 5 存储器数据(DQ)slice 2, bit 5 |
| LMU5_S2_DQ6 | BU33 | B | | 通道 5 存储器数据(DQ)slice 2, bit 6 |

| | | | | |
|-------------|------|---|--|------------------------------|
| LMU5_S2_DQ7 | BT29 | B | | 通道 5 存储器数据(DQ)slice 2, bit 7 |
| LMU5_S3_DQ0 | BP32 | B | | 通道 5 存储器数据(DQ)slice 3, bit 0 |
| LMU5_S3_DQ1 | BP28 | B | | 通道 5 存储器数据(DQ)slice 3, bit 1 |
| LMU5_S3_DQ2 | BN28 | B | | 通道 5 存储器数据(DQ)slice 3, bit 2 |
| LMU5_S3_DQ3 | BN32 | B | | 通道 5 存储器数据(DQ)slice 3, bit 3 |
| LMU5_S3_DQ4 | BN33 | B | | 通道 5 存储器数据(DQ)slice 3, bit 4 |
| LMU5_S3_DQ5 | BP29 | B | | 通道 5 存储器数据(DQ)slice 3, bit 5 |
| LMU5_S3_DQ6 | BP33 | B | | 通道 5 存储器数据(DQ)slice 3, bit 6 |
| LMU5_S3_DQ7 | BN29 | B | | 通道 5 存储器数据(DQ)slice 3, bit 7 |
| LMU5_S4_DQ0 | BK25 | B | | 通道 5 存储器数据(DQ)slice 4, bit 0 |
| LMU5_S4_DQ1 | BK21 | B | | 通道 5 存储器数据(DQ)slice 4, bit 1 |
| LMU5_S4_DQ2 | BL25 | B | | 通道 5 存储器数据(DQ)slice 4, bit 2 |
| LMU5_S4_DQ3 | BL21 | B | | 通道 5 存储器数据(DQ)slice 4, bit 3 |
| LMU5_S4_DQ4 | BK26 | B | | 通道 5 存储器数据(DQ)slice 4, bit 4 |
| LMU5_S4_DQ5 | BL22 | B | | 通道 5 存储器数据(DQ)slice 4, bit 5 |
| LMU5_S4_DQ6 | BL26 | B | | 通道 5 存储器数据(DQ)slice 4, bit 6 |
| LMU5_S4_DQ7 | BK22 | B | | 通道 5 存储器数据(DQ)slice 4, bit 7 |
| LMU5_S5_DQ0 | BH50 | B | | 通道 5 存储器数据(DQ)slice 5, bit 0 |
| LMU5_S5_DQ1 | BH49 | B | | 通道 5 存储器数据(DQ)slice 5, bit 1 |
| LMU5_S5_DQ2 | BM50 | B | | 通道 5 存储器数据(DQ)slice 5, bit 2 |
| LMU5_S5_DQ3 | BM49 | B | | 通道 5 存储器数据(DQ)slice 5, bit 3 |
| LMU5_S5_DQ4 | BG49 | B | | 通道 5 存储器数据(DQ)slice 5, bit 4 |
| LMU5_S5_DQ5 | BL50 | B | | 通道 5 存储器数据(DQ)slice 5, bit 5 |
| LMU5_S5_DQ6 | BL49 | B | | 通道 5 存储器数据(DQ)slice 5, bit 6 |
| LMU5_S5_DQ7 | BG50 | B | | 通道 5 存储器数据(DQ)slice 5, bit 7 |
| LMU5_S6_DQ0 | BH25 | B | | 通道 5 存储器数据(DQ)slice 6, bit 0 |
| LMU5_S6_DQ1 | BH21 | B | | 通道 5 存储器数据(DQ)slice 6, bit 1 |
| LMU5_S6_DQ2 | BG21 | B | | 通道 5 存储器数据(DQ)slice 6, bit 2 |
| LMU5_S6_DQ3 | BG25 | B | | 通道 5 存储器数据(DQ)slice 6, bit 3 |
| LMU5_S6_DQ4 | BG26 | B | | 通道 5 存储器数据(DQ)slice 6, bit 4 |
| LMU5_S6_DQ5 | BH22 | B | | 通道 5 存储器数据(DQ)slice 6, bit 5 |
| LMU5_S6_DQ6 | BH26 | B | | 通道 5 存储器数据(DQ)slice 6, bit 6 |
| LMU5_S6_DQ7 | BG22 | B | | 通道 5 存储器数据(DQ)slice 6, bit 7 |
| LMU5_S7_DQ0 | BD59 | B | | 通道 5 存储器数据(DQ)slice 7, bit 0 |
| LMU5_S7_DQ1 | BG60 | B | | 通道 5 存储器数据(DQ)slice 7, bit 1 |

| | | | | |
|--------------|------|---|--|--|
| LMU5_S7_DQ2 | BE58 | B | | 通道 5 存储器数据(DQ)slice 7, bit 2 |
| LMU5_S7_DQ3 | BG58 | B | | 通道 5 存储器数据(DQ)slice 7, bit 3 |
| LMU5_S7_DQ4 | BD58 | B | | 通道 5 存储器数据(DQ)slice 7, bit 4 |
| LMU5_S7_DQ5 | BD60 | B | | 通道 5 存储器数据(DQ)slice 7, bit 5 |
| LMU5_S7_DQ6 | BF58 | B | | 通道 5 存储器数据(DQ)slice 7, bit 6 |
| LMU5_S7_DQ7 | BG59 | B | | 通道 5 存储器数据(DQ)slice 7, bit 7 |
| LMU5_S8_DQ0 | BP59 | B | | 通道 5 存储器数据(DQ)slice 8, bit 0 |
| LMU5_S8_DQ1 | BR58 | B | | 通道 5 存储器数据(DQ)slice 8, bit 1 |
| LMU5_S8_DQ2 | BU60 | B | | 通道 5 存储器数据(DQ)slice 8, bit 2 |
| LMU5_S8_DQ3 | BU58 | B | | 通道 5 存储器数据(DQ)slice 8, bit 3 |
| LMU5_S8_DQ4 | BP58 | B | | 通道 5 存储器数据(DQ)slice 8, bit 4 |
| LMU5_S8_DQ5 | BT58 | B | | 通道 5 存储器数据(DQ)slice 8, bit 5 |
| LMU5_S8_DQ6 | BP60 | B | | 通道 5 存储器数据(DQ)slice 8, bit 6 |
| LMU5_S8_DQ7 | BU59 | B | | 通道 5 存储器数据(DQ)slice 8, bit 7 |
| LMU5_DQS0_C | BR54 | B | | 通道 5 存储器负数据选通(DQS_c), bit 0 |
| LMU5_DQS9_C | BT55 | B | | X4 模式:通道 5 存储器负数据选通(DQS_c), bit 0 X8 模式:通道 5 存储器负数据选通终端电阻(TDQS_c), bit 0 X16 模式:无效 |
| LMU5_DQS1_C | BL59 | B | | 通道 5 存储器负数据选通(DQS_c), bit 1 |
| LMU5_DQS10_C | BK59 | B | | X4 模式:通道 5 存储器负数据选通(DQS_c), bit 1 X8 模式:通道 5 存储器负数据选通终端电阻(TDQS_c), bit 1 X16 模式:无效 |
| LMU5_DQS2_C | BT30 | B | | 通道 5 存储器负数据选通(DQS_c), bit 2 |
| LMU5_DQS11_C | BU31 | B | | X4 模式:通道 5 存储器负数据选通(DQS_c), bit 2 X8 模式:通道 5 存储器负数据选通终端电阻(TDQS_c), bit 2 X16 模式:无效 |
| LMU5_DQS3_C | BN30 | B | | 通道 5 存储器负数据选通(DQS_c), bit 3 |
| LMU5_DQS12_C | BP31 | B | | X4 模式:通道 5 存储器负数据选通(DQS_c), bit 3 X8 模式:通道 5 存储器负数据选通终端 |

| | | | | |
|--------------------------|------|---|--|---|
| | | | | 电阻(TDQS_c) , bit 3 X16 模式:无效 |
| LMU5_DQS4_C | BK23 | B | | 通道 5 存储器负数据选通(DQS_c), bit 4 |
| LMU5_DQS13_C | BL24 | B | | X4 模式:通道 5 存储器负数据选通(DQS_c), bit 4 X8 模式:通道 5 存储器负数据选通终端电阻(TDQS_c) , bit 4 X16 模式:无效 |
| LMU5_DQS5_C | BK49 | B | | 通道 5 存储器负数据选通(DQS_c), bit 5 |
| LMU5_DQS14_C | BJ50 | B | | X4 模式:通道 5 存储器负数据选通(DQS_c), bit 5 X8 模式:通道 5 存储器负数据选通终端电阻(TDQS_c) X16 模式:无效 |
| LMU5_DQS6_C | BG23 | B | | 通道 5 存储器负数据选通(DQS_c), bit 6 |
| LMU5_DQS15_C | BH24 | B | | X4 模式:通道 5 存储器负数据选通(DQS_c), bit 6 X8 模式:通道 5 存储器负数据选通终端电阻(TDQS_c) , bit 6 X16 模式:无效 |
| LMU5_DQS7_C | BF59 | B | | 通道 5 存储器负数据选通(DQS_c), bit 7 |
| LMU5_DQS16_C | BE59 | B | | X4 模式:通道 5 存储器负数据选通(DQS_c), bit 7 X8 模式:通道 5 存储器负数据选通终端电阻(TDQS_c) , bit 7 X16 模式:无效 |
| LMU5_DQS8_C | BT59 | B | | 通道 5 存储器负数据选通(DQS_c), bit 8 |
| LMU5_DQS17_C | BR59 | B | | X4 模式:通道 5 存储器负数据选通(DQS_c), bit 8 X8 模式:通道 5 存储器负数据选通终端电阻(TDQS_c) , bit 8 X16 模式:无效 |
| LMU5_DQS0_T | BT54 | B | | 通道 5 存储器正数据选通(DQS_t), bit 0 |
| LMU5_DQS9_T/DBI0_N/DM0_N | BR55 | B | | X4 模式:通道 5 存储器正数据选通(DQS_t), bit 0 X8 模式:通道 5 存储器数据掩码(DM)/ |

| | | | | |
|-------------------------------|------|---|--|---|
| | | | | 数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 0 X16 模式:无效 |
| LMU5_DQS1_T | BL60 | B | | 通道 5 存储器正数据选通(DQS_t), bit 1 |
| LMU5_DQS10_T/DBI1_N/D M1_N | BK60 | B | | X4 模式:通道 5 存储器正数据选通(DQS_t), bit 1 X8 模式:通道 5 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 1 X16 模式:无效 |
| LMU5_DQS2_T | BU30 | B | | 通道 5 存储器正数据选通(DQS_t), bit 2 |
| LMU5_DQS11_T/DBI2_N/D M2_N | BT31 | B | | X4 模式:通道 5 存储器正数据选通(DQS_t), bit 2 X8 模式:通道 5 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 2 X16 模式:无效 |
| LMU5_DQS3_T | BP30 | B | | 通道 5 存储器正数据选通(DQS_t), bit 3 |
| LMU5_DQS12_T/DBI3_N/D M3_N | BN31 | B | | X4 模式:通道 5 存储器正数据选通(DQS_t), bit 3 X8 模式:通道 5 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 3 X16 模式:无效 |
| LMU5_DQS4_T | BL23 | B | | 通道 5 存储器正数据选通(DQS_t), bit 4 |
| LMU5_DQS13_T/DBI4_N/D M4_N | BK24 | B | | X4 模式:通道 5 存储器正数据选通(DQS_t), bit 4 X8 模式:通道 5 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 4 X16 模式:无效 |
| LMU5_DQS5_T | BK50 | B | | 通道 5 存储器正数据选通(DQS_t), bit 5 |
| LMU5_DQS14_T/DBI5_N/D M5_N | BJ49 | B | | X4 模式:通道 5 存储器正数据选通(DQS_t), bit 5 X8 模式:通道 5 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻 |

| | | | | |
|-------------------------------|------|---|--|---|
| | | | | (TDQS_t), bit 5 X16 模式:无效 |
| LMU5_DQS6_T | BH23 | B | | 通道 5 存储器正数据选通(DQS_t), bit 6 |
| LMU5_DQS15_T/DBI6_N/D M6_N | BG24 | B | | X4 模式:通道 5 存储器正数据选通 (DQS_t), bit 6 X8 模式:通道 5 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 6 X16 模式:无效 |
| LMU5_DQS7_T | BF60 | B | | 通道 5 存储器正数据选通(DQS_t), bit 7 |
| LMU5_DQS16_T/DBI7_N/D M7_N | BE60 | B | | X4 模式:通道 5 存储器正数据选通 (DQS_t), bit 7 X8 模式:通道 5 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 7 X16 模式:无效 |
| LMU5_DQS8_T | BT60 | B | | 通道 5 存储器正数据选通(DQS_t), bit 8 |
| LMU5_DQS17_T/DBI8_N/D M8_N | BR60 | B | | X4 模式:通道 5 存储器正数据选通 (DQS_t), bit 8 X8 模式:通道 5 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 8 X16 模式:无效 |
| LMU5_ODT0 | BK37 | B | | 通道 5 存储器内置终结电阻(ODT), bit 0 |
| LMU5_ODT1 | BP37 | B | | 通道 5 存储器内置终结电阻(ODT), bit 1 |
| LMU5_ODT2 | BL37 | B | | 通道 5 存储器内置终结电阻(ODT), bit 2 |
| LMU5_ODT3 | BL35 | B | | 通道 5 存储器内置终结电阻(ODT), bit 3 |
| LMU5_PAR | BK40 | B | | 通道 5 存储器奇偶校验(PAR) |
| LMU5_A16/RAS_N | BP39 | B | | 通道 5 存储器行选通(RAS_n)/地址(A)bit 16 |
| LMU5_A14/WE_N | BN38 | B | | 通道 5 存储器写使能(WE_n)/地址(A)bit 14 |
| LMU6_A0 | AP10 | B | | 通道 6 存储器地址(A), bit 0 |
| LMU6_A1 | AV11 | B | | 通道 6 存储器地址(A), bit 1 |
| LMU6_A10 | AN11 | B | | 通道 6 存储器地址(A), bit 10 |
| LMU6_A11 | AV7 | B | | 通道 6 存储器地址(A), bit 11 |

| | | | | |
|--------------------|------|---|--|----------------------------------|
| LMU6_A12 | BA11 | B | | 通道 6 存储器地址(A), bit 12 |
| LMU6_A13 | AN7 | B | | 通道 6 存储器地址(A), bit 13 |
| LMU6_A17 | AL11 | B | | 通道 6 存储器地址(A), bit 17 |
| LMU6_A2 | AV10 | B | | 通道 6 存储器地址(A), bit 2 |
| LMU6_A3 | AU7 | B | | 通道 6 存储器地址(A), bit 3 |
| LMU6_A4 | AW10 | B | | 通道 6 存储器地址(A), bit 4 |
| LMU6_A5 | AW11 | B | | 通道 6 存储器地址(A), bit 5 |
| LMU6_A6 | AU8 | B | | 通道 6 存储器地址(A), bit 6 |
| LMU6_A7 | AY11 | B | | 通道 6 存储器地址(A), bit 7 |
| LMU6_A8 | AY10 | B | | 通道 6 存储器地址(A), bit 8 |
| LMU6_A9 | BA10 | B | | 通道 6 存储器地址(A), bit 9 |
| LMU6_ACT_N | AW7 | B | | 通道 6 存储器激活(ACT_n) |
| LMU6_BA0 | AP8 | B | | 通道 6 存储器体地址(bank), bit 0 |
| LMU6_BA1 | AP11 | B | | 通道 6 存储器体地址(bank), bit 1 |
| LMU6_BG0 | AV8 | B | | 通道 6 存储器体组地址(BG), bit 0 |
| LMU6_BG1 | BB11 | B | | 通道 6 存储器体组地址(BG), bit 1 |
| LMU6_BP_ALERT_N | BB10 | B | | 通道 6 存储器警告(ALERT_n) |
| LMU6_BP_MEMRESET_L | BA8 | O | | 通道 6 存储器复位(RESET_n) |
| LMU6_BP_VREF | AP22 | P | | 通道 6 存储器参考电压(VREFCA) |
| LMU6_BP_ZN | AP23 | A | | 通道 6 存储器参考电阻(ZQ) |
| LMU6_C0 | AL7 | B | | 通道 6 存储器芯片地址(C), bit 0 |
| LMU6_C1 | AK7 | B | | 通道 6 存储器芯片地址(C), bit 1 |
| LMU6_C2 | AK11 | B | | 通道 6 存储器芯片地址(C), bit 2 |
| LMU6_A15/CAS_N | AM8 | B | | 通道 6 存储器列选通(CAS_n)/地址(A), bit 15 |
| LMU6_CKE0 | AY7 | B | | 通道 6 存储器时钟使能(CKE), bit 0 |
| LMU6_CKE1 | BA7 | B | | 通道 6 存储器时钟使能(CKE), bit 1 |
| LMU6_CKE2 | AW8 | B | | 通道 6 存储器时钟使能(CKE), bit 2 |
| LMU6_CKE3 | AY8 | B | | 通道 6 存储器时钟使能(CKE), bit 3 |
| LMU6_CLK0_C | AT7 | B | | 通道 6 存储器负时钟(CK_c), bit 0 |
| LMU6_CLK0_T | AT8 | B | | 通道 6 存储器正时钟(CK_t), bit 0 |
| LMU6_CLK1_C | AU10 | B | | 通道 6 存储器负时钟(CK_c), bit 1 |
| LMU6_CLK1_T | AU11 | B | | 通道 6 存储器正时钟(CK_t), bit 1 |
| LMU6_CLK2_C | AR7 | B | | 通道 6 存储器负时钟(CK_c), bit 2 |
| LMU6_CLK2_T | AR8 | B | | 通道 6 存储器正时钟(CK_t), bit 2 |

| | | | | |
|-------------|------|---|--|------------------------------|
| LMU6_CLK3_C | AT10 | B | | 通道 6 存储器负时钟(CK_c), bit 3 |
| LMU6_CLK3_T | AT11 | B | | 通道 6 存储器正时钟(CK_t), bit 3 |
| LMU6_CS_N0 | AN10 | B | | 通道 6 存储器片选(CS_n), bit 0 |
| LMU6_CS_N1 | AL10 | B | | 通道 6 存储器片选(CS_n), bit 1 |
| LMU6_CS_N2 | AL8 | B | | 通道 6 存储器片选(CS_n), bit 2 |
| LMU6_CS_N3 | AK8 | B | | 通道 6 存储器片选(CS_n), bit 3 |
| LMU6_D_OBV | AR10 | B | | 通道 6 存储器锁相环(PLL)观测信号 |
| LMU6_S0_DQ0 | BG9 | B | | 通道 6 存储器数据(DQ)slice 0, bit 0 |
| LMU6_S0_DQ1 | BG8 | B | | 通道 6 存储器数据(DQ)slice 0, bit 1 |
| LMU6_S0_DQ2 | BC8 | B | | 通道 6 存储器数据(DQ)slice 0, bit 2 |
| LMU6_S0_DQ3 | BC9 | B | | 通道 6 存储器数据(DQ)slice 0, bit 3 |
| LMU6_S0_DQ4 | BH8 | B | | 通道 6 存储器数据(DQ)slice 0, bit 4 |
| LMU6_S0_DQ5 | BD9 | B | | 通道 6 存储器数据(DQ)slice 0, bit 5 |
| LMU6_S0_DQ6 | BD8 | B | | 通道 6 存储器数据(DQ)slice 0, bit 6 |
| LMU6_S0_DQ7 | BH9 | B | | 通道 6 存储器数据(DQ)slice 0, bit 7 |
| LMU6_S1_DQ0 | Y6 | B | | 通道 6 存储器数据(DQ)slice 1, bit 0 |
| LMU6_S1_DQ1 | T6 | B | | 通道 6 存储器数据(DQ)slice 1, bit 1 |
| LMU6_S1_DQ2 | Y5 | B | | 通道 6 存储器数据(DQ)slice 1, bit 2 |
| LMU6_S1_DQ3 | T5 | B | | 通道 6 存储器数据(DQ)slice 1, bit 3 |
| LMU6_S1_DQ4 | AA6 | B | | 通道 6 存储器数据(DQ)slice 1, bit 4 |
| LMU6_S1_DQ5 | U5 | B | | 通道 6 存储器数据(DQ)slice 1, bit 5 |
| LMU6_S1_DQ6 | AA5 | B | | 通道 6 存储器数据(DQ)slice 1, bit 6 |
| LMU6_S1_DQ7 | U6 | B | | 通道 6 存储器数据(DQ)slice 1, bit 7 |
| LMU6_S2_DQ0 | BW9 | B | | 通道 6 存储器数据(DQ)slice 2, bit 0 |
| LMU6_S2_DQ1 | BV9 | B | | 通道 6 存储器数据(DQ)slice 2, bit 1 |
| LMU6_S2_DQ2 | BU9 | B | | 通道 6 存储器数据(DQ)slice 2, bit 2 |
| LMU6_S2_DQ3 | BY7 | B | | 通道 6 存储器数据(DQ)slice 2, bit 3 |
| LMU6_S2_DQ4 | BY9 | B | | 通道 6 存储器数据(DQ)slice 2, bit 4 |
| LMU6_S2_DQ5 | BY8 | B | | 通道 6 存储器数据(DQ)slice 2, bit 5 |
| LMU6_S2_DQ6 | BU8 | B | | 通道 6 存储器数据(DQ)slice 2, bit 6 |
| LMU6_S2_DQ7 | BU7 | B | | 通道 6 存储器数据(DQ)slice 2, bit 7 |
| LMU6_S3_DQ0 | AG6 | B | | 通道 6 存储器数据(DQ)slice 3, bit 0 |
| LMU6_S3_DQ1 | AC6 | B | | 通道 6 存储器数据(DQ)slice 3, bit 1 |
| LMU6_S3_DQ2 | AG5 | B | | 通道 6 存储器数据(DQ)slice 3, bit 2 |
| LMU6_S3_DQ3 | AC5 | B | | 通道 6 存储器数据(DQ)slice 3, bit 3 |

| | | | | |
|-------------|-----|---|--|------------------------------|
| LMU6_S3_DQ4 | AH6 | B | | 通道 6 存储器数据(DQ)slice 3, bit 4 |
| LMU6_S3_DQ5 | AD5 | B | | 通道 6 存储器数据(DQ)slice 3, bit 5 |
| LMU6_S3_DQ6 | AH5 | B | | 通道 6 存储器数据(DQ)slice 3, bit 6 |
| LMU6_S3_DQ7 | AD6 | B | | 通道 6 存储器数据(DQ)slice 3, bit 7 |
| LMU6_S4_DQ0 | AG8 | B | | 通道 6 存储器数据(DQ)slice 4, bit 0 |
| LMU6_S4_DQ1 | AC9 | B | | 通道 6 存储器数据(DQ)slice 4, bit 1 |
| LMU6_S4_DQ2 | AG9 | B | | 通道 6 存储器数据(DQ)slice 4, bit 2 |
| LMU6_S4_DQ3 | AC8 | B | | 通道 6 存储器数据(DQ)slice 4, bit 3 |
| LMU6_S4_DQ4 | AH9 | B | | 通道 6 存储器数据(DQ)slice 4, bit 4 |
| LMU6_S4_DQ5 | AD9 | B | | 通道 6 存储器数据(DQ)slice 4, bit 5 |
| LMU6_S4_DQ6 | AH8 | B | | 通道 6 存储器数据(DQ)slice 4, bit 6 |
| LMU6_S4_DQ7 | AD8 | B | | 通道 6 存储器数据(DQ)slice 4, bit 7 |
| LMU6_S5_DQ0 | BY4 | B | | 通道 6 存储器数据(DQ)slice 5, bit 0 |
| LMU6_S5_DQ1 | BV5 | B | | 通道 6 存储器数据(DQ)slice 5, bit 1 |
| LMU6_S5_DQ2 | BU5 | B | | 通道 6 存储器数据(DQ)slice 5, bit 2 |
| LMU6_S5_DQ3 | BU4 | B | | 通道 6 存储器数据(DQ)slice 5, bit 3 |
| LMU6_S5_DQ4 | BY5 | B | | 通道 6 存储器数据(DQ)slice 5, bit 4 |
| LMU6_S5_DQ5 | BU3 | B | | 通道 6 存储器数据(DQ)slice 5, bit 5 |
| LMU6_S5_DQ6 | BV4 | B | | 通道 6 存储器数据(DQ)slice 5, bit 6 |
| LMU6_S5_DQ7 | BW5 | B | | 通道 6 存储器数据(DQ)slice 5, bit 7 |
| LMU6_S6_DQ0 | Y8 | B | | 通道 6 存储器数据(DQ)slice 6, bit 0 |
| LMU6_S6_DQ1 | T8 | B | | 通道 6 存储器数据(DQ)slice 6, bit 1 |
| LMU6_S6_DQ2 | Y9 | B | | 通道 6 存储器数据(DQ)slice 6, bit 2 |
| LMU6_S6_DQ3 | T9 | B | | 通道 6 存储器数据(DQ)slice 6, bit 3 |
| LMU6_S6_DQ4 | AA9 | B | | 通道 6 存储器数据(DQ)slice 6, bit 4 |
| LMU6_S6_DQ5 | U8 | B | | 通道 6 存储器数据(DQ)slice 6, bit 5 |
| LMU6_S6_DQ6 | U9 | B | | 通道 6 存储器数据(DQ)slice 6, bit 6 |
| LMU6_S6_DQ7 | AA8 | B | | 通道 6 存储器数据(DQ)slice 6, bit 7 |
| LMU6_S7_DQ0 | BP8 | B | | 通道 6 存储器数据(DQ)slice 7, bit 0 |
| LMU6_S7_DQ1 | BK9 | B | | 通道 6 存储器数据(DQ)slice 7, bit 1 |
| LMU6_S7_DQ2 | BK8 | B | | 通道 6 存储器数据(DQ)slice 7, bit 2 |
| LMU6_S7_DQ3 | BP9 | B | | 通道 6 存储器数据(DQ)slice 7, bit 3 |
| LMU6_S7_DQ4 | BR8 | B | | 通道 6 存储器数据(DQ)slice 7, bit 4 |
| LMU6_S7_DQ5 | BL9 | B | | 通道 6 存储器数据(DQ)slice 7, bit 5 |
| LMU6_S7_DQ6 | BL8 | B | | 通道 6 存储器数据(DQ)slice 7, bit 6 |

| | | | | |
|--------------|------|---|--|--|
| LMU6_S7_DQ7 | BR9 | B | | 通道 6 存储器数据(DQ)slice 7, bit 7 |
| LMU6_S8_DQ0 | BH11 | B | | 通道 6 存储器数据(DQ)slice 8, bit 0 |
| LMU6_S8_DQ1 | BD12 | B | | 通道 6 存储器数据(DQ)slice 8, bit 1 |
| LMU6_S8_DQ2 | BD11 | B | | 通道 6 存储器数据(DQ)slice 8, bit 2 |
| LMU6_S8_DQ3 | BH12 | B | | 通道 6 存储器数据(DQ)slice 8, bit 3 |
| LMU6_S8_DQ4 | BJ11 | B | | 通道 6 存储器数据(DQ)slice 8, bit 4 |
| LMU6_S8_DQ5 | BE12 | B | | 通道 6 存储器数据(DQ)slice 8, bit 5 |
| LMU6_S8_DQ6 | BE11 | B | | 通道 6 存储器数据(DQ)slice 8, bit 6 |
| LMU6_S8_DQ7 | BJ12 | B | | 通道 6 存储器数据(DQ)slice 8, bit 7 |
| LMU6_DQS0_C | BE8 | B | | 通道 6 存储器负数据选通(DQS_c), bit 0 |
| LMU6_DQS9_C | BF9 | B | | X4 模式:通道 6 存储器负数据选通(DQS_c), bit 0 X8 模式:通道 6 存储器负数据选通终端电阻(TDQS_c), bit 0 X16 模式:无效 |
| LMU6_DQS1_C | V6 | B | | 通道 6 存储器负数据选通(DQS_c), bit 1 |
| LMU6_DQS10_C | W5 | B | | X4 模式:通道 6 存储器负数据选通(DQS_c), bit 1 X8 模式:通道 6 存储器负数据选通终端电阻(TDQS_c), bit 1 X16 模式:无效 |
| LMU6_DQS2_C | BV7 | B | | 通道 6 存储器负数据选通(DQS_c), bit 2 |
| LMU6_DQS11_C | BW8 | B | | X4 模式:通道 6 存储器负数据选通(DQS_c), bit 2 X8 模式:通道 6 存储器负数据选通终端电阻(TDQS_c), bit 2 X16 模式:无效 |
| LMU6_DQS3_C | AE6 | B | | 通道 6 存储器负数据选通(DQS_c), bit 3 |
| LMU6_DQS12_C | AF5 | B | | X4 模式:通道 6 存储器负数据选通(DQS_c), bit 3 X8 模式:通道 6 存储器负数据选通终端电阻(TDQS_c), bit 3 X16 模式:无效 |
| LMU6_DQS4_C | AE9 | B | | 通道 6 存储器负数据选通(DQS_c), bit 4 |
| LMU6_DQS13_C | AF8 | B | | X4 模式:通道 6 存储器负数据选通(DQS_c), bit 4 |

| | | | | |
|--------------------------|------|---|--|---|
| | | | | X8 模式:通道 6 存储器负数据选通终端电阻(TDQS_c) , bit 4 X16 模式:无效 |
| LMU6_DQS5_C | BV2 | B | | 通道 6 存储器负数据选通(DQS_c), bit 5 |
| LMU6_DQS14_C | BW4 | B | | X4 模式:通道 6 存储器负数据选通(DQS_c), bit 5 X8 模式:通道 6 存储器负数据选通终端电阻(TDQS_c) X16 模式:无效 |
| LMU6_DQS6_C | V9 | B | | 通道 6 存储器负数据选通(DQS_c), bit 6 |
| LMU6_DQS15_C | W8 | B | | X4 模式:通道 6 存储器负数据选通(DQS_c), bit 6 X8 模式:通道 6 存储器负数据选通终端电阻(TDQS_c) , bit 6 X16 模式:无效 |
| LMU6_DQS7_C | BM8 | B | | 通道 6 存储器负数据选通(DQS_c), bit 7 |
| LMU6_DQS16_C | BN9 | B | | X4 模式:通道 6 存储器负数据选通(DQS_c), bit 7 X8 模式:通道 6 存储器负数据选通终端电阻(TDQS_c) , bit 7 X16 模式:无效 |
| LMU6_DQS8_C | BF11 | B | | 通道 6 存储器负数据选通(DQS_c), bit 8 |
| LMU6_DQS17_C | BG12 | B | | X4 模式:通道 6 存储器负数据选通(DQS_c), bit 8 X8 模式:通道 6 存储器负数据选通终端电阻(TDQS_c) , bit 8 X16 模式:无效 |
| LMU6_DQS0_T | BE9 | B | | 通道 6 存储器正数据选通(DQS_t), bit 0 |
| LMU6_DQS9_T/DBI0_N/DM0_N | BF8 | B | | X4 模式:通道 6 存储器正数据选通(DQS_t), bit 0 X8 模式:通道 6 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 0 X16 模式:无效 |
| LMU6_DQS1_T | V5 | B | | 通道 6 存储器正数据选通(DQS_t), bit 1 |
| LMU6_DQS10_T/DBI1_N/D | W6 | B | | X4 模式:通道 6 存储器正数据选通 |

| | | | | |
|-------------------------------|-----|---|--|---|
| M1_N | | | | (DQS_t), bit 1 X8 模式:通道 6 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 1 X16 模式:无效 |
| LMU6_DQS2_T | BV8 | B | | 通道 6 存储器正数据选通(DQS_t), bit 2 |
| LMU6_DQS11_T/DBI2_N/D M2_N | BW7 | B | | X4 模式:通道 6 存储器正数据选通 (DQS_t), bit 2 X8 模式:通道 6 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 2 X16 模式:无效 |
| LMU6_DQS3_T | AE5 | B | | 通道 6 存储器正数据选通(DQS_t), bit 3 |
| LMU6_DQS12_T/DBI3_N/D M3_N | AF6 | B | | X4 模式:通道 6 存储器正数据选通 (DQS_t), bit 3 X8 模式:通道 6 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 3 X16 模式:无效 |
| LMU6_DQS4_T | AE8 | B | | 通道 6 存储器正数据选通(DQS_t), bit 4 |
| LMU6_DQS13_T/DBI4_N/D M4_N | AF9 | B | | X4 模式:通道 6 存储器正数据选通 (DQS_t), bit 4 X8 模式:通道 6 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 4 X16 模式:无效 |
| LMU6_DQS5_T | BV3 | B | | 通道 6 存储器正数据选通(DQS_t), bit 5 |
| LMU6_DQS14_T/DBI5_N/D M5_N | BW3 | B | | X4 模式:通道 6 存储器正数据选通 (DQS_t), bit 5 X8 模式:通道 6 存储器数据掩码(DM)/ 数据翻转(DBI)/正数据选通终端电阻 (TDQS_t), bit 5 X16 模式:无效 |
| LMU6_DQS6_T | V8 | B | | 通道 6 存储器正数据选通(DQS_t), bit 6 |
| LMU6_DQS15_T/DBI6_N/D M6_N | W9 | B | | X4 模式:通道 6 存储器正数据选通 (DQS_t), bit 6 |

| | | | | |
|-------------------------------|------|---|--|---|
| | | | | X8 模式:通道 6 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 6 X16 模式:无效 |
| LMU6_DQS7_T | BM9 | B | | 通道 6 存储器正数据选通(DQS_t), bit 7 |
| LMU6_DQS16_T/DBI7_N/D M7_N | BN8 | B | | X4 模式:通道 6 存储器正数据选通(DQS_t), bit 7 X8 模式:通道 6 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 7 X16 模式:无效 |
| LMU6_DQS8_T | BF12 | B | | 通道 6 存储器正数据选通(DQS_t), bit 8 |
| LMU6_DQS17_T/DBI8_N/D M8_N | BG11 | B | | X4 模式:通道 6 存储器正数据选通(DQS_t), bit 8 X8 模式:通道 6 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 8 X16 模式:无效 |
| LMU6_ODT0 | AM11 | B | | 通道 6 存储器内置终结电阻(ODT), bit 0 |
| LMU6_ODT1 | AM7 | B | | 通道 6 存储器内置终结电阻(ODT), bit 1 |
| LMU6_ODT2 | AM10 | B | | 通道 6 存储器内置终结电阻(ODT), bit 2 |
| LMU6_ODT3 | AK10 | B | | 通道 6 存储器内置终结电阻(ODT), bit 3 |
| LMU6_PAR | AR11 | B | | 通道 6 存储器奇偶校验(PAR) |
| LMU6_A16/RAS_N | AP7 | B | | 通道 6 存储器行选通(RAS_n)/地址(A)bit 16 |
| LMU6_A14/WE_N | AN8 | B | | 通道 6 存储器写使能(WE_n)/地址(A)bit 14 |
| LMU7_A0 | BY39 | B | | 通道 7 存储器地址(A), bit 0 |
| LMU7_A1 | BW43 | B | | 通道 7 存储器地址(A), bit 1 |
| LMU7_A10 | BW38 | B | | 通道 7 存储器地址(A), bit 10 |
| LMU7_A11 | BU43 | B | | 通道 7 存储器地址(A), bit 11 |
| LMU7_A12 | BW46 | B | | 通道 7 存储器地址(A), bit 12 |
| LMU7_A13 | BU38 | B | | 通道 7 存储器地址(A), bit 13 |
| LMU7_A17 | BW36 | B | | 通道 7 存储器地址(A), bit 17 |
| LMU7_A2 | BY43 | B | | 通道 7 存储器地址(A), bit 2 |
| LMU7_A3 | BU42 | B | | 通道 7 存储器地址(A), bit 3 |

| | | | | |
|--------------------|------|---|--|----------------------------------|
| LMU7_A4 | BY44 | B | | 通道 7 存储器地址(A), bit 4 |
| LMU7_A5 | BW44 | B | | 通道 7 存储器地址(A), bit 5 |
| LMU7_A6 | BT42 | B | | 通道 7 存储器地址(A), bit 6 |
| LMU7_A7 | BW45 | B | | 通道 7 存储器地址(A), bit 7 |
| LMU7_A8 | BY45 | B | | 通道 7 存储器地址(A), bit 8 |
| LMU7_A9 | BY46 | B | | 通道 7 存储器地址(A), bit 9 |
| LMU7_ACT_N | BU44 | B | | 通道 7 存储器激活(ACT_n) |
| LMU7_BA0 | BT39 | B | | 通道 7 存储器体地址(bank), bit 0 |
| LMU7_BA1 | BW39 | B | | 通道 7 存储器体地址(bank), bit 1 |
| LMU7_BG0 | BT43 | B | | 通道 7 存储器体组地址(BG), bit 0 |
| LMU7_BG1 | BW47 | B | | 通道 7 存储器体组地址(BG), bit 1 |
| LMU7_BP_ALERT_N | BY47 | B | | 通道 7 存储器警告(ALERT_n) |
| LMU7_BP_MEMRESET_L | BT46 | O | | 通道 7 存储器复位(RESET_n) |
| LMU7_BP_VREF | AV30 | P | | 通道 7 存储器参考电压(VREFCA) |
| LMU7_BP_ZN | AW31 | A | | 通道 7 存储器参考电阻(ZQ) |
| LMU7_C0 | BU36 | B | | 通道 7 存储器芯片地址(C), bit 0 |
| LMU7_C1 | BU35 | B | | 通道 7 存储器芯片地址(C), bit 1 |
| LMU7_C2 | BW35 | B | | 通道 7 存储器芯片地址(C), bit 2 |
| LMU7_A15/CAS_N | BT37 | B | | 通道 7 存储器列选通(CAS_n)/地址(A), bit 15 |
| LMU7_CKE0 | BU45 | B | | 通道 7 存储器时钟使能(CKE), bit 0 |
| LMU7_CKE1 | BU46 | B | | 通道 7 存储器时钟使能(CKE), bit 1 |
| LMU7_CKE2 | BT44 | B | | 通道 7 存储器时钟使能(CKE), bit 2 |
| LMU7_CKE3 | BT45 | B | | 通道 7 存储器时钟使能(CKE), bit 3 |
| LMU7_CLK0_C | BU41 | B | | 通道 7 存储器负时钟(CK_c), bit 0 |
| LMU7_CLK0_T | BT41 | B | | 通道 7 存储器正时钟(CK_t), bit 0 |
| LMU7_CLK1_C | BY42 | B | | 通道 7 存储器负时钟(CK_c), bit 1 |
| LMU7_CLK1_T | BW42 | B | | 通道 7 存储器正时钟(CK_t), bit 1 |
| LMU7_CLK2_C | BU40 | B | | 通道 7 存储器负时钟(CK_c), bit 2 |
| LMU7_CLK2_T | BT40 | B | | 通道 7 存储器正时钟(CK_t), bit 2 |
| LMU7_CLK3_C | BY41 | B | | 通道 7 存储器负时钟(CK_c), bit 3 |
| LMU7_CLK3_T | BW41 | B | | 通道 7 存储器正时钟(CK_t), bit 3 |
| LMU7_CS_N0 | BY38 | B | | 通道 7 存储器片选(CS_n), bit 0 |
| LMU7_CS_N1 | BY36 | B | | 通道 7 存储器片选(CS_n), bit 1 |
| LMU7_CS_N2 | BT36 | B | | 通道 7 存储器片选(CS_n), bit 2 |

| | | | | |
|-------------|------|---|--|------------------------------|
| LMU7_CS_N3 | BT35 | B | | 通道 7 存储器片选(CS_n), bit 3 |
| LMU7_D_OBV | BY40 | B | | 通道 7 存储器锁相环(PLL)观测信号 |
| LMU7_S0_DQ0 | BT51 | B | | 通道 7 存储器数据(DQ)slice 0, bit 0 |
| LMU7_S0_DQ1 | BR51 | B | | 通道 7 存储器数据(DQ)slice 0, bit 1 |
| LMU7_S0_DQ2 | BR48 | B | | 通道 7 存储器数据(DQ)slice 0, bit 2 |
| LMU7_S0_DQ3 | BT48 | B | | 通道 7 存储器数据(DQ)slice 0, bit 3 |
| LMU7_S0_DQ4 | BP51 | B | | 通道 7 存储器数据(DQ)slice 0, bit 4 |
| LMU7_S0_DQ5 | BP49 | B | | 通道 7 存储器数据(DQ)slice 0, bit 5 |
| LMU7_S0_DQ6 | BP48 | B | | 通道 7 存储器数据(DQ)slice 0, bit 6 |
| LMU7_S0_DQ7 | BP50 | B | | 通道 7 存储器数据(DQ)slice 0, bit 7 |
| LMU7_S1_DQ0 | BH53 | B | | 通道 7 存储器数据(DQ)slice 1, bit 0 |
| LMU7_S1_DQ1 | BM53 | B | | 通道 7 存储器数据(DQ)slice 1, bit 1 |
| LMU7_S1_DQ2 | BH52 | B | | 通道 7 存储器数据(DQ)slice 1, bit 2 |
| LMU7_S1_DQ3 | BM52 | B | | 通道 7 存储器数据(DQ)slice 1, bit 3 |
| LMU7_S1_DQ4 | BG52 | B | | 通道 7 存储器数据(DQ)slice 1, bit 4 |
| LMU7_S1_DQ5 | BL53 | B | | 通道 7 存储器数据(DQ)slice 1, bit 5 |
| LMU7_S1_DQ6 | BL52 | B | | 通道 7 存储器数据(DQ)slice 1, bit 6 |
| LMU7_S1_DQ7 | BG53 | B | | 通道 7 存储器数据(DQ)slice 1, bit 7 |
| LMU7_S2_DQ0 | BW57 | B | | 通道 7 存储器数据(DQ)slice 2, bit 0 |
| LMU7_S2_DQ1 | BV56 | B | | 通道 7 存储器数据(DQ)slice 2, bit 1 |
| LMU7_S2_DQ2 | BV54 | B | | 通道 7 存储器数据(DQ)slice 2, bit 2 |
| LMU7_S2_DQ3 | BY54 | B | | 通道 7 存储器数据(DQ)slice 2, bit 3 |
| LMU7_S2_DQ4 | BV57 | B | | 通道 7 存储器数据(DQ)slice 2, bit 4 |
| LMU7_S2_DQ5 | BW54 | B | | 通道 7 存储器数据(DQ)slice 2, bit 5 |
| LMU7_S2_DQ6 | BV55 | B | | 通道 7 存储器数据(DQ)slice 2, bit 6 |
| LMU7_S2_DQ7 | BY57 | B | | 通道 7 存储器数据(DQ)slice 2, bit 7 |
| LMU7_S3_DQ0 | BH55 | B | | 通道 7 存储器数据(DQ)slice 3, bit 0 |
| LMU7_S3_DQ1 | BH56 | B | | 通道 7 存储器数据(DQ)slice 3, bit 1 |
| LMU7_S3_DQ2 | BM55 | B | | 通道 7 存储器数据(DQ)slice 3, bit 2 |
| LMU7_S3_DQ3 | BM56 | B | | 通道 7 存储器数据(DQ)slice 3, bit 3 |
| LMU7_S3_DQ4 | BG55 | B | | 通道 7 存储器数据(DQ)slice 3, bit 4 |
| LMU7_S3_DQ5 | BL56 | B | | 通道 7 存储器数据(DQ)slice 3, bit 5 |
| LMU7_S3_DQ6 | BL55 | B | | 通道 7 存储器数据(DQ)slice 3, bit 6 |
| LMU7_S3_DQ7 | BG56 | B | | 通道 7 存储器数据(DQ)slice 3, bit 7 |
| LMU7_S4_DQ0 | BK18 | B | | 通道 7 存储器数据(DQ)slice 4, bit 0 |

| | | | | |
|-------------|------|---|--|------------------------------|
| LMU7_S4_DQ1 | BK14 | B | | 通道 7 存储器数据(DQ)slice 4, bit 1 |
| LMU7_S4_DQ2 | BL18 | B | | 通道 7 存储器数据(DQ)slice 4, bit 2 |
| LMU7_S4_DQ3 | BL14 | B | | 通道 7 存储器数据(DQ)slice 4, bit 3 |
| LMU7_S4_DQ4 | BK19 | B | | 通道 7 存储器数据(DQ)slice 4, bit 4 |
| LMU7_S4_DQ5 | BL15 | B | | 通道 7 存储器数据(DQ)slice 4, bit 5 |
| LMU7_S4_DQ6 | BL19 | B | | 通道 7 存储器数据(DQ)slice 4, bit 6 |
| LMU7_S4_DQ7 | BK15 | B | | 通道 7 存储器数据(DQ)slice 4, bit 7 |
| LMU7_S5_DQ0 | BW32 | B | | 通道 7 存储器数据(DQ)slice 5, bit 0 |
| LMU7_S5_DQ1 | BY32 | B | | 通道 7 存储器数据(DQ)slice 5, bit 1 |
| LMU7_S5_DQ2 | BW28 | B | | 通道 7 存储器数据(DQ)slice 5, bit 2 |
| LMU7_S5_DQ3 | BY28 | B | | 通道 7 存储器数据(DQ)slice 5, bit 3 |
| LMU7_S5_DQ4 | BW33 | B | | 通道 7 存储器数据(DQ)slice 5, bit 4 |
| LMU7_S5_DQ5 | BW29 | B | | 通道 7 存储器数据(DQ)slice 5, bit 5 |
| LMU7_S5_DQ6 | BY29 | B | | 通道 7 存储器数据(DQ)slice 5, bit 6 |
| LMU7_S5_DQ7 | BY33 | B | | 通道 7 存储器数据(DQ)slice 5, bit 7 |
| LMU7_S6_DQ0 | BL32 | B | | 通道 7 存储器数据(DQ)slice 6, bit 0 |
| LMU7_S6_DQ1 | BK32 | B | | 通道 7 存储器数据(DQ)slice 6, bit 1 |
| LMU7_S6_DQ2 | BL28 | B | | 通道 7 存储器数据(DQ)slice 6, bit 2 |
| LMU7_S6_DQ3 | BK28 | B | | 通道 7 存储器数据(DQ)slice 6, bit 3 |
| LMU7_S6_DQ4 | BK33 | B | | 通道 7 存储器数据(DQ)slice 6, bit 4 |
| LMU7_S6_DQ5 | BL29 | B | | 通道 7 存储器数据(DQ)slice 6, bit 5 |
| LMU7_S6_DQ6 | BK29 | B | | 通道 7 存储器数据(DQ)slice 6, bit 6 |
| LMU7_S6_DQ7 | BL33 | B | | 通道 7 存储器数据(DQ)slice 6, bit 7 |
| LMU7_S7_DQ0 | BH18 | B | | 通道 7 存储器数据(DQ)slice 7, bit 0 |
| LMU7_S7_DQ1 | BH14 | B | | 通道 7 存储器数据(DQ)slice 7, bit 1 |
| LMU7_S7_DQ2 | BG14 | B | | 通道 7 存储器数据(DQ)slice 7, bit 2 |
| LMU7_S7_DQ3 | BG18 | B | | 通道 7 存储器数据(DQ)slice 7, bit 3 |
| LMU7_S7_DQ4 | BG19 | B | | 通道 7 存储器数据(DQ)slice 7, bit 4 |
| LMU7_S7_DQ5 | BH15 | B | | 通道 7 存储器数据(DQ)slice 7, bit 5 |
| LMU7_S7_DQ6 | BG15 | B | | 通道 7 存储器数据(DQ)slice 7, bit 6 |
| LMU7_S7_DQ7 | BH19 | B | | 通道 7 存储器数据(DQ)slice 7, bit 7 |
| LMU7_S8_DQ0 | BW52 | B | | 通道 7 存储器数据(DQ)slice 8, bit 0 |
| LMU7_S8_DQ1 | BV51 | B | | 通道 7 存储器数据(DQ)slice 8, bit 1 |
| LMU7_S8_DQ2 | BV49 | B | | 通道 7 存储器数据(DQ)slice 8, bit 2 |
| LMU7_S8_DQ3 | BY49 | B | | 通道 7 存储器数据(DQ)slice 8, bit 3 |

| | | | | |
|--------------|------|---|--|--|
| LMU7_S8_DQ4 | BV52 | B | | 通道 7 存储器数据(DQ)slice 8, bit 4 |
| LMU7_S8_DQ5 | BV50 | B | | 通道 7 存储器数据(DQ)slice 8, bit 5 |
| LMU7_S8_DQ6 | BW49 | B | | 通道 7 存储器数据(DQ)slice 8, bit 6 |
| LMU7_S8_DQ7 | BY52 | B | | 通道 7 存储器数据(DQ)slice 8, bit 7 |
| LMU7_DQS0_C | BR49 | B | | 通道 7 存储器负数据选通(DQS_c), bit 0 |
| LMU7_DQS9_C | BT50 | B | | X4 模式:通道 7 存储器负数据选通(DQS_c), bit 0 X8 模式:通道 7 存储器负数据选通终端电阻(TDQS_c), bit 0 X16 模式:无效 |
| LMU7_DQS1_C | BK52 | B | | 通道 7 存储器负数据选通(DQS_c), bit 1 |
| LMU7_DQS10_C | BJ53 | B | | X4 模式:通道 7 存储器负数据选通(DQS_c), bit 1 X8 模式:通道 7 存储器负数据选通终端电阻(TDQS_c), bit 1 X16 模式:无效 |
| LMU7_DQS2_C | BW55 | B | | 通道 7 存储器负数据选通(DQS_c), bit 2 |
| LMU7_DQS11_C | BW56 | B | | X4 模式:通道 7 存储器负数据选通(DQS_c), bit 2 X8 模式:通道 7 存储器负数据选通终端电阻(TDQS_c), bit 2 X16 模式:无效 |
| LMU7_DQS3_C | BK55 | B | | 通道 7 存储器负数据选通(DQS_c), bit 3 |
| LMU7_DQS12_C | BJ56 | B | | X4 模式:通道 7 存储器负数据选通(DQS_c), bit 3 X8 模式:通道 7 存储器负数据选通终端电阻(TDQS_c), bit 3 X16 模式:无效 |
| LMU7_DQS4_C | BK16 | B | | 通道 7 存储器负数据选通(DQS_c), bit 4 |
| LMU7_DQS13_C | BL17 | B | | X4 模式:通道 7 存储器负数据选通(DQS_c), bit 4 X8 模式:通道 7 存储器负数据选通终端电阻(TDQS_c), bit 4 X16 模式:无效 |
| LMU7_DQS5_C | BW30 | B | | 通道 7 存储器负数据选通(DQS_c), bit 5 |
| LMU7_DQS14_C | BY31 | B | | X4 模式:通道 7 存储器负数据选通 |

| | | | | |
|---------------------------|------|---|--|---|
| | | | | (DQS_c), bit 5 X8 模式:通道 7 存储器负数据选通终端电阻(TDQS_c) X16 模式:无效 |
| LMU7_DQS6_C | BK30 | B | | 通道 7 存储器负数据选通(DQS_c), bit 6 |
| LMU7_DQS15_C | BL31 | B | | X4 模式:通道 7 存储器负数据选通(DQS_c), bit 6 X8 模式:通道 7 存储器负数据选通终端电阻(TDQS_c), bit 6 X16 模式:无效 |
| LMU7_DQS7_C | BG16 | B | | 通道 7 存储器负数据选通(DQS_c), bit 7 |
| LMU7_DQS16_C | BH17 | B | | X4 模式:通道 7 存储器负数据选通(DQS_c), bit 7 X8 模式:通道 7 存储器负数据选通终端电阻(TDQS_c), bit 7 X16 模式:无效 |
| LMU7_DQS8_C | BW50 | B | | 通道 7 存储器负数据选通(DQS_c), bit 8 |
| LMU7_DQS17_C | BW51 | B | | X4 模式:通道 7 存储器负数据选通(DQS_c), bit 8 X8 模式:通道 7 存储器负数据选通终端电阻(TDQS_c), bit 8 X16 模式:无效 |
| LMU7_DQS0_T | BT49 | B | | 通道 7 存储器正数据选通(DQS_t), bit 0 |
| LMU7_DQS9_T/DBI0_N/DM0_N | BR50 | B | | X4 模式:通道 7 存储器正数据选通(DQS_t), bit 0 X8 模式:通道 7 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 0 X16 模式:无效 |
| LMU7_DQS1_T | BK53 | B | | 通道 7 存储器正数据选通(DQS_t), bit 1 |
| LMU7_DQS10_T/DBI1_N/DM1_N | BJ52 | B | | X4 模式:通道 7 存储器正数据选通(DQS_t), bit 1 X8 模式:通道 7 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 1 X16 模式:无效 |

| | | | | |
|-------------------------------|------|---|--|---|
| LMU7_DQS2_T | BY55 | B | | 通道 7 存储器正数据选通(DQS_t), bit 2 |
| LMU7_DQS11_T/DBI2_N/D M2_N | BY56 | B | | X4 模式:通道 7 存储器正数据选通(DQS_t), bit 2 X8 模式:通道 7 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 2 X16 模式:无效 |
| LMU7_DQS3_T | BK56 | B | | 通道 7 存储器正数据选通(DQS_t), bit 3 |
| LMU7_DQS12_T/DBI3_N/D M3_N | BJ55 | B | | X4 模式:通道 7 存储器正数据选通(DQS_t), bit 3 X8 模式:通道 7 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 3 X16 模式:无效 |
| LMU7_DQS4_T | BL16 | B | | 通道 7 存储器正数据选通(DQS_t), bit 4 |
| LMU7_DQS13_T/DBI4_N/D M4_N | BK17 | B | | X4 模式:通道 7 存储器正数据选通(DQS_t), bit 4 X8 模式:通道 7 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 4 X16 模式:无效 |
| LMU7_DQS5_T | BY30 | B | | 通道 7 存储器正数据选通(DQS_t), bit 5 |
| LMU7_DQS14_T/DBI5_N/D M5_N | BW31 | B | | X4 模式:通道 7 存储器正数据选通(DQS_t), bit 5 X8 模式:通道 7 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 5 X16 模式:无效 |
| LMU7_DQS6_T | BL30 | B | | 通道 7 存储器正数据选通(DQS_t), bit 6 |
| LMU7_DQS15_T/DBI6_N/D M6_N | BK31 | B | | X4 模式:通道 7 存储器正数据选通(DQS_t), bit 6 X8 模式:通道 7 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 6 X16 模式:无效 |
| LMU7_DQS7_T | BH16 | B | | 通道 7 存储器正数据选通(DQS_t), bit 7 |

| | | | |
|-------------------------------|------|---|---|
| LMU7_DQS16_T/DBI7_N/D M7_N | BG17 | B | X4 模式:通道 7 存储器正数据选通(DQS_t), bit 7 X8 模式:通道 7 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 7 X16 模式:无效 |
| LMU7_DQS8_T | BY50 | B | 通道 7 存储器正数据选通(DQS_t), bit 8 |
| LMU7_DQS17_T/DBI8_N/D M8_N | BY51 | B | X4 模式:通道 7 存储器正数据选通(DQS_t), bit 8 X8 模式:通道 7 存储器数据掩码(DM)/数据翻转(DBI)/正数据选通终端电阻(TDQS_t), bit 8 X16 模式:无效 |
| LMU7_ODT0 | BW37 | B | 通道 7 存储器内置终结电阻(ODT), bit 0 |
| LMU7_ODT1 | BU37 | B | 通道 7 存储器内置终结电阻(ODT), bit 1 |
| LMU7_ODT2 | BY37 | B | 通道 7 存储器内置终结电阻(ODT), bit 2 |
| LMU7_ODT3 | BY35 | B | 通道 7 存储器内置终结电阻(ODT), bit 3 |
| LMU7_PAR | BW40 | B | 通道 7 存储器奇偶校验(PAR) |
| LMU7_A16/RAS_N | BU39 | B | 通道 7 存储器行选通(RAS_n)/地址(A)bit 16 |
| LMU7_A14/WE_N | BT38 | B | 通道 7 存储器写使能(WE_n)/地址(A)bit 14 |

7.4 电源引脚 (2024 PIN)

表 7-5 电源引脚 1

| 信号名 | 引脚编号 | 功能说明 | 信号类型 |
|-----------------------|------|----------|------|
| AP_PLL_DMM_L5_VDDHV | AU38 | PLL 模拟电源 | P |
| AP_PLL_L0_L4_VDDHV | AK37 | | |
| AP_PLL_L1_P0_VDDHV | AD33 | | |
| AP_PLL_L2_L6_VDDHV | AL24 | | |
| AP_PLL_L3_R/WAP_VDDHV | AD23 | | |
| AP_PLL_L7_P6_VDDHV | AU28 | | |
| AP_PLL_P1_P2_P3_VDDHV | AC28 | | |
| AP_PLL_P4_P5_P7_VDDHV | AV33 | | |
| AP_PLL_TRACE_VDDHV | AD39 | | |

| | | | |
|----------------------|------|-------------|---|
| VDDPST_B | AU34 | IO 电源 | P |
| VDDPST_C | AV23 | | |
| VDDPST_L | AL38 | | |
| VDDPST_R | AK23 | | |
| VDDPST_T | AD27 | | |
| VQPS | AU23 | 熔丝电源 | P |
| PCIE0_AVDD | AB33 | PCIE0 模拟电源 | P |
| PCIE0_AVDD | AC34 | | |
| PCIE0_AVDD | AC36 | | |
| PCIE0_AVDD | AD35 | | |
| PCIE0_AVDD | AD37 | | |
| PCIE0_X1_AVDDCLK | AC38 | PCIE0 时钟电源 | P |
| PCIE0_X1_RX_AVDDCLK | AC40 | | |
| PCIE0_X16_AVDDCLK | AB37 | | |
| PCIE0_X16_RX_AVDDCLK | AA38 | | |
| PCIE0_X16_RX_AVDDCLK | AA40 | | |
| PCIE0_X16_RX_AVDDCLK | AB35 | | |
| PCIE0_X1_XCVR_AVDDH | AB41 | PCIE0 IO 电源 | P |
| PCIE0_X16_XCVR_AVDDH | AA34 | | |
| PCIE0_X16_XCVR_AVDDH | AA36 | | |
| PCIE0_X16_XCVR_AVDDH | AB39 | | |
| PCIE1_AVDD | AU24 | PCIE1 模拟电源 | P |
| PCIE1_AVDD | AU26 | | |
| PCIE1_AVDD | AV25 | | |
| PCIE1_AVDD | AV27 | | |
| PCIE1_AVDD | AW28 | | |
| PCIE1_X16_AVDDCLK | AW24 | PCIE1 时钟电源 | P |
| PCIE1_X16_RX_AVDDCLK | AW26 | | |
| PCIE1_X16_RX_AVDDCLK | AY21 | | |
| PCIE1_X16_RX_AVDDCLK | AY23 | | |
| PCIE1_X16_XCVR_AVDDH | AW22 | PCIE1 IO 电源 | P |
| PCIE1_X16_XCVR_AVDDH | AY25 | | |
| PCIE1_X16_XCVR_AVDDH | AY27 | | |
| LMU0_DDR_VAA | AG40 | DDR PLL 电源 | P |
| LMU1_DDR_VAA | AC30 | | |

| | | | |
|--------------|------|---------|---|
| LMU2_DDR_VAA | AG22 | | |
| LMU3_DDR_VAA | AC24 | | |
| LMU4_DDR_VAA | AP39 | | |
| LMU5_DDR_VAA | AV37 | | |
| LMU6_DDR_VAA | AP21 | | |
| LMU7_DDR_VAA | AV31 | | |
| LMU6_TS_VDDA | AU22 | 温度传感器电源 | P |

表 7-6 电源引脚 2

| 信号名 | 功能 | 引脚编号 |
|-----|------|---|
| VDD | 内核电源 | AA14 AA16 AA18 AA20 AA22 AA24 AA28 AA30 AA32 AA42 AA44 AA46 AA48 AB15 AB17 AB19 AB21 AB29 AB31 AB43 AB45 AB47 AC14 AC16 AC18 AC20 AC22 AC26 AC32 AC42 AC44 AD15 AD17 AD19 AD21 AD25 AD29 AD31 AD41 AD43 AD45 AE14 AE16 AE18 AE20 AE22 AE24 AE26 AE28 AE30 AE32 AE34 AE36 AE38 AE40 AE42 AE44 AF15 AF17 AF19 AF21 AF23 AF25 AF27 AF29 AF31 AF33 AF35 AF37 AF39 AF41 AF43 AG14 AG16 AG18 AG20 AG24 AG26 AG28 AG30 AG32 AG34 AG36 AG42 AH15 AH17 AH19 AH21 AH23 AH25 AH27 AH29 AH31 AH33 AH35 AH37 AH39 AH41 AJ20 AJ22 AJ24 AJ26 AJ28 AJ30 AJ32 AJ34 AJ36 AJ38 AJ40 AK25 AK27 AK29 AK31 AK33 AK35 AK39 AL22 AL26 AL28 AL30 AL32 AL34 AL36 AM21 AM23 AM25 AM27 AM29 AM31 AM33 AM35 AM37 AM39 AM41 AM43 AN20 AN22 AN24 AN26 AN28 AN30 AN32 AN34 AN36 AN38 AN40 AN42 AN44 AN46 AP19 AP25 AP27 AP29 AP31 AP33 AP35 AP37 AP41 AP43 AP45 AP47 AR18 AR20 AR22 AR24 AR26 AR28 AR30 AR32 AR34 AR36 AR38 AR40 AR42 AR44 AR46 AT17 AT19 AT21 AT23 AT25 AT27 AT29 AT31 AT33 AT35 AT37 AT39 AT41 AT43 AT45 AT47 AU16 AU18 AU20 AU30 AU32 AU36 AU40 AU42 AU44 AU46 AV17 AV19 AV21 AV29 AV35 AV39 AV41 AV43 AV45 AV47 AW18 AW20 AW30 AW32 AW40 AW42 AW44 AW46 AY19 AY29 AY31 AY33 AY37 AY39 AY41 AY43 AY45 AY47 BA18 BA20 BA22 BA24 BA26 BA28 BA30 BA32 BA38 BA40 BA42 BA44 BA46 BB17 BB19 BB21 BB27 BB29 BB31 BB33 BB39 BB41 BB43 BB45 BB47 BC18 BC20 BC22 BC24 BC26 BC28 BC30 BC32 BC40 BC42 BC44 BC46 BD15 BD17 BD19 BD21 BD23 BD25 BD27 BD29 BD31 BD33 BD41 BD43 BD45 BD47 BE14 BE16 BE18 BE20 BE26 BE28 BE30 BE32 BE42 BE44 BE46 |

| | | |
|------|------------------|--|
| | | BF29 BF31 BF33 BF45 BF47 BG28 BG46 BH29 BH45 BH47 N14 N16 N32 P15 P33 R14 R16 R20 R28 R30 R32 T15 T17 T19 T21 T29 T31 T33 T35 T41 T43 T45 U14 U16 U18 U20 U22 U28 U30 U32 U34 U36 U38 U40 U42 U44 V15 V17 V19 V21 V23 V29 V31 V33 V35 V37 V39 V41 V43 W14 W16 W18 W20 W22 W24 W28 W30 W32 W34 W40 W44 W46 W48 Y15 Y17 Y19 Y21 Y23 Y29 Y31 Y33 Y35 Y37 Y39 Y41 Y43 Y45 Y47 |
| VDDQ | DDR IO 电 源 | AA26 AB23 AB27 AB49 AB52 AB55 AB58 AD47 AD49 AD52 AD55 AD58 AE46 AE48 AF45 AF49 AF52 AF55 AF58 AG44 AH43 AH45 AH49 AH52 AH55 AH58 AJ12 AJ3 AJ42 AJ44 AJ6 AJ9 AK17 AK19 AK21 AK41 AK43 AK45 AK49 AK52 AK55 AK58 AL12 AL16 AL18 AL20 AL3 AL40 AL42 AL44 AL6 AL9 AM17 AM19 AM49 AM52 AM55 AM58 AN12 AN16 AN18 AN3 AN6 AN9 AP17 AR12 AR16 AR3 AR6 AR9 AT13 AT15 AU12 AU14 AU3 AU6 AU9 AW12 AW3 AW34 AW38 AW6 AW9 AY35 BA12 BA3 BA34 BA36 BA6 BA9 BB35 BB37 BC34 BC36 BC38 BD35 BD37 BD39 BE34 BE36 BE38 BE40 BF35 BF37 BF39 BF41 BG36 BG38 BH37 BJ34 BJ36 BJ38 BJ40 BJ42 BJ44 BJ46 BJ48 BM34 BM36 BM38 BM40 BM42 BM44 BM46 BM48 BR34 BR36 BR38 BR40 BR42 BR44 BR46 BV34 BV36 BV38 BV40 BV42 BV44 BV46 BV48 C13 C15 C17 C19 C21 C23 C25 C27 F15 F17 F19 F21 F23 F25 F27 J13 J15 J17 J19 J21 J23 J25 J27 M13 M15 M17 M19 M21 M23 M25 M27 N24 P23 P25 R22 R24 R26 T23 T25 T27 U24 U26 V25 V27 W26 Y25 Y27 Y49 Y52 Y55 Y58 |
| VSS | 地 | A13 A27 A34 A36 A38 A40 A42 A44 A46 A48 A50 A51 A55 A8 AA10 AA13 AA15 AA17 AA19 AA21 AA23 AA25 AA27 AA29 AA31 AA33 AA35 AA37 AA39 AA4 AA41 AA43 AA45 AA47 AA49 AA52 AA55 AA58 AA7 AB10 AB11 AB12 AB13 AB14 AB16 AB18 AB20 AB22 AB24 AB26 AB28 AB32 AB34 AB36 AB38 AB4 AB40 AB42 AB44 AB46 AB48 AB5 AB6 AB7 AB8 AB9 AC1 AC10 AC13 AC15 AC17 AC19 AC2 AC21 AC23 AC27 AC29 AC3 AC33 AC35 AC37 AC39 AC4 AC41 AC43 AC45 AC47 AC49 AC52 AC55 AC58 AC7 AD10 AD13 AD14 AD16 AD18 AD20 AD22 AD24 AD26 AD28 AD30 AD32 AD34 AD36 AD38 AD4 AD40 AD42 AD44 AD7 AE10 AE13 AE15 AE17 AE19 AE21 AE23 AE25 AE27 AE29 AE31 AE33 AE35 AE37 AE39 AE4 AE41 AE43 AE45 AE47 AE49 AE52 AE55 AE58 AE7 AF10 AF13 AF14 AF16 AF18 AF20 AF24 AF26 AF28 AF30 AF32 AF34 AF36 AF38 AF4 AF40 AF42 AF44 AF46 AF7 AG10 AG13 AG15 AG17 AG19 AG21 AG25 AG27 AG29 AG31 AG33 AG35 AG37 AG4 AG41 AG43 AG45 AG49 AG52 AG55 AG58 AG7 AH1 AH10 AH13 AH14 |

AH16 AH18 AH2 AH20 AH22 AH24 AH26 AH28 AH3 AH30 AH32 AH34
AH36 AH38 AH4 AH40 AH42 AH44 AH7 AJ10 AJ11 AJ19 AJ21 AJ23 AJ25
AJ27 AJ29 AJ31 AJ33 AJ35 AJ37 AJ39 AJ4 AJ41 AJ43 AJ45 AJ49 AJ5 AJ52
AJ55 AJ58 AJ7 AJ8 AK12 AK16 AK18 AK20 AK22 AK24 AK26 AK28
AK3 AK30 AK32 AK34 AK36 AK38 AK40 AK42 AK44 AK6 AK9 AL17
AL19 AL21 AL23 AL25 AL27 AL29 AL31 AL33 AL35 AL37 AL39 AL41
AL43 AL45 AL49 AL52 AL55 AL58 AM12 AM16 AM18 AM20 AM22
AM24 AM26 AM28 AM3 AM30 AM32 AM34 AM36 AM38 AM40 AM42
AM44 AM50 AM51 AM53 AM54 AM56 AM57 AM6 AM9 AN17 AN19
AN21 AN23 AN25 AN27 AN29 AN31 AN33 AN35 AN37 AN39 AN41
AN43 AN45 AN47 AN48 AN51 AN54 AN57 AN58 AN59 AN60 AP12 AP16
AP18 AP20 AP24 AP26 AP28 AP3 AP30 AP32 AP34 AP36 AP40 AP42
AP44 AP46 AP48 AP51 AP54 AP57 AP6 AP9 AR15 AR17 AR19 AR21
AR23 AR25 AR27 AR29 AR31 AR33 AR35 AR37 AR41 AR43 AR45 AR47
AR48 AR51 AR54 AR57 AT12 AT14 AT16 AT18 AT20 AT22 AT24 AT26
AT28 AT3 AT30 AT32 AT34 AT36 AT38 AT40 AT42 AT44 AT46 AT48
AT51 AT54 AT57 AT6 AT9 AU13 AU15 AU17 AU19 AU21 AU25 AU27
AU29 AU31 AU33 AU35 AU37 AU39 AU41 AU43 AU45 AU47 AU48
AU51 AU54 AU57 AV12 AV18 AV20 AV22 AV24 AV26 AV28 AV3 AV32
AV34 AV38 AV40 AV42 AV44 AV46 AV48 AV51 AV54 AV57 AV58
AV59 AV6 AV60 AV9 AW17 AW19 AW21 AW23 AW25 AW27 AW29
AW33 AW35 AW37 AW39 AW41 AW43 AW45 AW47 AW48 AW49 AW50
AW51 AW52 AW53 AW54 AW55 AW56 AW57 AY12 AY18 AY20 AY22
AY24 AY26 AY28 AY3 AY30 AY32 AY34 AY36 AY38 AY40 AY42 AY44
AY46 AY48 AY51 AY54 AY57 AY6 AY9 B13 B27 B3 B34 B36 B38 B40
B42 B44 B46 B48 B50 B51 B55 B8 BA19 BA21 BA23 BA25 BA27 BA29
BA31 BA33 BA35 BA37 BA39 BA41 BA43 BA45 BA47 BA48 BA51 BA54
BA57 BB1 BB12 BB18 BB2 BB20 BB22 BB26 BB28 BB3 BB30 BB32
BB34 BB36 BB38 BB4 BB40 BB42 BB44 BB46 BB48 BB5 BB51 BB54
BB57 BB6 BB7 BB8 BB9 BC10 BC11 BC12 BC13 BC17 BC19 BC21 BC23
BC25 BC27 BC29 BC31 BC33 BC35 BC37 BC39 BC4 BC41 BC43 BC45
BC47 BC48 BC51 BC54 BC57 BC58 BC59 BC60 BC7 BD10 BD13 BD16
BD18 BD20 BD26 BD28 BD30 BD32 BD34 BD36 BD38 BD4 BD40 BD42
BD44 BD46 BD48 BD51 BD54 BD57 BD7 BE10 BE13 BE15 BE17 BE19
BE21 BE23 BE25 BE27 BE29 BE31 BE33 BE35 BE37 BE39 BE4 BE41
BE43 BE45 BE47 BE48 BE51 BE54 BE57 BE7 BF10 BF13 BF14 BF15 BF16

BF17 BF18 BF19 BF20 BF21 BF22 BF23 BF24 BF25 BF26 BF27 BF28
BF30 BF32 BF34 BF36 BF38 BF4 BF40 BF42 BF46 BF48 BF49 BF50 BF51
BF52 BF53 BF54 BF55 BF56 BF57 BF7 BG1 BG10 BG13 BG2 BG20 BG27
BG29 BG3 BG35 BG37 BG4 BG45 BG47 BG48 BG51 BG54 BG57 BG7
BH10 BH13 BH20 BH27 BH28 BH36 BH38 BH4 BH46 BH48 BH51 BH54
BH57 BH58 BH59 BH60 BH7 BJ10 BJ13 BJ14 BJ15 BJ16 BJ17 BJ18 BJ19
BJ20 BJ21 BJ22 BJ23 BJ24 BJ25 BJ26 BJ27 BJ28 BJ29 BJ30 BJ31 BJ32
BJ33 BJ35 BJ37 BJ39 BJ4 BJ41 BJ43 BJ45 BJ47 BJ5 BJ51 BJ54 BJ57 BJ6
BJ7 BJ8 BJ9 BK10 BK11 BK12 BK13 BK20 BK27 BK34 BK4 BK48 BK51
BK54 BK57 BK7 BL10 BL11 BL12 BL13 BL20 BL27 BL34 BL4 BL48
BL51 BL54 BL57 BL7 BM1 BM10 BM11 BM12 BM13 BM14 BM15 BM16
BM17 BM18 BM19 BM2 BM20 BM21 BM22 BM23 BM24 BM25 BM26
BM27 BM28 BM29 BM3 BM30 BM31 BM32 BM33 BM35 BM37 BM39
BM4 BM41 BM43 BM45 BM47 BM51 BM54 BM57 BM7 BN10 BN12
BN14 BN16 BN18 BN20 BN22 BN24 BN26 BN27 BN34 BN4 BN47 BN48
BN49 BN50 BN51 BN52 BN53 BN54 BN55 BN56 BN57 BN58 BN59 BN60
BN7 BP10 BP12 BP14 BP16 BP18 BP20 BP22 BP24 BP26 BP27 BP34 BP4
BP47 BP52 BP57 BP7 BR10 BR11 BR13 BR15 BR17 BR19 BR21 BR23
BR25 BR27 BR28 BR29 BR30 BR31 BR32 BR33 BR35 BR37 BR39 BR4
BR41 BR43 BR45 BR47 BR52 BR57 BR7 BT10 BT11 BT13 BT15 BT17
BT19 BT21 BT23 BT25 BT27 BT34 BT4 BT47 BT5 BT52 BT57 BT6 BT7
BT8 BT9 BU1 BU10 BU12 BU14 BU16 BU18 BU2 BU20 BU22 BU24 BU26
BU27 BU34 BU47 BU48 BU49 BU50 BU51 BU52 BU53 BU54 BU55 BU56
BU57 BU6 BV10 BV12 BV14 BV16 BV18 BV20 BV22 BV24 BV26 BV27
BV28 BV29 BV30 BV31 BV32 BV33 BV35 BV37 BV39 BV41 BV43 BV45
BV47 BV53 BV58 BV59 BV6 BW10 BW11 BW13 BW15 BW17 BW19
BW21 BW23 BW25 BW27 BW34 BW48 BW53 BW58 BW6 BY10 BY11
BY13 BY15 BY17 BY19 BY21 BY23 BY25 BY27 BY34 BY48 BY53 BY6
C14 C16 C18 C2 C20 C22 C24 C26 C28 C29 C3 C30 C31 C32 C33 C34 C35
C37 C39 C41 C43 C45 C47 C49 C51 C55 C8 D10 D11 D12 D13 D14 D27
D34 D35 D37 D39 D4 D41 D43 D45 D47 D49 D5 D51 D55 D59 D6 D60 D7
D8 D9 E14 E27 E34 E36 E38 E4 E40 E42 E44 E46 E48 E50 E51 E52 E53
E54 E55 E56 E57 E9 F14 F16 F18 F20 F22 F24 F26 F28 F29 F30 F31 F32
F33 F34 F36 F38 F4 F40 F42 F44 F46 F48 F50 F51 F54 F57 F9 G14 G27 G34
G35 G37 G39 G4 G41 G43 G45 G47 G49 G51 G54 G57 G9 H1 H10 H11 H12
H13 H14 H2 H27 H3 H34 H35 H37 H39 H4 H41 H43 H45 H47 H49 H5 H51

| | | |
|--|--|---|
| | | H54 H57 H6 H7 H8 H9 J10 J14 J16 J18 J20 J22 J24 J26 J28 J29 J30 J31 J32 J33 J34 J35 J36 J37 J38 J39 J4 J40 J41 J42 J43 J44 J45 J46 J47 J48 J49 J50 J51 J54 J57 J58 J59 J60 J7 K10 K13 K27 K34 K4 K41 K48 K49 K50 K51 K54 K57 K7 L10 L13 L27 L34 L4 L41 L48 L49 L50 L51 L54 L57 L7 M10 M14 M16 M18 M20 M22 M24 M26 M28 M29 M30 M31 M32 M33 M34 M35 M36 M37 M38 M39 M4 M40 M41 M42 M43 M44 M45 M46 M47 M48 M51 M52 M53 M54 M55 M56 M57 M7 N1 N10 N13 N15 N2 N23 N25 N3 N33 N34 N4 N41 N48 N51 N54 N57 N7 P10 P13 P14 P16 P24 P32 P34 P4 P41 P48 P51 P54 P57 P58 P59 P60 P7 R10 R11 R12 R13 R15 R19 R21 R23 R25 R27 R29 R31 R33 R34 R35 R36 R37 R38 R39 R4 R40 R41 R42 R43 R44 R45 R46 R47 R48 R5 R51 R54 R57 R6 R7 R8 R9 T10 T13 T14 T16 T18 T20 T22 T24 T26 T28 T30 T32 T34 T36 T38 T4 T40 T42 T44 T46 T48 T51 T54 T57 T7 U10 U13 U15 U17 U19 U21 U23 U25 U27 U29 U31 U33 U35 U4 U41 U43 U45 U46 U48 U51 U54 U57 U7 V1 V10 V13 V14 V16 V18 V2 V20 V22 V24 V26 V28 V3 V30 V32 V34 V36 V38 V4 V40 V42 V44 V46 V47 V48 V49 V50 V51 V54 V57 V7 W10 W13 W15 W17 W19 W21 W23 W25 W27 W29 W31 W33 W35 W39 W4 W41 W43 W47 W49 W52 W53 W54 W55 W56 W57 W58 W59 W60 W7 Y10 Y13 Y14 Y16 Y18 Y20 Y22 Y24 Y26 Y28 Y30 Y32 Y34 Y36 Y38 Y4 Y40 Y42 Y44 Y46 Y48 Y7 |
|--|--|---|

注:

(1)信号类型: I 输入引脚, O 输出引脚, Z 三态或高阻引脚, A 模拟信号脚, GND 地, P 电源引脚, RSV 保留引脚, NC 空引脚;

(2)片内上下拉: IPU 片内上拉, IPD 片内下拉。

8 产品标识

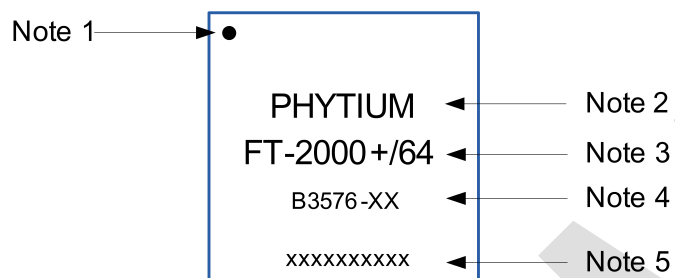


图 8-1 FT-2000+芯片标识说明

表 8-1 印丝说明

| | | | |
|--------|---------|------|----------|
| Note 1 | Pin 点 | | |
| Note 2 | 公司 LOGO | | |
| Note 3 | 芯片产品名 | | |
| Note 4 | B3576 | | 封装球数 |
| | XX | PR | 标准版 |
| | | TY | 轻量版 |
| | | TY32 | 轻量 32 核版 |
| Note 5 | 芯片生产批次 | | |