

awinic

AW83118TSR 应用参考设计指南

awinic Confidential
2023-10-08 15:07:17
641182789@qq.com

目录

1	AW83118TSR 简介	3
2	AW83118TSR 差分输入 BTL 自动恢复典型应用参考原理图	4
3	AW83118TSR 差分输入 BTL 自动 MUTE 典型应用参考原理图	6
4	AW83118TSR PBTL 应用参考原理图	8
5	AW83118TSR 主从 2.1 模式应用参考原理图	10
6	AW83118TSR MONO 模式应用参考原理图	12
7	AW83118TSR 上下电时序	14
8	AW83118TSR GAIN/SEL 管脚功能介绍.....	16
9	AW83118TSR 模拟混音介绍	17
10	AW83118TSR PLIMIT 功能介绍.....	18
11	AW83118TSR 保护功能介绍	21
12	AW83118TSR 调制模式介绍.....	22
13	AW83118TSR 减小 POP 音措施.....	23
14	AW83118TSR 元件选型	24
15	AW83118TSR LAYOUT 参考布局	29
16	AW83118TSR LAYOUT 参考布线	31

1 AW83118TSR 简介

AW83118 是一款具有 AM 抑制功能的 D 类立体声放大器，支持多个输出配置，可以在无外部散热片情况下双层 PCB 板稳定输出 2*30W/8Ω 的功率。AW83118 内部 PLL 电路采用了一个多开关频率选择来抑制 AM 干扰；搭配选择主从选项时，可以达到多个芯片实现同步功能。AW83118 具有短路保护和热保护以及过压、欠压和直流保护，可全面防止出现故障，在过载或者发生短路等情况下会将故障上报给处理器，同时将芯片关闭，从而避免自身遭到损坏。

特性：

- 支持多个输出配置
 - 24V 电压、BTL 模式 8Ω 负载条件下输出功率 2*30W
 - 21V 电压、BTL 模式 6Ω 负载条件下输出功率 2*30W
 - 15V 电压、BTL 模式 4Ω 负载条件下输出功率 2*25W
 - 24V 电压、PBTL 模式 4Ω 负载条件下输出功率 60W
 - 21V 电压、PBTL 模式 3Ω 负载条件下输出功率 60W
 - 15V 电压、PBTL 模式 2Ω 负载条件下输出功率 40W
- 宽电压范围：4.5V-26V
- 多种开关频率
 - AM 抑制
 - 主从同步
 - 高达 1.2MHz 的开关频率
- 高效率达到 94%
- 可编程功率限制
- 差分 and 单端输入

2 AW83118TSR 差分输入 BTL 自动恢复典型应用参考原理图

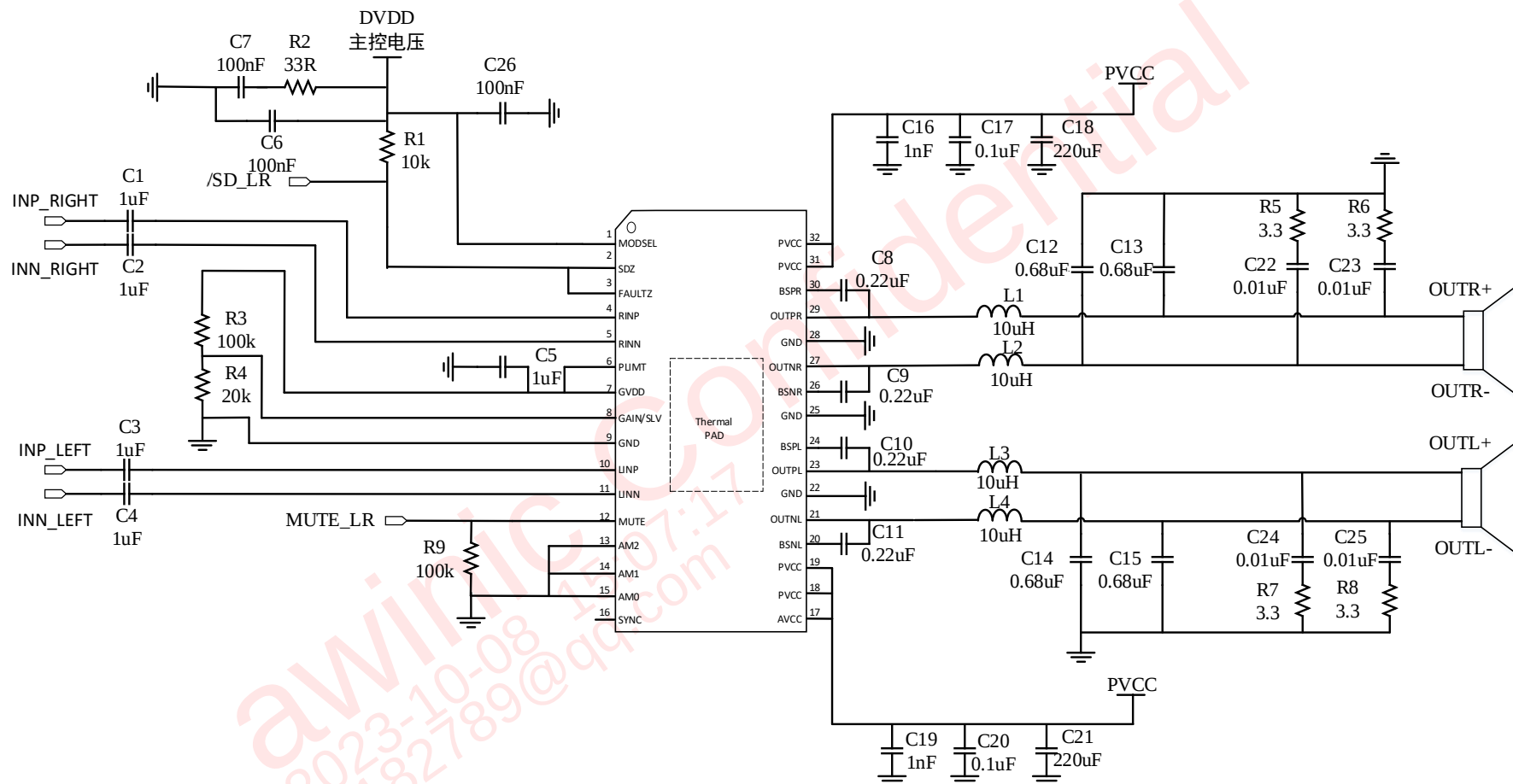


图 1 AW83118TSR BTL 自动恢复应用电路图

推荐立体声产品使用，具体说明如下：

1. PVCC 电源每一边都需要 220uF/35V 电解电容，靠近芯片端需放置 0.1uF+1nF 的贴片电容；
2. 每一个 BSX 管脚需要和对应的 OUTX 管脚之间放置一个 0.22uF/25V 电容；
3. GVDD 需要放置一个对地稳压电容，容值 1uF；
4. Gain/SLV 管脚是配置芯片主从模式和增益功能，默认接法在 GVDD 和 GND 之间通过 100K 和 20K 电阻分压，Gain/SLV 连接在两个电阻中间，使芯片工作在 Master 主设备模式，增益 26db；
5. SDZ 和 FAULTZ 默认通过 10K 电阻上拉到 DVDD，同时在连接到控制器，高电平芯片使能；当触发保护后可自动恢复芯片工作，如不需要自动恢复功能，需将 SDZ 和 FAULTZ 分开单独通过 10K 电阻上拉到 DVDD；
6. 靠近 SDZ 管脚附近需放置 RC-C 网络，防止因 DVDD 电源抖动影响；
7. 输出端 LC 之后 EMI RC snubber 电路默认可以不贴，根据实际情况选择合适的 RC 值；
8. MODSEL 管脚默认拉高，选择 LLM 调制；接地进入 BD 调制；
9. MUTE 管脚默认通过 100K 下拉到地，同时连接到主控制器，高电平会关闭芯片输出级；
10. PLIMIT 管脚默认与 GVDD 管脚直接连接，不限制输出功率；
11. 输入电容默认选择 1uF，保证足够低的高通截止频率；
12. 三个 AM 管脚默认接地，调制频率 400KHz，如需工作在其他频率参考 AW83118 手册说明；
13. SYNC 管脚默认 NC 不连接，不能连接到地；如将芯片工作在 Slaver 从设备模式，该管脚需增加 100pF 电容对地；
14. AVCC 可直接和 PVCC 连接在一起；
15. 芯片也可以单端输入；

3 AW83118TSR 差分输入 BTL 自动 MUTE 典型应用参考原理图

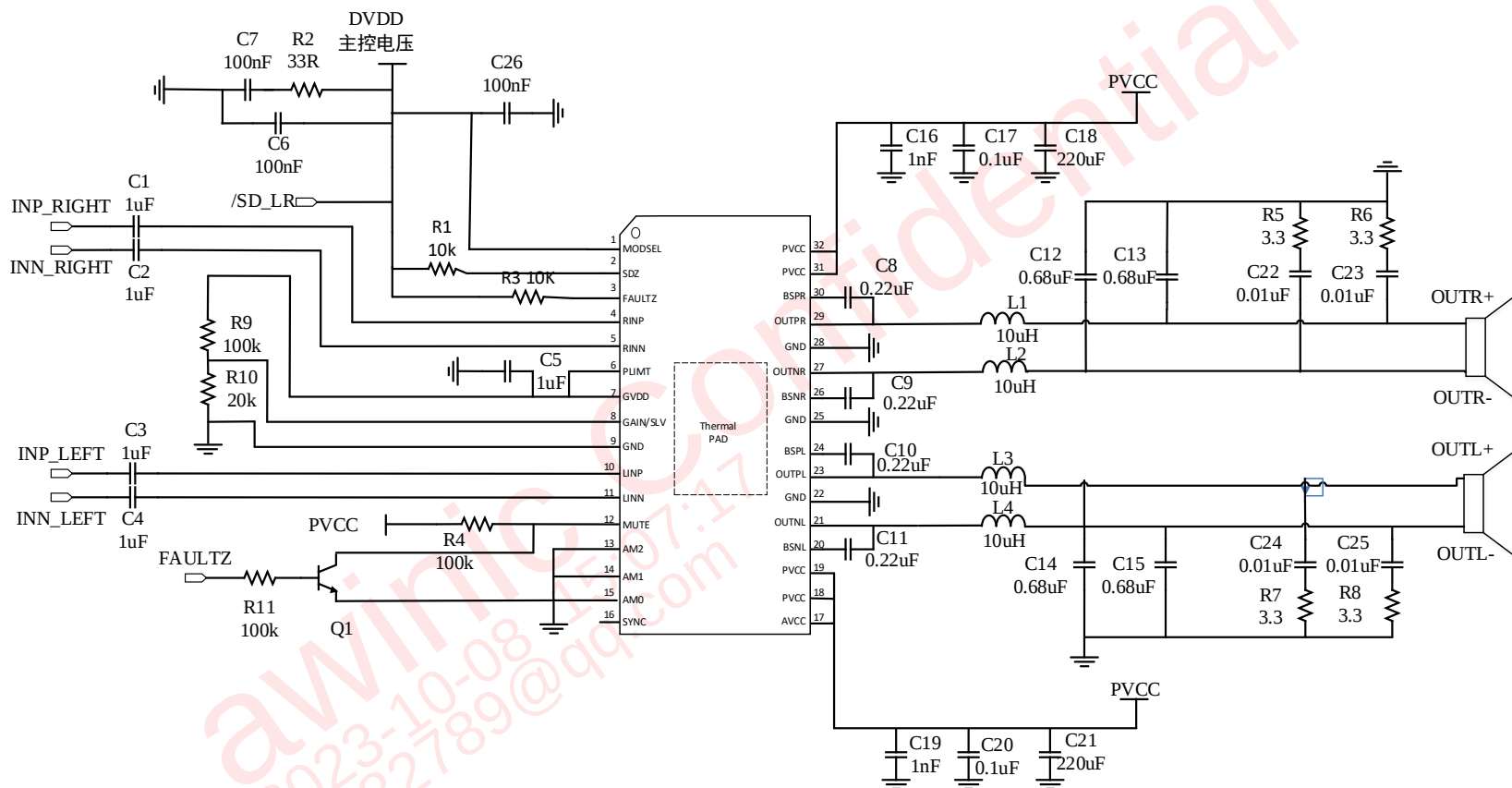


图 2 AW83118TSR BTL 自动 MUTE 应用电路图

推荐立体声产品使用，具体说明如下：

1. PVCC 电源每一边都需要 220uF/35V 电解电容，靠近芯片端需放置 0.1uF+1nF 的贴片电容；
2. 每一个 BSX 管脚需要和对应的 OUTX 管脚之间放置一个 0.22uF/25V 电容；
3. GVDD 需要放置一个对地稳压电容，容值 1uF；
4. Gain/SLV 管脚是配置芯片主从模式和增益功能，默认接法在 GVDD 和 GND 之间通过 100K 和 20K 电阻分压，Gain/SLV 连接在两个电阻中间，使芯片工作在 Master 主设备模式，增益 25db；
5. SDZ 和 FAULTZ 分开单独通过 10K 电阻上拉到 DVDD，FAULTZ 管脚做三极管 Q1 的基极输入，控制三极管导通，当芯片触发保护后，FAULT 管脚变低，同时三极管关闭，MUTE 管脚拉高关闭芯片输出。
6. 靠近 SDZ 管脚附近需放置 RC-C 网络，防止因 DVDD 电源抖动影响；
7. 输出端 LC 之后 EMI RC snubber 电路默认可以不贴，根据实际情况选择合适的 RC 值；
8. MODSEL 管脚默认拉高，选择 LLM 调制；接地进入 BD 调制；
9. PLIMIT 管脚默认与 GVDD 管脚直接连接，不限制输出功率；
10. 输入电容默认选择 1uF，保证足够低的高频截止频率；
11. 三个 AM 管脚默认接地，调制频率 400KHz，如需工作在其他频率参考 AW83118 手册说明；
12. SYNC 管脚默认 NC 不连接，不能连接到地；如将芯片工作在 Slaver 从设备模式，该管脚需增加 100pF 电容对地；
13. AVCC 可直接和 PVCC 连接在一起；
14. 芯片也可以单端输入；

4 AW83118TSR PBTL 应用参考原理图

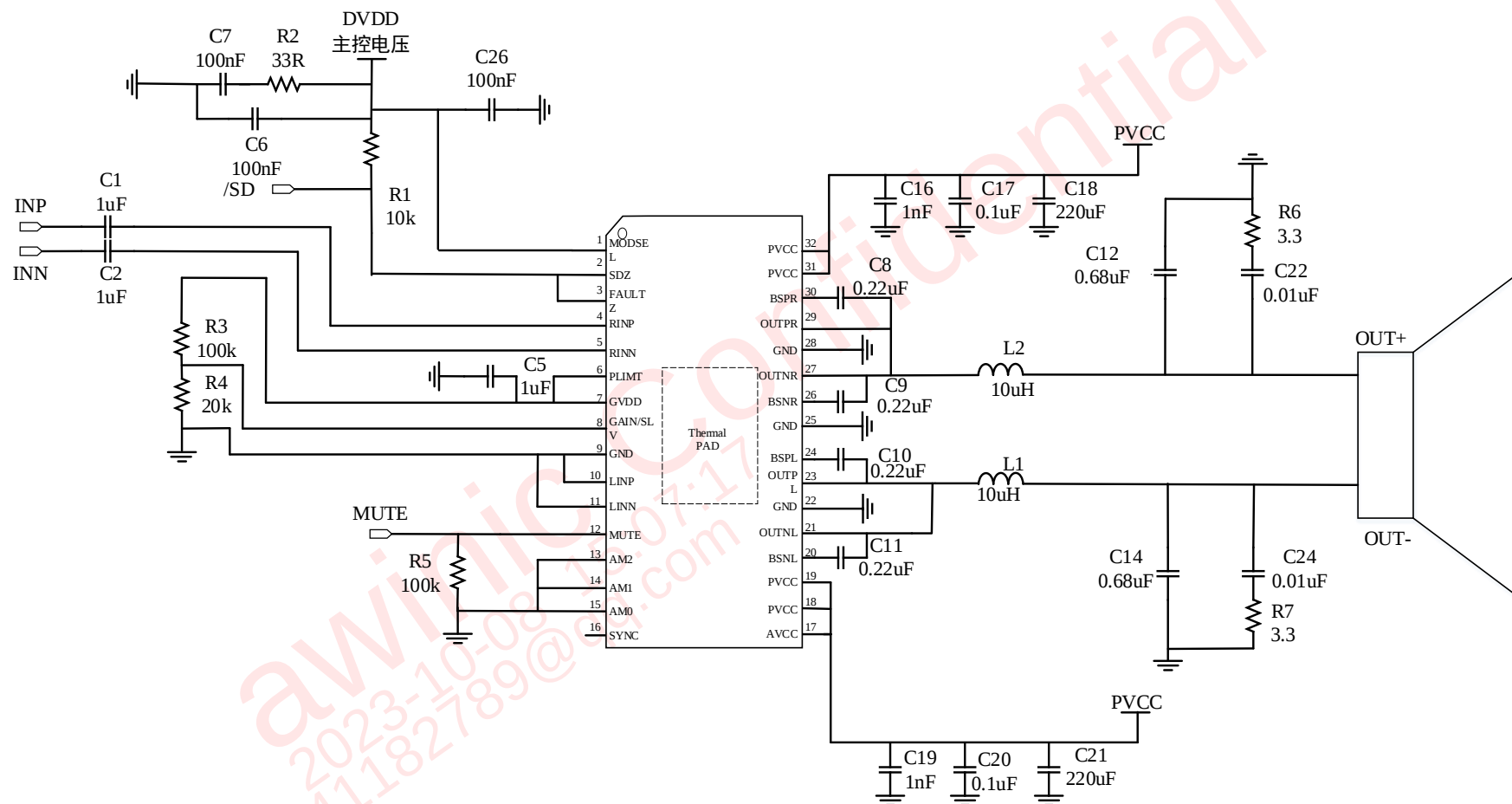


图 3 AW83118TSR PBTL 应用电路图

推荐大功率，重低音产品，具体说明如下：

1. PVCC 电源每一边都需要 220uF/35V 电解电容，靠近芯片端需放置 0.1uF+1nF 的贴片电容；
2. 每一个 BSX 管脚需要和对应的 OUTX 管脚之间放置一个 0.22uF 电容；
3. LINN 和 LINP 直接连接到 GND，RINN 和 RINP 输入电容默认选择 1uF，保证足够低高通的截止频率；
4. GVDD 需要放置一个对地稳压电容，容值 1uF；
5. Gain/SLV 管脚是配置芯片主从模式和增益功能，默认接法在 GVDD 和 GND 之间通过 100K 和 20K 电阻分压，Gain/SLV 连接在两个电阻中间，使芯片工作在 Master 主设备模式，增益 25db；
6. SDZ 和 FAULTZ 默认通过 10K 电阻上拉到 DVDD，同时在连接到控制器，高电平芯片使能；当触发保护后可自动恢复芯片工作，如不需要自动恢复功能，需将 SDZ 和 FAULTZ 分开单独通过 100K 电阻上拉到 PVCC；
7. 靠近 SDZ 管脚附近需放置 RC-C 网络，防止因 DVDD 电源抖动影响；
8. 输出端 LC 之后 EMI RC snubber 电路默认可以不贴，根据实际情况选择合适的 RC 值；
9. MODSEL 管脚默认拉高，选择 LLM 调制；接地进入 BD 调制；
10. MUTE 管脚默认通过 100K 下拉到地，同时连接到主控制器，高电平会关闭芯片输出级；
11. PLIMIT 管脚默认与 GVDD 管脚直接连接，不限制输出功率；
12. 三个 AM 管脚默认接地，调制频率 400KHz，如需工作在其他频率参考 AW83118 手册说明；
13. SYNC 管脚默认 NC 不连接，不能连接到地；如将芯片工作在 Slaver 从设备模式，该管脚需增加 100pF 电容对地；
14. AVCC 可直接和 PVCC 连接在一起；
15. 芯片也可以单端输入；

5 AW83118TSR 主从 2.1 模式应用参考原理图

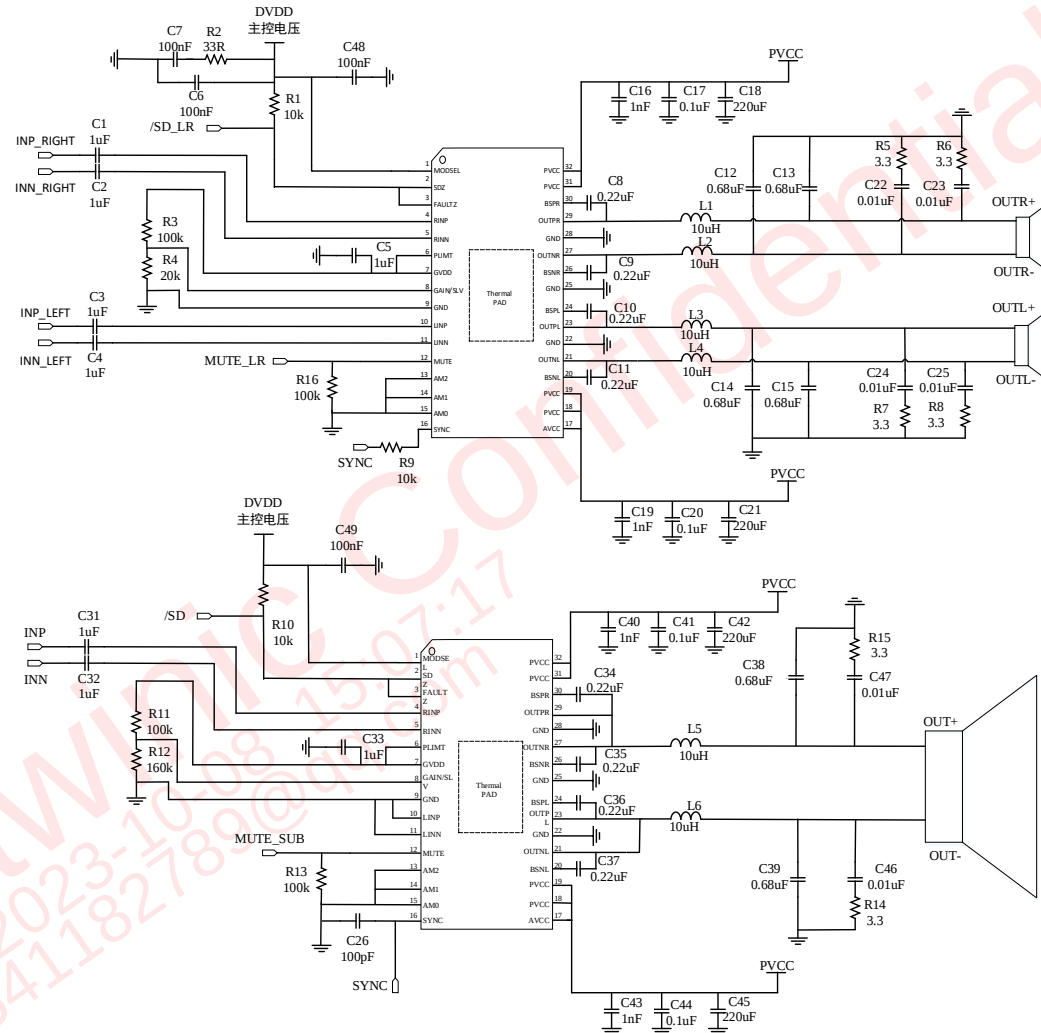


图 4 AW83118TSR 主从 2.1 模式应用电路图

推荐多声道产品使用，具体说明如下：

1. PVCC 电源每一边都需要 220uF/35V 电解电容，靠近芯片端需放置 0.1uF+1nF 的贴片电容；
2. 每一个 BSX 管脚需要和对应的 OUTX 管脚之间放置一个 0.22uF 电容；
3. 一般此模式 PBTl 模式的从设备会做低音炮驱动芯片，根据实际喇叭调整输出 LC 组合值，可适当增加电感值，不建议增大电容值；
4. LINN 和 LINP 直接连接到 GND，RINN 和 RINP 输入电容默认选择 1uF，，保证足够低高通的截止频率；
5. GVDD 需要放置一个对地稳压电容，容值 1uF；
6. Gain/SLV 管脚是配置芯片主从模式和增益功能，主设备默认接法在 GVDD 和 GND 之间通过 100K 和 20K 电阻分压，增益 26db；从设备默认接法在 GVDD 和 GND 之间通过 100K 和 160K 电阻分压，增益 25db；
7. SDZ 和 FAULTZ 默认通过 100K 电阻上拉到 DVDD，同时在连接到控制器，高电平芯片使能；当触发保护后可自动恢复芯片工作，如不需要自动恢复功能，需将 SDZ 和 FAULTZ 分开单独通过 10K 电阻上拉到 DVDD；
8. 靠近 SDZ 管脚附近需放置 RC-C 网络，防止因 DVDD 电源抖动影响；
9. 输出端 LC 之后 EMI RC snubber 电路默认可以不贴，根据实际情况选择合适的 RC 值；
10. MODSEL 管脚默认拉高，选择 LLM 调制；接地进入 BD 调制；
11. MUTE 管脚默认通过 100K 下拉到地，同时连接到主控制器，高电平会关闭芯片输出级；
12. PLIMIT 管脚默认与 GVDD 管脚直接连接，不限制输出功率；
13. 三个 AM 管脚默认接地，调制频率 400KHz，如需工作在其他频率参考 AW83118 手册说明；
14. 主设备的 SYNC 管脚经过 RC 网络 (R=10K, C=100pF) 后连接到从设备 SYNC 管脚；
15. AVCC 可直接和 PVCC 连接在一起；
16. 主从设备的 SDZ 建议分开控制，主从应用时的推荐上下电时序参考 **AW83118TSR 上下电时序**；

6 AW83118TSR MONO 模式应用参考原理图

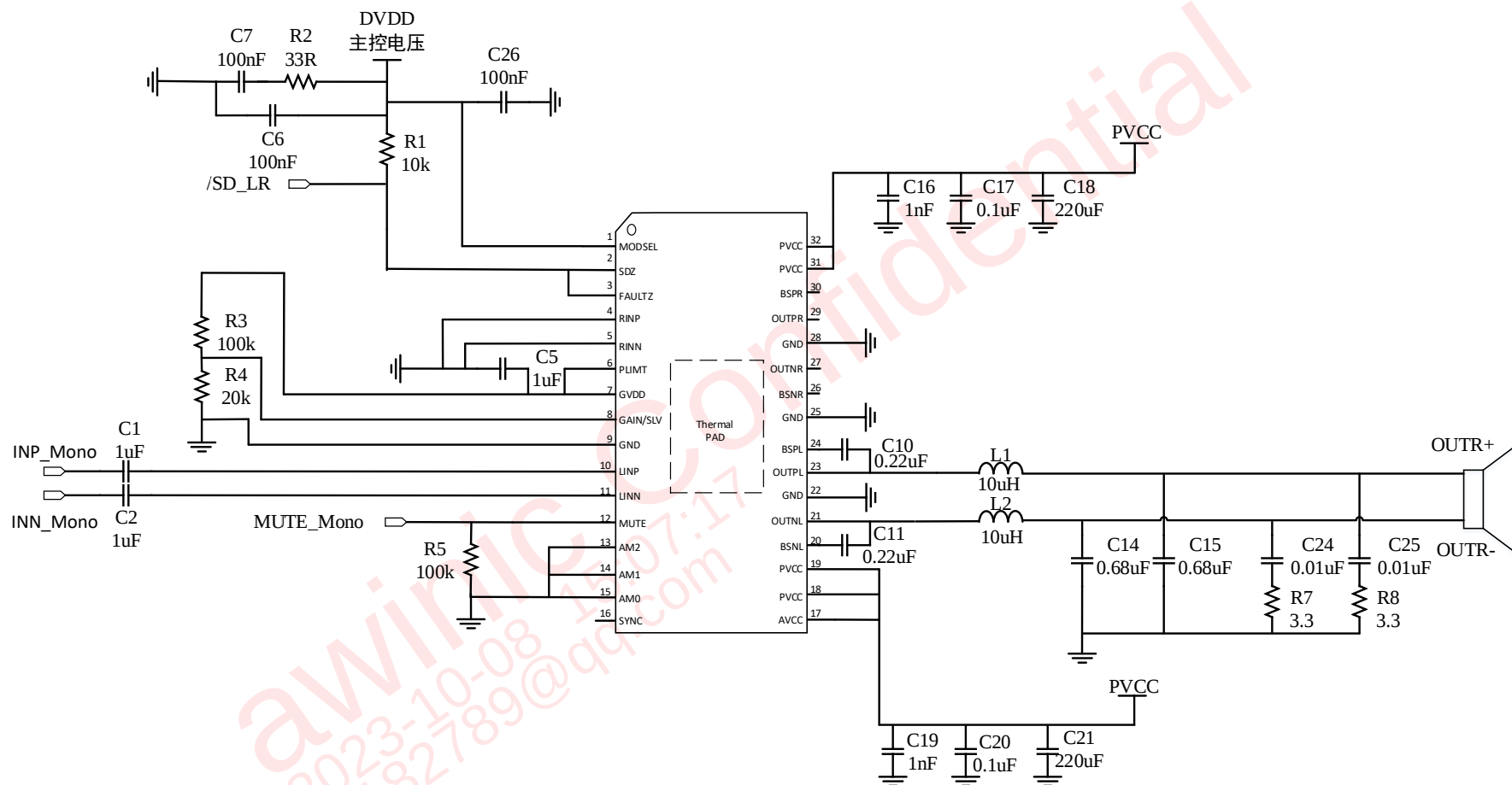


图 5 AW83118TSR MONO 模式应用电路图

推荐在锂电池类产品使用，达到省功耗目的，具体说明如下：

1. PVCC 电源每一边都需要 220uF/35V 电解电容，靠近芯片端需放置 0.1uF+1nF 的贴片电容；
2. 每一个 BSX 管脚需要和对应的 OUTX 管脚之间放置一个 0.22uF 电容；
3. 一般此模式的会电池类产品做低功耗版本，根据实际喇叭调整输出 LC 组合值，可适当增加电感值，不建议增大电容值；
4. RINN 和 RINP 直接连接到 GND，LINN 和 LINP 输入电容默认选择 1uF，选择更大值(大于 10uF)，保证足够低高通的截止频率；
5. GVDD 需要放置一个对地稳压电容，容值 1uF；
6. Gain/SLV 管脚是配置芯片主从模式和增益功能，主设备默认接法在 GVDD 和 GND 之间通过 100K 和 20K 电阻分压，增益 25db；
7. SDZ 和 FAULTZ 默认通过 10K 电阻上拉到 DVDD，同时在连接到控制器，高电平芯片使能；当触发保护后可自动恢复芯片工作，如不需要自动恢复功能，需将 SDZ 和 FAULTZ 分开单独通过 100K 电阻上拉到 PVCC；
8. 靠近 SDZ 管脚附近需放置 RC-C 网络，防止因 DVDD 电源抖动影响；
9. 输出端 LC 之后 EMI RC snubber 电路默认可以不贴，根据实际情况选择合适的 RC 值；
10. MODSEL 管脚默认拉高，选择 LLM 调制；接地进入 BD 调制；
11. MUTE 管脚默认通过 100K 下拉到地，同时连接到主控制器，高电平会关闭芯片输出级；
12. PLIMIT 管脚默认与 GVDD 管脚直接连接，不限制输出功率；
13. 三个 AM 管脚默认接地，调制频率 400KHz，如需工作在其他频率参考 AW83118 手册说明；
14. 主设备的 SYNC 管脚经过 RC 网络 (R=10K, C=100pF) 后连接到从设备 SYNC 管脚；
15. AVCC 可直接和 PVCC 连接在一起；

7 AW83118TSR 上下电时序

AW83118TSR 主模式应用时，推荐上下电时序如下图所示。

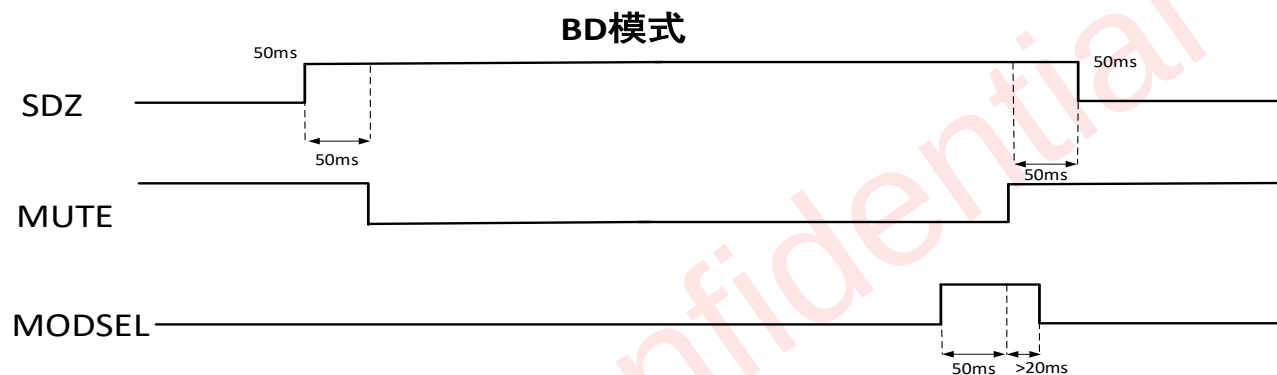


图 6 AW83118TSR 主模式应用 BD 模式上下电时序图

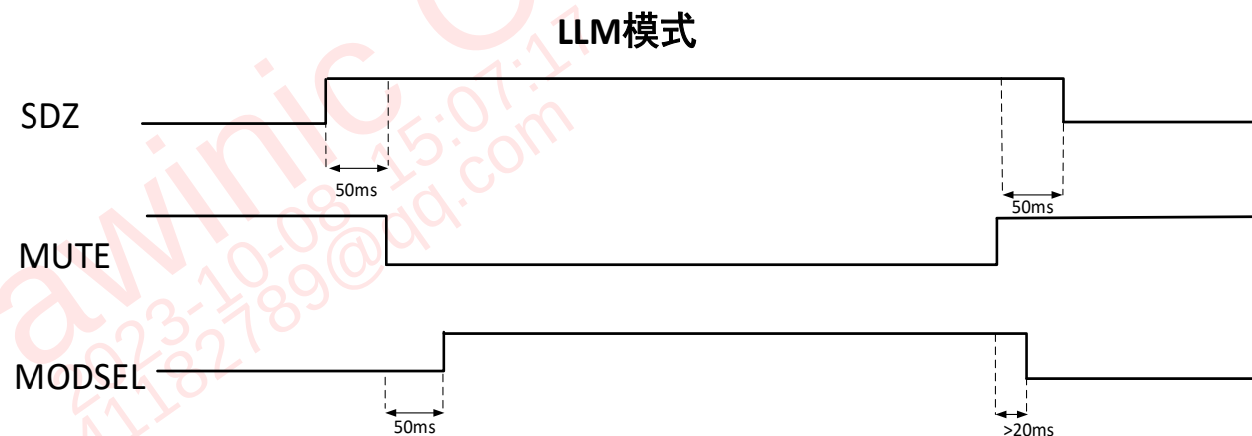


图 7 AW83118TSR 主模式应用 LLM 模式上下电时序图

AW83118TSR 主从模式应用时，推荐上下电时序如下图所示。

BD模式

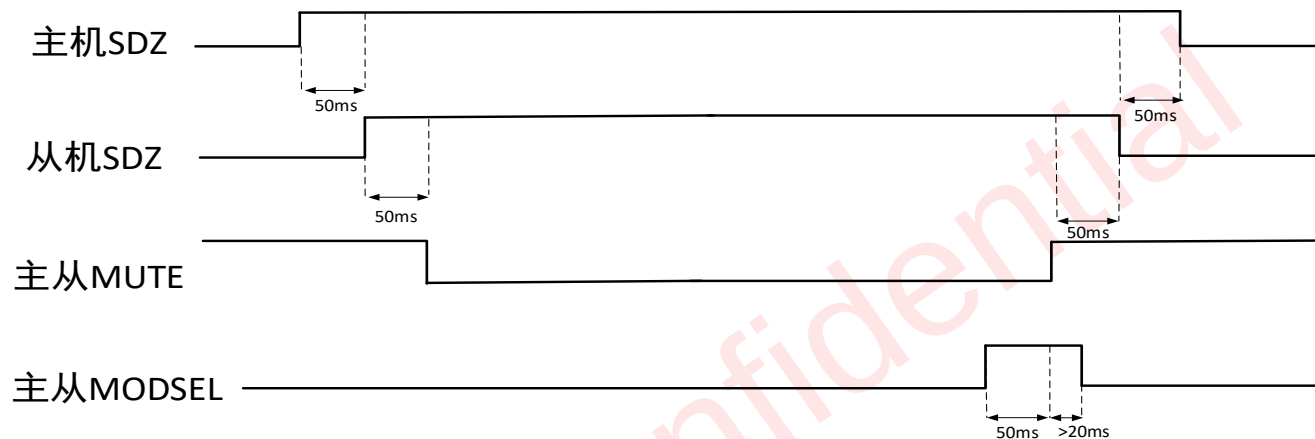


图 8 AW83118TSR 主从应用 BD 模式上下电时序图

LLM模式

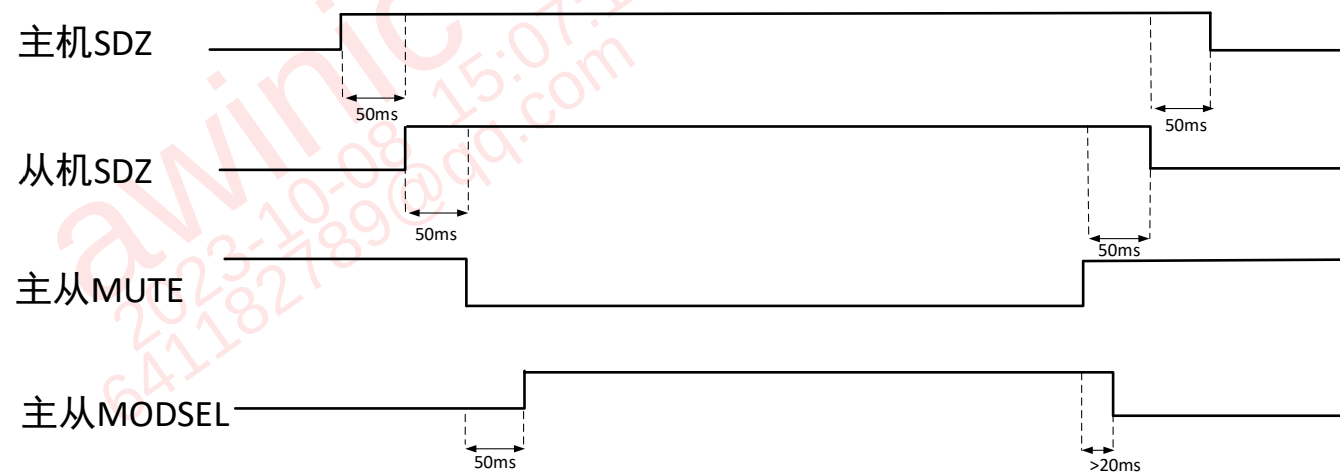


图 9 AW83118TSR 主从应用 LLM 模式上下电时序图

8 AW83118TSR GAIN/SEL 管脚功能介绍

AW83118 系列的增益通过与 GAIN/SLV 控制引脚相连的分压器进行设置。主模式或从模式也由相同的引脚控制。内部 ADC 用于检测 8 种输入状态。第一个四阶段设置增益在主模式在增益分别为 20,26,32,36 dB；而接下来的四个阶段设置从模式的增益分别为 20dB、26dB、32dB、36 dB。增益设置被锁定在电源通电时设备不能更改。在主模式下 SYNC 是输出 100khz 信号，在从模式下 SYNC 是做输入管脚；

表 1 列出了推荐电阻值和状态：

MASTER / SLAVE MODE	GAIN	R1(to GND) ⁽¹⁾	R2(to GVDD) ⁽¹⁾	INPUT IMPEDANCE
Master	20 dB	5.6 k Ω	OPEN	60 k Ω
Master	25 dB	20 k Ω	100 k Ω	30 k Ω
Master	31 dB	39 k Ω	100 k Ω	15 k Ω
Master	35 dB	47 k Ω	75 k Ω	9 k Ω
Slave	20 dB	51 k Ω	51 k Ω	60 k Ω
Slave	25 dB	75 k Ω	47 k Ω	30 k Ω
Slave	31 dB	100 k Ω	39 k Ω	15 k Ω
Slave	35 dB	100 k Ω	16 k Ω	9 k Ω

表 1 电阻值及其状态

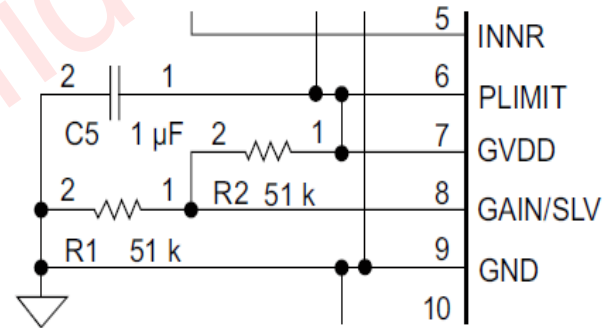


图 10

9 AW83118TSR 模拟混音介绍

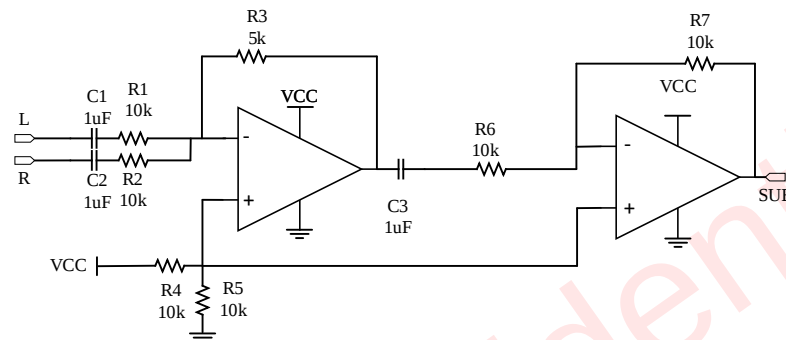


图 11 模拟混音电路

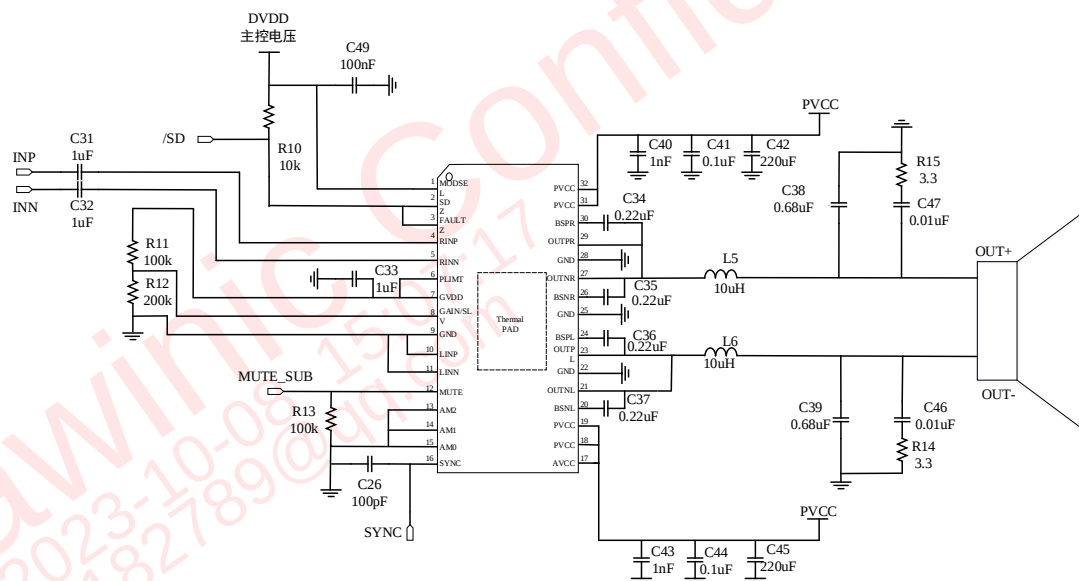


图 12 AW83118TSR 主从模式原理图

如果不使用数字电路进行混音, 可利用图 7 所示模拟电路进行混音, 将输出 SUB 接入图 8 输入 INP, INN 接地。

$$SUB = \frac{VL + VR + VCC}{2}$$

10 AW83118TSR PLIMIT 功能介绍

AW83118 有一个内置的电压限制器，可以用来限制输出电压水平低于供电电压轨，放大器类似于由一个较低的电压供电，从而限制输出功率。在 GVDD 和地之间加一个电阻分压器，以设置 plimit 脚的电压。如果要求更严格的输出功率偏差，也可以使用外部参电压，从 Plimit 脚到地再加一个 1uF 电容确保稳定。

PLIMIT 电路对输出峰峰值电压设置一个限制。通过限制到一个固定的最大占空比来实现的。极限可以被认为是一个“虚拟”电压轨低于供电 PVCC。这个“虚拟”轨道大约是 Plimit 管脚电压的 5 倍。输出电压用来计算扬声器的最大输出功率，同时也可以用来计算所需的输入信号大小。。

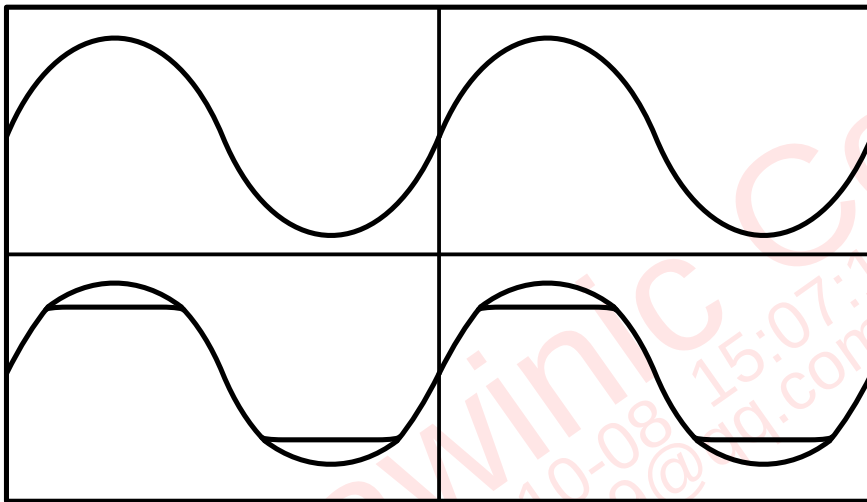


图 13 功率限制示意

$$P_{OUT}(unclipped) = \frac{\left(\left(\frac{R_L}{R_L + 2 * R_S}\right) * V_P\right)^2}{2 * R_L}$$

R_L 是负载电阻.

R_S 芯片导通内阻和外围电路上电感的内阻, PCB 走线阻抗的总和.

V_P 输出峰值电压, $V_P = 5 \times \text{PLIMIT 电压}$.

下表 2 是常用喇叭功率的使用场景参数:

PVCC 电压	Vin 输出 (mV rms)	RL	Vplimit(V)	Po@THD+N=1%(W)	VOUTpeak (Vp)	VOUT (Vrms)
24V	639	8ohm	4.023	19.97	17.54	12.64
	600		3.593	14.99	15.19	10.95
	490		2.999	10.03	12.42	8.959
	437.4		2.695	8	11.07	8
	605	6ohm	3.719	19.96	15.18	10.94
	523		3.259	15	13.14	9.486
	426		2.687	9.996	10.73	7.744
	381		2.418	8.003	9.596	6.93
	431.5	4ohm	2.854	14.99	10.76	7.742
	352		2.334	10.01	8.787	6.33
	314		2.084	7.998	7.848	5.567
	248		1.634	5.007	6.199	4.476
12V	406	8ohm	2.215	6.997	10.38	7.482
	343		2.024	4.997	8.758	6.323
	266		1.65	3.008	6.798	4.905
	377	6ohm	2.126	7.945	9.742	6.902

	327		1.967	6.004	8.315	6.002
	298.5		1.841	5.005	7.599	5.48
	231		1.471	2.998	5.873	4.241
	348	4ohm	2.126	9.995	8.87	6.323
	311		1.958	8.007	7.957	5.659
	246		1.6	5.01	6.205	4.476
	190		1.268	3	4.796	3.46

表 2 常用喇叭功率使用场景参数

11 AW83118TSR 保护功能介绍

AW83118 内部集成过压保护，欠压保护，过流保护，过温保护，DC 保护。当芯片使用过程中发生异常情况，芯片会主动关闭输出，通过 FAULTZ 管脚上报错误。

客户在使用 FAULTZ 管脚功能时，可以将 SDZ 和 FAULTZ 连接在一起达到重启功能，即在芯片发生异常后，当发生 OC，OT 错误，同时 FAULTZ 将 SDZ 拉低，在内部计数完成 1.2S 后自动恢复芯片正常工作，保护逻辑图如图 10；

当发生 DC 错误，在内部计数完成 0.6S 后自动恢复芯片正常工作，保护逻辑图如图 12；

客户也可以在将 FAULTZ 管脚通过一个三极管做反相器，连接到 MUTE 管脚，当芯片发生异常后，FAULTZ 变低，同时三极管截止，MUTE 管脚变高，芯片输出级关闭，保护逻辑图如图 11；

由于主处理器发生异常，或者隔直电容焊接异常等情况，导致输入信号上有 DC 电压，且 INN 和 INP 之间压差稳定超过 200mVDC@12V，该时间大于 550mS 即触发 DC 保护，将 FAULTZ 信号拉低，触发 DC 保护的逻辑如图 12：

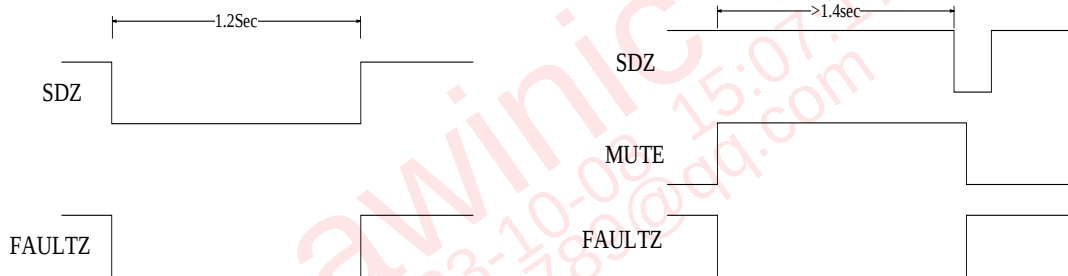


图 14 SDZ 与 FAULTZ 连接

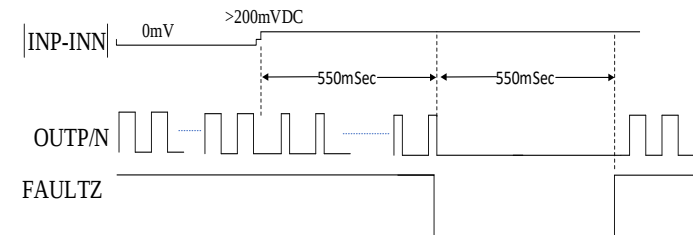


图 15 FAULTZ 通过三极管连接 MUTE

图 16 DC 保护

12 AW83118TSR 调制模式介绍

当 MOD_SEL=LOW, AW83118TSR 工作在 BD 模式。每个输出都从 0V 转换到电源电压, OUTPx 和 OUTNx 在没有输入的情况下是同相的, 电路中几乎没有电流流过, 减少了开关电流减少负载中的任何 I²R 损失。如图 13 所示, 输出正电压时, OUTPx 占空比大于 50%, OUTNx 小于 50%。输出负电压时, OUTPx 占空比小于 50%, OUTNx 大于 50%。

MOD_SEL=HIGH, AW83118TSR 工作在 LLM 模式, 输出滤波器的选择建议使用 LC 组合。在 LLM 模式下, 没有输入信号时, 输出大约 20% 占空比的调制。当有音频信号输入时, 一个输出信号占空比会减少, 另一个输出占空比会增加, 减少占空比的输出信号逐渐将会变成 0V 而不翻转, 结果是在大部分音频周期中只有一个输出是在调制的。由于降低了开关损耗, 该模式的效率得到了提高, 如图 14 所示。

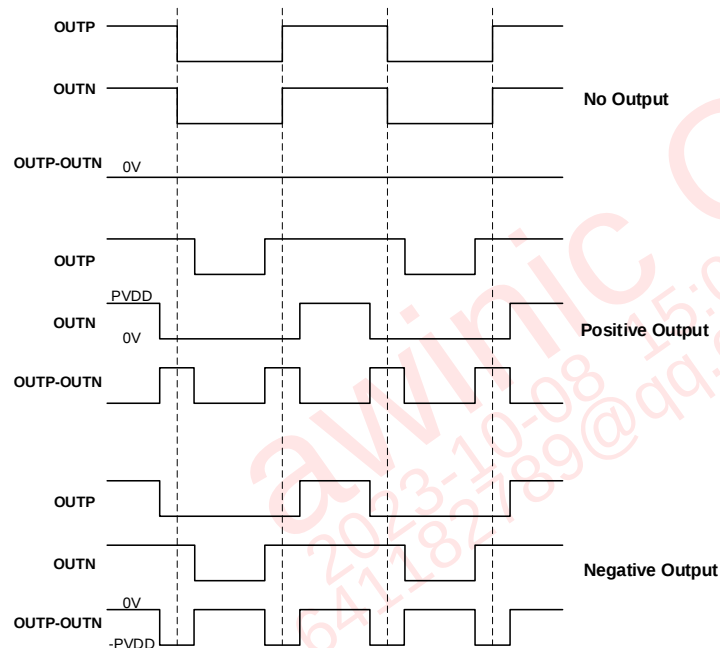


图 17 MOD_SEL=LOW

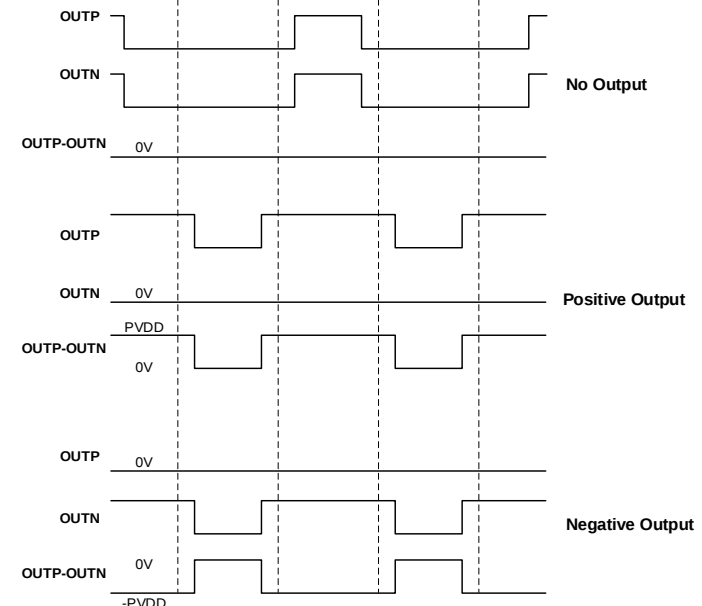


图 18 MOD_SEL=HIGH

13 AW83118TSR 减小 POP 音措施

1.当电源突然遭遇到硬下电时，主板和功放的状态都将不可控制，此时在输入电容前增加一个 10K 电阻将改善 pop 音，如图 15。
针对较难编程的控制器，较难做到严苛上电时序的主芯片，在输入电容前增加一个 10k 电阻同样将改善 pop。

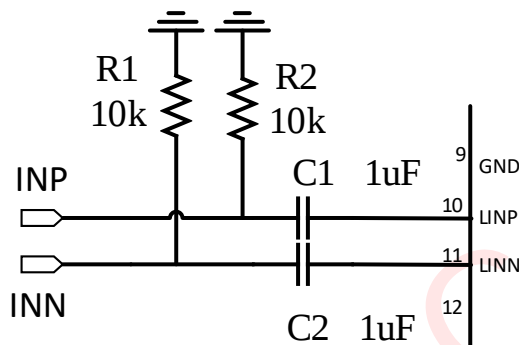


图 19 增加电阻改善 pop

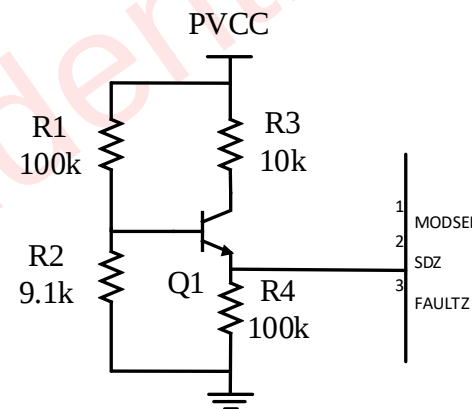


图 20 三极管控制 SDZ

2.如果在成本允许的条件下，可以在 SDZ 管脚通过一个三极管控制，如图 16。在突然断电情况，三极管输出发生翻转，快速将 SDZ 拉低，从而减小 pop 产生，达到改善 pop 的效果。如果要改变 PVCC，可适当调整 R1 或 R2 使 $SDZ > 2V$ 。
不建议使用动态变化的 PVCC，通常情况下 PVCC 应大于 12V。

$$V_{SDZ} = PVCC \frac{R2}{R2 + R1} - V_{Q1}$$

14 AW83118TSR 元件选型

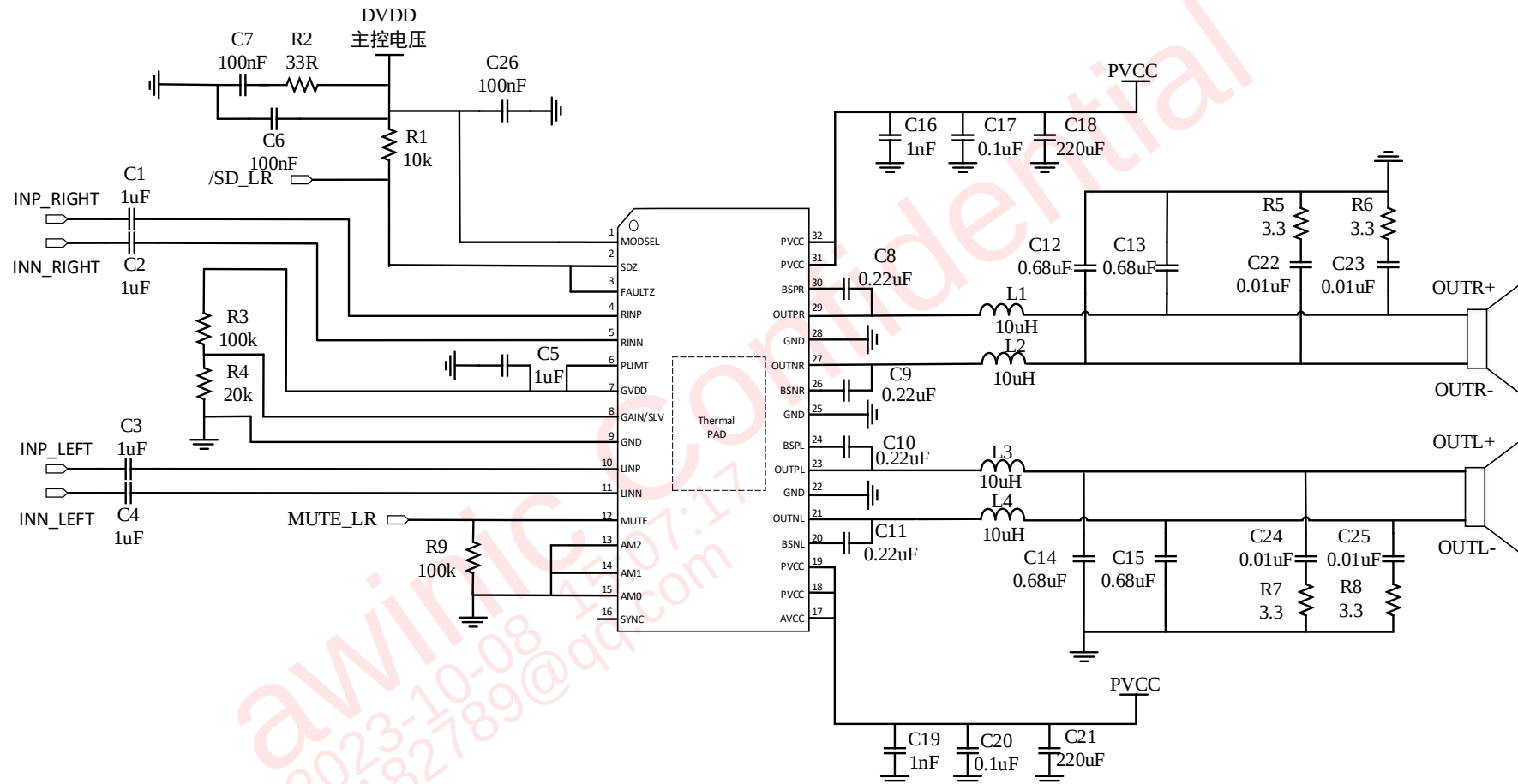


图 21 AW83118TSR 元件选型电路图

1、 PVCC 退耦电容

在 PVCC 输入端选择合适的电容来支持电力需求，在实践中，一个设计良好的电源，两个 220uF/35V 的电容应该可以足够了。每一边 PVCC 各放置一个电解电容。PVCC 电容应该是一个低 ESR 类型，因为使用在高速开关应用。每个 PVCC 输入端添加去耦电容，保证音质性能好，并能满足调节性要求。在这里应该使用 X5R 或更好的等级，在选择去耦电容器时要考虑温度、纹波电流和电压过冲。去耦电容应该位于 PVCC 和 GND 附近，连接的顺序按照大容值到容小到芯片管脚的顺序，减少串联电感。推荐高频去耦电容 100F+1nF。

2、 自举电容选型

每个输出都需要自举电容来提供高侧输出的栅极驱动。对于这个设计，使用 0.22uF/25V X5R 质量或更好的电容器。

3、 GVDD 电容选型

GVDD 电源是用来给输出全桥的栅极供电的。它也可以用来作为放大器 GAIN/SLV 和 Plimit 供电源。用 X5R 陶瓷 1uF 电容连接 GVDD 到 GND。GVDD 不能用于外部供电。建议限制电流消耗，利用 100 kΩ或更大的电阻来使用 GAIN/ SLV 和 PLIMIT 功能。

4、 输出电感电容选型

输出端 10uH 电感和 680nF 电容是为了有效抑制 EMI，客户请根据项目实际情况选择合适的电感和电容；电感的 IMAX 电流可以使用快速计算公式 $IMAX = PVCC / RL * 1.2$ (RL 是 SPK 的直流阻抗，1.2 是留的 20%的余量)；电感在满足 IMAX 电流的情况下建议优先选择 DCR 小的型号，因为 DCR 过大会直接降低加载到 SPK 上的有效功率导致响度不足；输出端的 680nF 电容建议用额定耐压为 50V 的电容；更大容值的电容对 EMI 的抑制会更好，同时会导致静态功耗增加，建议不超过 2.2uF 的电容；

5、 输出 RC 选型

输出 RC 通常情况不贴片，但是由于输出传输线路上仍然会存在一定的寄生电感作为天线作用，故音频 PA 输出的 LC 滤波网络之后再添加 RC 吸收电路以达到更好的 EMI 效果，推荐使用 $R=3.3\Omega$ ， $C=10\text{nF}$ ；

6、 输入电容选型

C_i 是音频 PA 的输入耦合电容，与芯片内部的输入电阻组成高通滤波器，输入截止频率的计算公式如下所示：

26db 输入高通截止频率如下所示：

$$f_H(-3\text{dB}) = \frac{1}{2 * \pi * R_{\text{intotal}} * C_{\text{in}}} = \frac{1}{2 * \pi * 30\text{k}\Omega * 1\mu\text{F}} = 5.3\text{Hz}$$

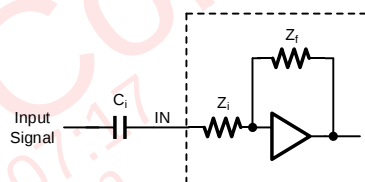


图 22 高通滤波器

表 3 是不同增益和不同输入电容所对应的高通截止频率：

GAIN	INPUT IMPEDANCE	INPUT CAPACITANCE	HIGH-PASS FILTER
20 dB	60 KΩ	1.5 uF	1.8 Hz
25 dB	30 kΩ	3.3 uF	1.6 Hz
31 dB	15 kΩ	5.6 uF	1.9 Hz
35 dB	9 kΩ	10 uF	1.8 Hz

表 3 不同增益与不同输入电容对应高通截止频率

7、 输出电感选型

Lo 和 Co 是音频 PA 的输出，Lo 和 Co 组成低通滤波器，达到抑制 EMI 干扰效果，但是输出电感不能太小，推荐使用 2.2uH 以上的电感，输出截止频率的计算公式如下所示：

$$fL(-3dB) = \frac{1}{2 * \pi * \sqrt{Lo * Co}} = \frac{1}{2 * \pi * \sqrt{10uH * 0.68uF}} = 61KHz$$

表 4 是推荐的电感电容常用组合，客户也可根据实际情况做适当的调整。

电感值	电容值	截止频率
10uH	0.68uF	61Khz
15uH	0.47uF	60Khz
22uH	0.47uF	49Khz
10uH	1uF	49Khz

表 4 推荐电感电容组合

15 AW83118TSR LAYOUT 参考布局

1. 由于音频 PA 采用 ClassD 架构，工作时通过开关不断地切换来完成信号调制，需要远离射频模块，比如蓝牙，WIFI，FM，AM 等其他通信模块，最好能用屏蔽罩；
2. 音频 PA 输出的电感和电容在布局时请尽量靠近芯片的引脚放置；这样可以尽量降低输出信号产生的干扰；
3. 音频 PA 电源 PVCC 去耦电容请靠近芯片的引脚放置，并且遵循高频滤波电容最靠近芯片引脚，低频滤波电容次之的原则；
4. 自举升压电容请靠近芯片的引脚放置，尽量缩短芯片引脚到输出的走线长度；
5. GVDD 电容请靠近芯片引脚放置，达到更好的稳压滤波作用；
6. 两个输入耦合电容在布局时请按走差分线的方式去布局，摆放位置尽量保证走线的对称性；

参考布局

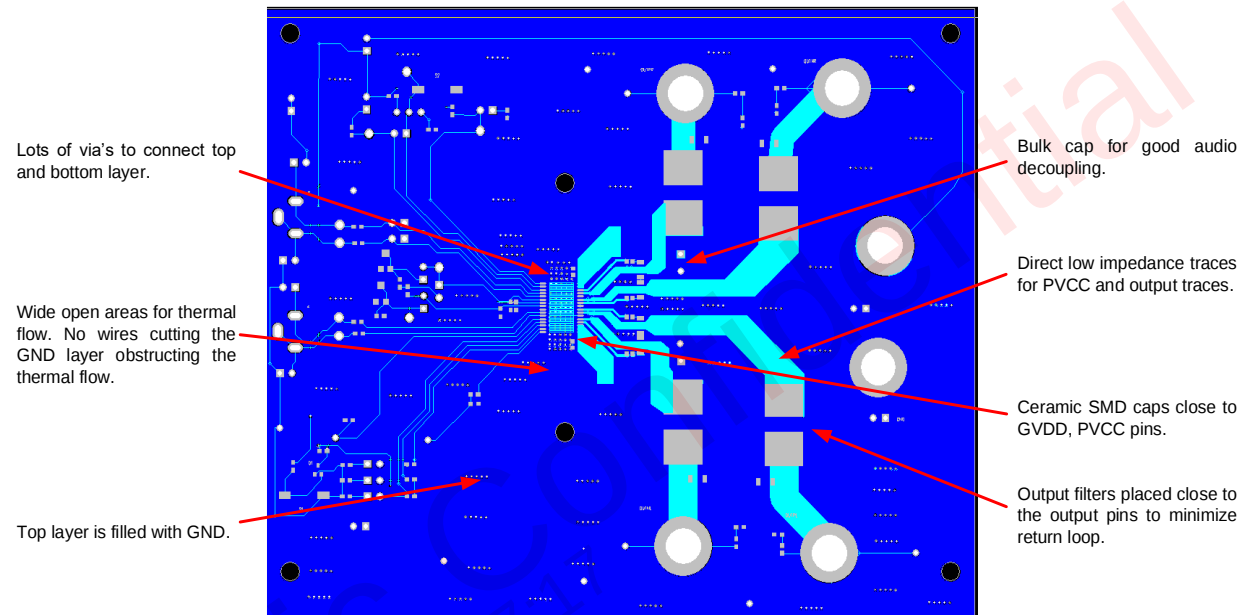


图 23 参考布局

16 AW83118TSR LAYOUT 参考布线

1. 采用差分接法的信号线完全参考差分线的要求按等长等宽处理，不仅要求信号线之间的等长等宽，同时要求信号线与两边的地之间的距离也是等宽；

如果采用的是单端接法的话则要求接地的那端与信号线一起走“伪差分”，然后接到平台的音频参考地，通过这个音频参考地再到主地；

差分对的布线有两点要注意：

- 1) 两条信号线的长度要尽量一样长；
- 2) 两条信号线之间的间距以及与地的间距要一直保持不变，也就是要平行；

保持平行的方式有两种，一种是同一平面上的平行，两条线走在同一层面（side-by-side）；

另一种是两个线分别走在上下两个相邻的层面（over-under）；通常情况下 side-by-side 用得比较多；

差分线如果不注意控制距离和长度的话会影响到信号的完整性和延时，导致信号质量不达标；

2. 音频 PA 的 PVCC 输入必须先经过电解电容及去耦高频电容后再到芯片的引脚，每边 PVCC 线宽要求能够满足当前设定功率输出所需的最大电流，最大输入电流可以使用如下公式进行快速计算；

$$I_{in} = PVCC / R_L / \eta$$

PVDD-----音频 PA 内部 Charge pump 的输出电压，即音频 PA 输出级的工作电压；

I_{in} -----音频 PA VDD 引脚输入电流；

η -----音频 PA 的整体工作效率约为 93%；

V_{in} -----音频 PA 的 PVCC 输入电压，一般是 24VDC 或者 12VDC 供电；

R_L -----SPK 的直流阻抗；

例如：某项目的 SPK 直流阻抗为 8 欧，音频 PA 的 PVCC 电压 24V，那么代入公式可以计算出 I_{in} 电流如下：

$$I_{in} = 24 / 8 / 0.93 = 3.225A$$

即在当前应用条件下在音频 PA 的 PVCC 输入端的 IPEAK 电流会达到 3.225A；

故在走线的时候要注意线宽和过孔数量，避免线宽和过孔数量不足导致线上的压降过大影响音频 PA 的最终输出；

备注：

这里使用的快速计算公式未考虑芯片内部 MOS 管的寄生阻抗以及 PCB 上的寄生阻抗；将这些因素考虑进去的话实际计算的结果会稍小一些；

3. 由于音频 PA 输出的信号为脉宽调制的方波，为防止干扰音频 PA 的输出走线建议走在主板的内层，输出走线的线宽可以采用快速计算公式 $I_{PEAK} = PVDD / R_L$

例如：某项目的 SPK 直流阻抗为 8Ω，音频 PA 的 PVCC 电压供电为 24V，

那么代入公式可以计算出 I_{peak} 电流如下：

$$I_{peak}=24 / 8=3A$$

即在当前应用条件下在音频 PA 的输出端的 IPEAK 电流会达到 3A;

因此在故在走线的时候要注意线宽和过孔数量, 避免线宽和过孔数量不足导致线上的压降过大导致加载到 SPK 上的有效功率降低;

备注:

这里使用的快速计算公式未考虑输出信号通路上 PCB 的寄生阻抗和磁珠的 DCR; 将这些因素考虑进去的话实际计算的结果会稍小一些;

4. 自举升压电容与 PA 输出的走线要求回路尽量短, BSx 管脚的电压决定了开启上管的余量, 确保足够的电压以达到更好的音频效果和效率;

备注:

LAYOUT 时要求的线宽主要是为了防止大电流时由于线路的线宽不足或过孔阻抗过大导致 PCB 走线出现明显的温升和压降影响音频 PA 性能的发挥, 并非小了一定会导致音频 PA 不能工作, 因此建议客户在 LAYOUT 过程中结合各自的标准和工艺水平进行合理的调整; 必要的时候可以进行大电流通路的 PDN 仿真来验证当前的设计是否有风险;

5. 芯片底部的 thermal pad 需和 PCB 表面地充分接触, 加快芯片散热效果;
6. 芯片输出功率地需和电源地最短地回路, 尽量表面就回流到 PVCC 供电地;

参考 LAYOUT

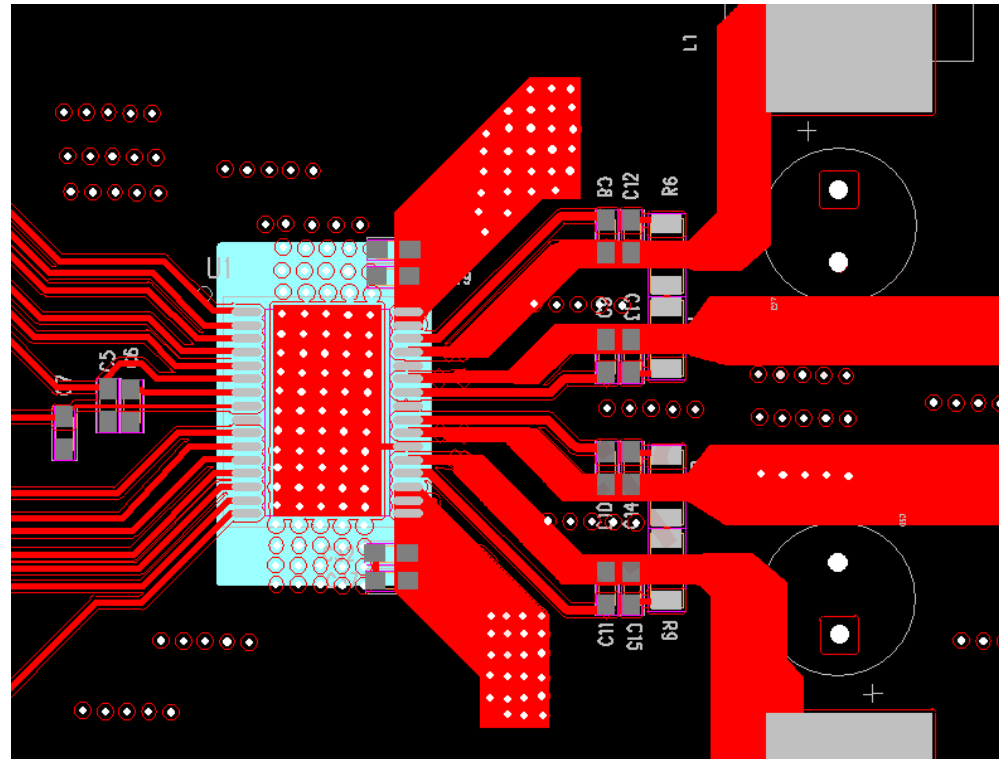


图 24 参考布线

本文档旨在为客户使用我司产品设计时提供参考，我们尽力保证文档中所述内容的准确性，但无法预估所有的应用环境，故不对使用此文档导致的不良后果承担任何责任；并且有权在未通知的情况下随时对本文档进行更新修正；本文档归上海艾为电子技术股份有限公司所有

登记及版本记录

版本	日期	说明
V1.0	2020.10	文档新编
V1.1	2021.3	默认推荐类型修改成 LLM 模式
V1.2	2022.3	修改典型增益值，新增 AW83118TSR 上下电推荐时序